

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-M6823-CN

Name : MQ6823 中文产品规格书

Version : V1.5

MQ6823

中文产品规格书

V1.5

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

1. 修改纪录.....	10
2. 产品简介.....	11
2.1 功能特性	11
2.2 重点说明	14
2.3 系统模块图	15
2.4 引脚配置/说明	16
3. 电气特性.....	20
3.1 极限参数	20
3.2 工作条件	21
3.3 直流(DC) 特性.....	21
3.4 AD 转换电气特性.....	24
3.5 Flash 特性.....	25
3.6 MTP 特性.....	25
3.7 上电复位特性	26
3.8 LVD 电气特性	27
4. 中央处理器(CPU).....	28
4.1 概述.....	28
4.2 寻址区域	28
4.2.1 程序存储器- Flash.....	29
4.2.2 数据存储器- RAM	29
4.2.3 特殊功能寄存器- SFR.....	29
4.3 工作模式	31
4.3.1 工作模式控制线路.....	31
4.3.2 工作模式控制	36
4.4 堆栈与堆栈指针	41
4.4.1 堆栈.....	41
4.4.2 堆栈指针	41
4.5 程序计数器	43
4.5.1 程序计数器	43
4.5.2 跳转指令和程序计数器数值的关系	43
4.6 通用寄存器	44

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4.6.1 A 寄存器.....	44
4.6.2 C 寄存器.....	44
4.6.3 DE 寄存器.....	45
4.6.4 HL 寄存器.....	45
4.6.5 16 位通用寄存器 IX · IY.....	45
4.7 程序状态字.....	45
4.7.1 零标帜 ZF.....	46
4.7.2 进位标帜 CF.....	47
4.7.3 半进位标帜 HF.....	47
4.7.4 正负号标帜 SF.....	47
4.7.5 溢位标帜 VF.....	47
4.7.6 跳转状态标帜 JF.....	47
4.8 外围线路低耗电功能.....	48
4.9 唤醒 KWU.....	51
4.9.1 唤醒 KWU 架构.....	51
4.9.2 唤醒 KWU 控制.....	52
4.9.3 唤醒 KWU 功能.....	54
5. 复位功能.....	55
5.1 复位控制线路.....	55
5.1.1 复位架构.....	55
5.1.2 复位控制.....	55
5.1.3 复位功能.....	58
5.1.4 复位信号产生因素.....	59
5.2 上电复位线路.....	62
5.2.1 上电复位架构.....	62
5.2.2 上电复位功能.....	62
5.3 电压检测线路.....	64
5.3.1 电压检测架构.....	64
5.3.2 电压检测控制.....	65
5.3.3 电压检测功能.....	66
5.3.4 电压检测寄存器设定.....	69

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

6. 系统时钟控制器.....	71
6.1 系统时钟架构.....	71
6.2 系统时钟控制.....	72
6.3 系统时钟功能.....	77
6.3.1 时钟产生器.....	77
6.3.2 时钟齿轮.....	79
6.3.3 时序产生器.....	79
6.4 唤醒计数器.....	81
6.4.1 唤醒计数器操作-由硬件控制振荡.....	81
6.4.2 唤醒计数器操作-由软件控制振荡.....	83
7. 中断.....	84
7.1 中断锁存器 IL29 至 IL3.....	86
7.2 中断允许寄存器 EIR.....	86
7.3 中断主允许标帜 IMF.....	86
7.4 个别中断允许标帜 EF29 至 EF4.....	87
7.5 外部中断控制线路.....	90
7.5.1 外部中断架构.....	90
7.5.2 外部中断控制.....	91
7.5.3 外部中断功能.....	96
8. I/O 端口.....	99
8.1 I/O 端口控制寄存器.....	100
8.2 I/O 端口设定.....	101
8.3 I/O 端口寄存器.....	103
8.3.1 P0 端口寄存器.....	103
8.3.2 P1 端口(P10)寄存器.....	105
8.3.3 P2 端口寄存器.....	107
8.3.4 P4 端口寄存器.....	110
8.3.5 P5 端口寄存器.....	113
8.3.6 P7 端口寄存器.....	115
8.3.7 P8 端口寄存器.....	117
8.3.8 P9 端口寄存器.....	119

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

9.	10 位 AD 转换器.....	122
9.1	AD 转换器架构.....	122
9.2	AD 转换器控制.....	122
9.3	AD 转换器功能.....	126
9.3.1	单次模式.....	126
9.3.2	重复模式.....	127
9.3.3	禁止 AD 操作与强制 AD 操作停止.....	127
9.4	AD 转换器寄存器设定.....	128
9.5	启动停止/空闲 0/低速模式.....	128
9.6	模拟信号输入电压与 AD 转换结果.....	128
9.7	注意事项.....	129
9.7.1	模拟信号输入引脚电压范围.....	129
9.7.2	模拟信号输入引脚作 I/O 端口用.....	129
9.7.3	噪声抑制.....	129
10.	定时器/计数器.....	130
10.1	看门狗定时器(WDT).....	130
10.1.1	看门狗定时器架构.....	130
10.1.2	看门狗定时器控制.....	130
10.1.3	看门狗定时器功能.....	133
10.2	分频器输出(DVOB).....	138
10.2.1	分频器输出架构.....	138
10.2.2	分频器输出控制.....	138
10.2.3	分频器输出功能.....	139
10.3	时基定时器(TBT).....	140
10.3.1	时基定时器架构.....	140
10.3.2	时基定时器控制.....	140
10.3.3	时基定时器功能.....	141
10.4	实时时钟(RTC).....	143
10.4.1	实时时钟架构.....	143
10.4.2	实时时钟控制.....	143
10.4.3	实时时钟功能.....	144

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.4.4 实时时钟工作.....	145
10.5 8 位定时器计数器(TC0).....	146
10.5.1 8 位定时器计数器控制.....	148
10.5.2 低功耗功能.....	154
10.5.3 定时器功能.....	154
10.6 10 位定时器/计数器(TCC).....	179
10.6.1 10 位定时器计数器控制.....	180
10.6.2 低功耗功能.....	187
10.6.3 配置控制及数据寄存器.....	187
10.6.4 10 位定时器功能.....	189
10.7 16 位定时器计数器(TCA).....	211
10.7.1 16 位定时器计数器控制.....	213
10.7.2 低功耗功能.....	217
10.7.3 定时器功能.....	217
10.7.4 噪声抑制.....	231
11. 通用异步收发器 (UART).....	232
11.1 UART 控制.....	234
11.2 UART 功能.....	239
11.3 防止 UART0CR1 与 UART0CR2 寄存器改变的保护机制.....	239
11.4 启动停止模式、空闲 0 模式或睡眠 0 模式.....	240
11.4.1 寄存器状态转换.....	240
11.4.2 TXD 引脚状态转换.....	240
11.5 收发数据格式.....	241
11.6 红外线数据收发模式.....	241
11.7 收发波特率 (Baud Rate).....	242
11.7.1 收发波特率计算方法.....	243
11.8 数据取样方法.....	245
11.9 接收数据的噪声抑止.....	246
11.10 发送/接收工作.....	247
11.10.1 数据发送工作.....	247
11.10.2 数据接收工作.....	248

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11.11	状态标帜.....	248
11.11.1	奇偶校验错误标帜.....	248
11.11.2	数据框错误标帜.....	249
11.11.3	溢出错误标帜.....	250
11.11.4	接收寄存器 已满标帜.....	252
11.11.5	发送忙碌标帜.....	253
11.11.6	发送寄存器 已满标帜.....	254
11.12	接收进程.....	254
12	Flash 存储器.....	257
12.1	Flash 存储器控制.....	257
12.2	Flash 存储器功能.....	258
12.2.1	Flash 存储器命令序列与切换控制(FLSCR1<FLSMD>).....	258
12.3	命令序列 Command Sequence.....	259
12.3.1	字节编程 Byte Program.....	259
12.3.2	区块擦除 Sector Erase (128 字节部分擦除).....	259
12.3.3	进入产品 ID 模式.....	260
12.3.4	跳出产品 ID 模式.....	260
12.4	存取 Flash 存储器区域.....	260
13	串行总线接口(SBI)/ I2C.....	261
13.1	通信格式.....	261
13.1.1	I2C 总线.....	261
13.1.2	通用数据格式.....	262
13.2	框图.....	263
13.3	控制.....	263
13.4	功能.....	268
13.4.1	低功耗功能.....	268
13.4.2	选取从属地址配对检测与广播呼叫检测.....	268
13.4.3	选取数据传输的时钟数与选取应答或单一应答模式.....	268
13.4.4	串行时钟.....	271
13.4.5	选取主控/从属.....	272
13.4.6	选取传输/接收.....	273

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

13.4.7	生成开始/停止条件	273
13.4.8	中断服务需求发布与释放.....	275
13.4.9	设定串行总线接口模式.....	275
13.4.10	软件复位	276
13.4.11	仲裁丢失检测功能.....	277
13.4.12	从属地址配对检测.....	278
13.4.13	广播呼叫检测	279
13.4.14	最后接收位的监控.....	279
13.4.15	从属地址与地址辨识模式说明.....	280
13.5	I2C 总线的数据传输	281
13.5.1	设备初始化.....	281
13.5.2	开始条件与从属地址产生.....	281
13.5.3	1 字数据传输	282
13.5.4	停止条件产生	286
13.5.5	重新启动.....	287
13.6	AC 规格.....	289
14	同步串行外围接口(SIO).....	290
14.1	框图.....	291
14.2	控制.....	291
14.3	低功耗功能	294
14.4	功能.....	295
14.4.1	传送模式.....	295
14.4.2	串行时钟.....	295
14.4.3	触发边沿选择.....	296
14.5	传送模式.....	297
14.5.1	8 位传送模式	297
14.5.2	8 位接收模式	302
14.5.3	8 位传送/接收模式	308
14.6	AC 特性	313
附录 A.	片上仿真功能(OCDE).....	314
附录 B.	产品型号信息	316

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

附录 C. 封装信息..... 317

附录 D. 使用注意事项..... 318

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

1. 修改纪录

Version	Approved Date	Description
V1.5	2021/9/28	<ol style="list-style-type: none"> 新增「CH10.7.3.6 可编程脉冲产生 PPG 输出模式」叙述：需在 PPG 初始化后，再对 PxFC 进行设定。 更新附录 A 为片上仿真功能(OCDE)
V1.4	2020/1/10	<ol style="list-style-type: none"> 修正「9.10 位 AD 转换器」的「图 9.1 10 位 AD 转换器」、「ADC 寄存器」内容，移除 ADC 内部参考电压 3V、4V。
V1.3	2019/10/17	<ol style="list-style-type: none"> 新增「2.1 定时器/计数器」之 RTC 叙述 更改图 2.2 MQ6823 外部参考线路及描述内容 新增「3.2 工作条件」之备注 新增「3.7 上电复位特性」及「3.8 LVD 电气特性」 更新「7.5.1 外部中断架构」图 7.2 修改「7.5.2 外部中断控制」寄存器 EINTCR0,EINTCR1, EINTCR2 之 Bit 6 位符号由 NCE 修改为 SYNC 新增图 10.10 8 位定时器计数器、图 10.26 10 位定时器计数器、图 10.48 16 位定时器计数器 新增图 11.1 UART 架构 更新图 14.3~14.15 新增「附录 D」低速 1 (Slow 1)使用 RTC 相关及工作电流特性相关
V1.2	2019/05/03	新增 CH4~CH14 章节内容
V1.1	2019/01/22	Pin-assignment 变更。
V 1.0	2018/12/24	新发行。

2. 产品简介

2.1 功能特性

◆ 基本信息

- 工作电压范围: 2.0V ~ 5.5V
- 工作温度范围: -40°C ~ 85°C
- i87高效能8位单片机核心搭配完整指令集

◆ 内存配置

- 具有16K x 8位程序Flash内存(重复烧写100K次,可模拟EEPROM)与16K x 8位程序MTP内存
- 2048 x 8位数据存储器RAM(堆栈寄存器)
- 64 x 8 信息块存储器

◆ I/O 端口配置

- 30个输入/输出双向I/O端口、2个Hi-driving输出引脚
- 具备2个35mA LED驱动输出(P80/P81)、其余除P10外、共27个I/O具备15mA输出
- 2个8位PPG输出(具有互补输出)
- 1组(2个)10位PPG输出(具有互补输出)
- 2个16位PPG输出
- 27个可编程的上拉与下拉I/O端口
- 2个通用异步收发传输器传送/接收引脚

◆ 10位AD转换器端口

- 最多8个AD转换器输入端口
- 1个内部1/4 VDD电池量测输入端口
- AD转换器内部参考电压源2V
- 1个AD转换器外部参考电压源选择,电压范围2.0V ~ 5.5V

◆ 外部中断源

- 4 外部中断输入引脚

◆ 系統時鐘源

- 可选择外部或内部RC振荡器作系统时钟源
- 可使用频率为1MHz~16MHz、或32kHz的低频外部晶振源
- 内部高速RC振荡器频率16MHz
- 内部低速RC振荡器频率24KHz

◆ 指令周期

- 指令周期fcgck可设定为高频时钟频率fc的1/1、1/2、1/4或1/8

◆ 定时器/计数器

- 2个8位定时器 (TC0,可组成1个16位定时器)
- 1个10位定时器
- 2个16位定时器 (TCA,有capture功能)
- 时基定时器(Time Base Timer, TBT)
- 看门狗定时器(Watch Dog Timer, WDT)
- 唤醒计数器(Warm-up Counter, WUC)
- 实时时钟(Real Time Clock, RTC)
- 8位分频器输出(8-bit divider output, DVO)
RTC在Slow1操作下,搭配外部32.768K Crystal,会有±50ppm误差(Topr=25°C),请参考附录D的使用注意事项”

◆ 多样化的系统工作模式

- 依时钟源数分成单时钟/双时钟2种操作模式
- 单时钟模式下有1个普通模式、3个节电模式(空闲1、空闲0、停止)
- 双时钟模式下有1个普通模式、6个节电模式(空闲2、低速2/1、睡眠1/0、停止)
- 普通模式:高/低速时钟都正常工作
- 低速模式:由低速时钟进行低电耗操作
- 空闲模式:CPU停止工作,输出端口以高速或高/低速时钟共享工作
- 睡眠模式:CPU停止工作,输出端口以低速时钟工作
- 停止模式:振荡器停止,输出端口保持原输出/高阻

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

- ◆ 2组通用异步收发传输器端口 (UART)
- ◆ 1组串行外围接口 (SIO)
- ◆ 1组工业标准串口通讯(I²C)
- ◆ 封装信息
 - LQFP 32 (7x7)
- ◆ 2组共8级低电压检测(LVD)系统
- ◆ 片上仿真功能(OCDE)

注:使用 MQ6823 系列产品前，请详细参阅附录 D 使用注意事项。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

产品型号	MQ6823LQ032HALR
脚位数/(IO 数)	32/(30)
工作电压	2.0~5.5V
工作温度	-40~85C
外部唤醒	4
Flash 容量 /烧写次数	16K Bytes/100K times
MTP 容量 /烧写次数	16K Bytes
RAM	2048 Bytes
ADC	10-bit x 8-CH (1/4 VDD, internal, ext.)* ¹
内部晶振 / 精准度	16MHz +/- 1% @ 25C +/- 2% @ 0~85C +/- 3% @ -40~85C
外部晶振	1~16MHz or 32768Hz
定时器/ 计数器	8bit x 2 10bit x 1 16bit x 2 WDT,TBT, RTC,WUC
PWM/PPG	8bit x 2 10bit x 2 16bit x 2
低电压检测	8 level (+/- 0.1V)* ²
传输	UART x 2, SIO x 1, I ² C x 1
在线仿真	Yes
封装	LQFP32

*1: 「1/4 VDD」表示具有 1 个内部 1/4 VDD 电池量测输入端口; 「内」表示 ADC 有内部参考电压(2V); 「外」表示 ADC 使用外部参考电压。

*2: 产品具有 2 组 LVD, 每组有 4 级电压, 精准度最小可达 +/- 0.1V, 各级的详细规格请参阅规格书内容。

2.2 重点说明

MQ6823 是一个高速度高性能的 8 位单片机。此单片机在一块芯片上使用了 i87 中央处理器 CPU 内核，内置 16K x 8 位程序 Flash 存储器、16K x 8 位程序 MTP 内存与 128 x 8 位数据 Flash 存储器、2048 x 8 位数据存储器 RAM、信息块存储器、多样的 I/O 端口功能、LED 驱动、定时器与计数器、时钟产生器，以及 10 位 AD 转换器。MQ6823 具备多样化的单、双时钟源系统工作模式，用户可依性能、耗电等不同需求进行工作模式的优化调整。此外，程序开发支持汇编及 C 语言两种编程语言。

由于本规格书中列及的存储器容量不超过 64K x 8 位，存储器地址将以 0x0000 至 0xFFFF 的格式表示。如果端口的输出为低电平有效，该端口表示如 $\overline{\text{RESET}}$ 、 $\overline{\text{PWM00}}$ 、 $\overline{\text{PWM01}}$ 、 $\overline{\text{DVO}}$ 等，本规格书将以“B”加于该端口名称的后方如 RESETB、PWM00B、PWM01B、DVOB 等作为表示。

此外，本规格书以“寄存器名称<位符号>”的命名方式表示特定位的寄存器。举例来说，ILL<IL5>表示位符号 IL5 对应的 ILL 寄存器。

2.3 系统模块图

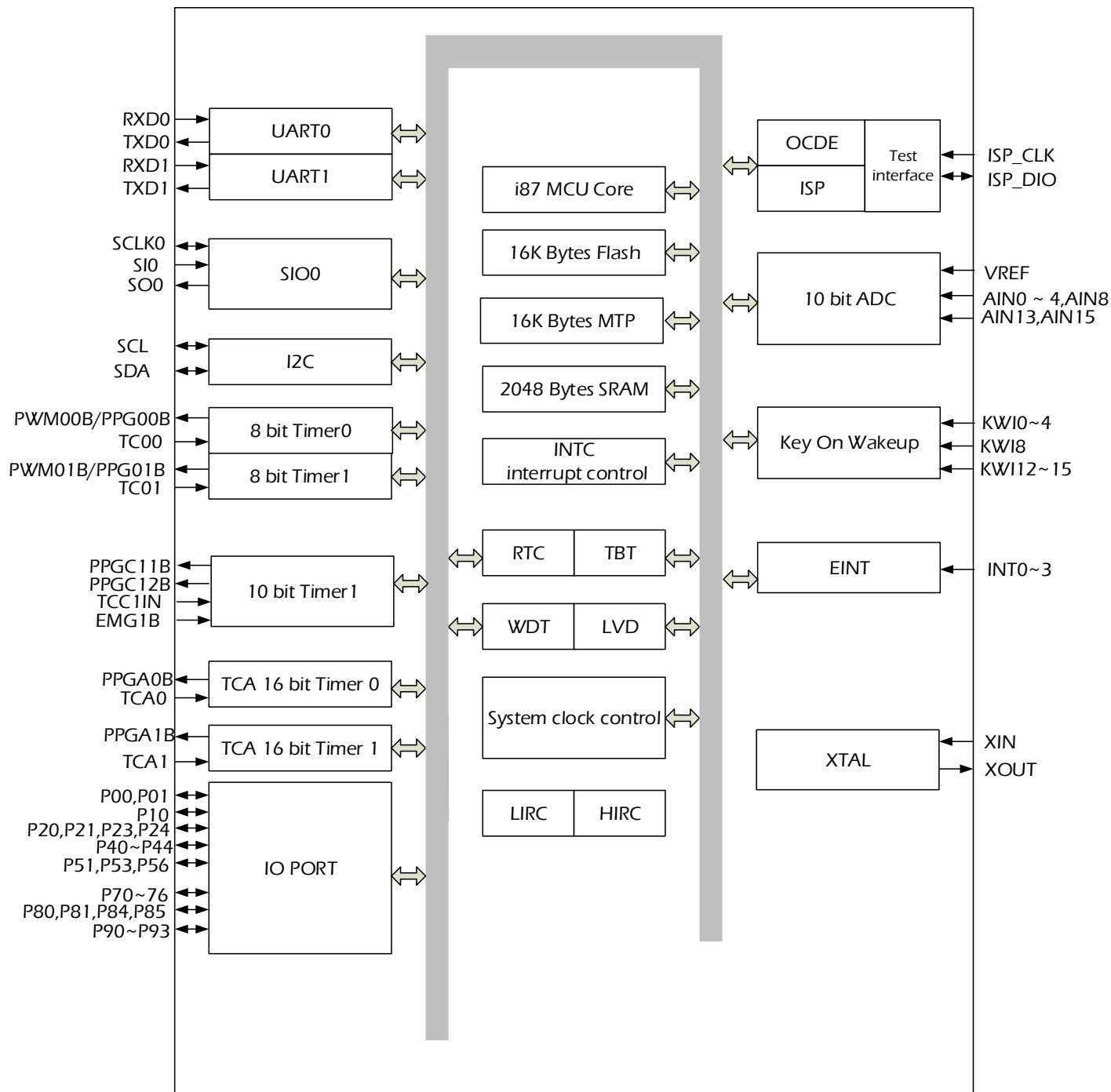


图2-1 MQ6823 系统模块图

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

2.4 引脚配置/说明

LQFP 32 (7x7) 封装型态引脚配置

产品型号: MQ6823LQ032HALR

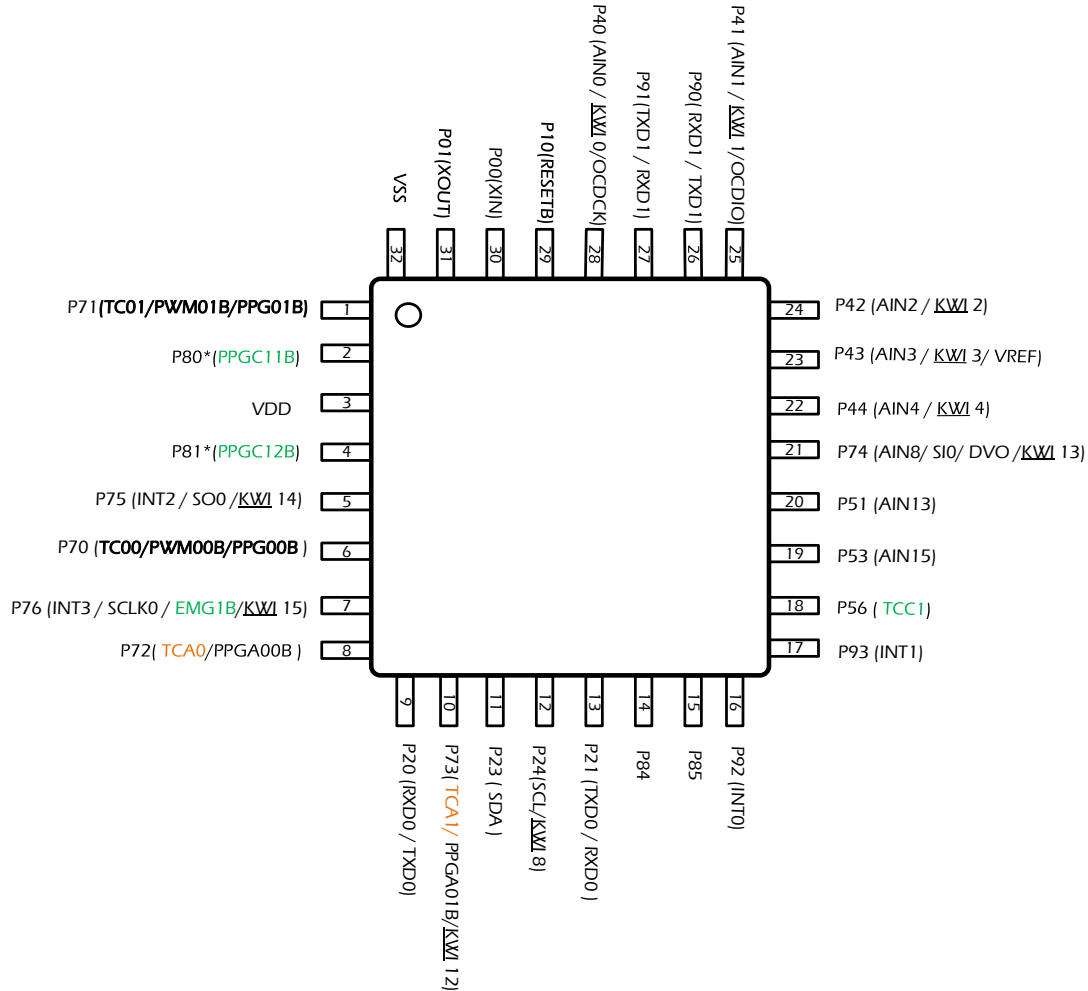


图 2- 2 MQ6823 引脚配置图

注 1 : 8-bit timer/PWM: **bold black character** 16-bit timer/PWM: **bold yellow character**
 10-bit timer/PWM: **bold green character**

注 2 : 仿真需连接 P40/OCDCK、P41/OCDIO、P10/RESETB、VDD、VSS。客户在系统版上所预留之仿真脚位，不建议增加其他元器件以免影响仿真特性或功能。

注 3 : 烧录需连接 P40/OCDCK、P41/OCDIO、P10/RESETB、VDD、VSS。客户在系统版上所预留之烧录脚位，不建议增加其他元器件以免影响烧录特性或功能。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

引脚编号	引脚名称与端口/选择功能	输入输出I/O类型		功能说明
1	P71/TC01/PWM01B/PPG01B	I/O	上拉 下拉	P71为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。8位定时器/计数器相关引脚TC01/PWM01B/ PPG01B 与P71共享引脚。
2	P80/ PPGC11B	I/O	高驱动电流	P80为具35mA电流驱动之输出端口。10位定时器/计数器TCC1之引脚PPGC11B与P80共享引脚。
3	VDD	Power		VDD电源输入
4	P81/ PPGC12B	I/O	高驱动电流	P81为具35mA电流驱动之输出端口。10位定时器/计数器TCC1之引脚PPGC12B与P81共享引脚。
5	P75/INT2/ SO0/KW114	I/O	上拉 下拉 外部中断 SIO 唤醒输入	P75为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断INT2与串行外围接口(SIO) SO0及唤醒输入KW114与P75共享引脚。
6	P70/TC00/PWM00B/PPG00B	I/O	上拉 下拉	P70为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。8位定时器/计数器相关引脚TC00/PWM00B/ PPG01B与P70共享引脚。
7	P76/INT3/SCLK0/ EMG1B /KW115	I/O	上拉 下拉 外部中断 SIO 唤醒输入	P76为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断INT3、串行外围接口(SIO) SCLK与10位定时器/计数器TCC1之引脚 EMG1B及唤醒输入KW115皆与P76共享引脚。
8	P72/TCA0/PPGA0B	I/O	上拉 下拉	P72为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。16位定时器/计数器TCA0引脚TCA0/ PPGA0B与P72共享引脚。
9	P20/RXD0/TXD0	I/O	上拉 下拉 UART	P20为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送 (UART) 引脚 TXD0及RXD0与P20共享引脚。
10	P73/TCA1/PPGA1B/KW112	I/O	上拉 下拉 唤醒输入	P73为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。16位定时器/计数器TCA1引脚TCA1/ PPGA1B及唤醒输入KW112与P73共享引脚。
11	P23/SDA	I/O	上拉 下拉 I ² C	P23为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。工业标准串口通讯 (I ² C) 引脚SDA与P23共享引脚。
12	P24/SCL/KW18	I/O	上拉 下拉 I ² C 唤醒输入	P24为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。工业标准串口通讯 (I ² C) 引脚SCL及唤醒输入KW18与P24共享引脚。
13	P21/TXD0/RXD0	I/O	上拉 下拉 UART	P21为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送 (UART) 引脚 TXD0及RXD0分别与P21共享引脚。
14 15	P84 P85	I/O	上拉 下拉	P84、P85为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。
16 17	P92/INT0 P93/INT1	I/O	上拉 下拉 外部中断	P92与P93为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断 INT0、INT1分别与P92、P93共享引脚。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

引脚编号	引脚名称与端口/选择功能	输入输出 I/O类型	功能说明	引脚编号
18	P56/TCC1	I/O	上拉 下拉	P56为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。10位定时器/计数器TCC1之引脚与P56共享引脚。
19 20	P53/AIN15 P51/AIN13	I/O	上拉 下拉 AD转换输入	P53与P51为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 AD转换输入AIN15及 AIN13分别与P53及P51共享引脚。
21	P74/AIN8/SIO/DVO/KWI13	I/O	上拉 下拉 AD转换输入 SIO 唤醒输入	P74为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN8与串行外围接口 (SIO) 引脚 SIO及DVO及唤醒输入KWI13与P74共享引脚。
22	P44/AIN4/KWI4	I/O	上拉 下拉 AD转换输入 唤醒输入	P44为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN4与唤醒输入KWI4分别与P44共享引脚。
23	P43/AIN3/KWI3/VREF	I/O	上拉 下拉 AD转换输入 唤醒输入	P43为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN3及唤醒输入KWI3及VREF与P43共享引脚。
24 25	P42/AIN2/KWI2 P41/AIN1/KWI1/OCDE	I/O	上拉 下拉 AD转换输入 唤醒输入 OCDE	P42与P41为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN2、AIN1及唤醒输入KWI2、KWI1分别与P42与P41共享引脚。
26 27	P90/TXD1/RXD1 P91/RXD1/TXD1	I/O	上拉 下拉 UART	P90与P91为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送(UART)引脚TXD1及RXD1分别与P90及P91共享引脚。
28	P40/AIN0/KWI0/OCDE	I/O	上拉 下拉 AD转换输入 唤醒输入 OCDE	P40为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN0及唤醒输入KWI0与P40共享引脚。
29	P10/RESETB	I/O	上拉	P10为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻。复位信号输入RESETB与P10共享引脚，为低电平有效。上电后P10默认是复位功能，请注意必须为高电平后，芯片才能正常工作。芯片正常工作后可以通程序设定为IO端口。
30 31	P00/XIN P01/XOUT	I/O	上拉 下拉 外部晶振连接 (高低频)	P00与P01为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。XIN及XOUT为外部高低频晶体振荡器连接引脚，分别与P00及P01共享引脚。
32	VSS	Power	-	接地电源输入

注 1 : KWix 可定义为系统唤醒的输入引脚，其中 KW10~KW14 分别和 P40~P44 共享引脚、而 KW18, KW112~KW115 分别和 P24,P73~P76 共享引脚。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 2 : AIN 为 10 位 AD 转换器的模拟信号输入引脚。

注 3 : 在线烧录之引脚为 VSS、VDD、P10、P40 与 P41。

注 4 P74 脚位若作为 AIN 功能(AIN8)·且与其他 AIN 同时使用时·进入 STOP 模式会增加额外功耗;故在 AIN 通道数量足够的状况下·请尽量避免使用 P74 的 AIN 功能(AIN8)。

图 2.2 为在使用 MQ6823 时建议的外部参考线路，包含三个部份:

1. 在靠近 MCU 端 VDD 加上 0.1uF 的电容，此电容的位置应尽可能地接近 MCU；在靠近 Power Jack 端加上需加上 10uF 并联 0.1uF 的电容。有助于强化产品的抗干扰(EFTB)能力，可以避免电源突波或杂讯的影响。
2. 在使用 ADC 时，请在 AIN 讯号输入脚位串接一个 100ohm，并且接一个 1nF 的电容到地。这是为了过滤可能的杂讯。
3. 为了过滤可能的杂讯，在使用 ADC 并使用外部参考电压时，靠近参考电压端加上 10uF 电容，靠近 MCU 端加 0.1uF 的电容。
4. 建议于 user mode 确认 P40,P41 之 ADC 的结果。若需要于仿真模式下确认 P40,P41 之 ADC 结果，请于 P40,P41 加 30Kohm 下地，以减少仿真模式下 OCD code 不稳定的现象。

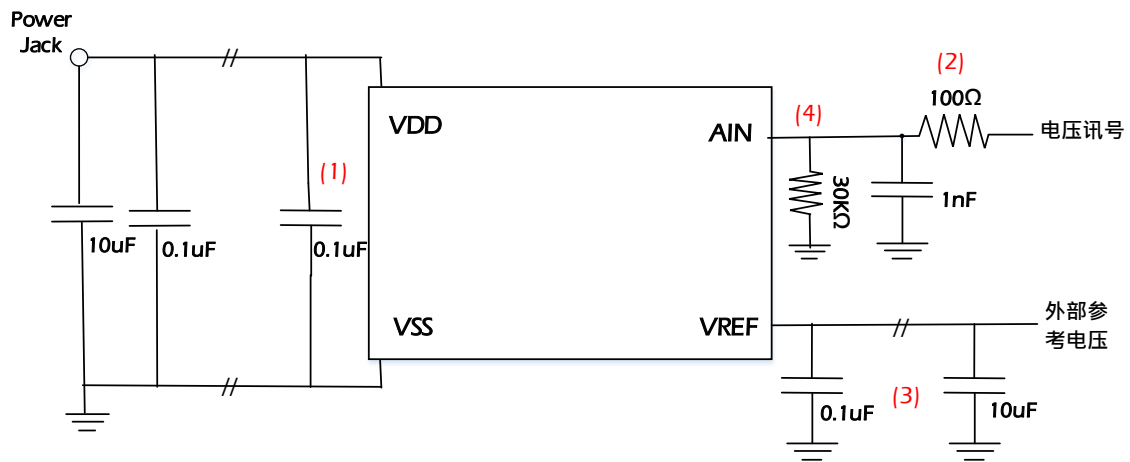


图 2.2 MQ6823 外部参考线路

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3. 电气特性

3.1 极限参数

单片机操作时切勿超过以下任一项极限参数值。即使仅是极短时间，也可能造成单片机损坏或性能衰退，严重者可能导致起火或爆炸、造成伤害。因此，请确保采用本单片机设计开发之产品或系统不超过以下极限参数值。

($V_{SS} = 0V$)

参数	符号	引脚	极限参数	单位
工作电压范围	V_{DD}		-0.3 to 6.0	V
输入电压范围	V_{IN}	全部 I/O 引脚	-0.3 to $V_{DD} + 0.3$	V
输出电压范围	V_{OUT}	全部 I/O 引脚	-0.3 to $V_{DD} + 0.3$	V
输出电流 (单脚)	I_{OUT1}	Port0、P10、Port2、Port5、P71、P74~P77、P84~P87、Port9	15	mA
	I_{OUT2}	Port4、P70、P72、P73、P82、P83	40	
	I_{OUT3}	P80/P81	60	
	I_{OUT4}	全部 I/O 引脚,不包含 P80、P81	-15	
	I_{OUT5}	P80/P81	-30	
输出电流 (总和)	ΣI_{OUT1}	全部 I/O 引脚	120	mA
	ΣI_{OUT2}	全部 I/O 引脚	-60	
储存温度范围	T_{STG}		-40 to 125	°C
工作温度范围	T_{OPR}		-40 to 85	°C

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.2 工作条件

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	符号	引脚 / 条件	测试条件	最小	标准	最大	单位	
工作电压	V _{DD}		所有工作模式	2.0	-	5.5	V	
输入高电压	V _{IH}	全部 I/O 引脚		V _{DD} ×0.75	-	V _{DD}	V	
输入低电压	V _{IL}	全部 I/O 引脚		0	-	V _{DD} ×0.25	V	
时钟频率	外部高速时钟	f _c	XIN, XOUT	V _{DD} = 2.0 to 5.5V	1.0	-	16	MHz
	外部低速时钟	f _{CL}	XIN, XOUT (32.768KHz)(注)		30.0	32.768	34.0	KHz
	内部高速时钟	f _{OSC}	FSCTRL<FOSCCK>="00" - 8MHz	V _{DD} = 2.0 to 5.5V	-1%	8.00	+1%	MHz
			FSCTRL<FOSCCK>="01" - 16MHz	25°C	-1%	16.00	+1%	
			FSCTRL<FOSCCK>="00" - 8MHz	V _{DD} = 2.0 to 5.5V	-2%	8.00	+2%	MHz
			FSCTRL<FOSCCK>="01" - 16MHz	0°C ~85°C	-2%	16.00	+2%	
	内部低速时钟	f _{OSCL}	24KHz	V _{DD} = 2.0 to 5.5V	-	24	-	KHz
系统齿轮时钟	f _{CGCK}	设定 CGCR <FCGCKSEL>	V _{DD} = 2.0 to 5.5V	0.125	-	16	MHz	

注：RTC 在 Slow1 操作下，搭配外部 32.768K Crystal, 会有±50ppm 误差(Topr=25°C), 请参考附录 D 的使用注意事项

3.3 直流(DC) 特性

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	符号	引脚 / 条件	测试条件	最小	标准	最大	单位
滞后电压	V _{HS}	全部 I/O 引脚	V _{DD} = 5.5V V _{IN} = 5.5V / 0V	-	0.9	-	V
输入电流	I _{IN}	全部 I/O 引脚		-	-	±2	µA
上拉电阻	R _{UP}	全部 I/O 引脚 ·P80/P81 除外、P10 关闭 RESETB 功能		30	50	70	KΩ
下拉电阻	R _{DN}	全部 I/O 引脚、P10/P80/P81 除外	V _{DD} / V _{IN} = 5.5V	27.5	55	82.5	KΩ
			V _{DD} / V _{IN} = 2.0V	120	200	300	KΩ
输出电流	I _{OL1}	全部 I/O 引脚, P40~P47,P70,P72,P73,P80, P81 除外	V _{DD} = 5.5V V _{OL} = 0.55V	3.0	5.0	-	mA
	I _{OL2}	P40~P47,P70,P72,P73		9.0	15.0	-	mA
	I _{OL3}	P80/P81		21.0	35.0	-	mA
	I _{OH1}	全部 I/O 引脚、P80/P81 除外	V _{DD} = 5.5V V _{OH} = 4.95V	3.0	5.0	-	mA
	I _{OH2}	P80/P81		9.0	15.0	-	mA

注：I/O 最大操作速度为 500KHz。

注：标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.5V。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(V_{SS} = 0V, T_{OPR} = 25°C)

参数	符号	测试条件	最小	标准	最大	单位	
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = <u>16.0 MHz</u> f _s = 24 KHz	-	4.0	4.8	mA	
工作电流 - 空闲 0, 1, 2 模式		-	2.4	3.0			
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = <u>8.0 MHz</u> f _s = 24 KHz	-	3.2	4.0		
工作电流 - 空闲 0, 1, 2 模式		-	2.2	2.6			
待机电流 - 低速 1 模式		I _{DD}	V _{DD} = 3.0V f _s = 24 KHz	-	65	90	μA
待机电流 - 睡眠 1 模式				-	40	60	
待机电流 - 睡眠 0 模式				-	40	60	
待机电流 - 停止模式				V _{DD} = 5.5V	-	15	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

注 3 : 其他除频下的工作电流特性如下(此为参考值, 实际视应用线路会有些许差异):。

(V_{SS} = 0V, T_{OPR} = 25°C)

参数	符号	测试条件	最小	标准	最大	单位
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = <u>4.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 4)	-	2.8	-	mA
		V _{DD} = 5.5V f _{cgck} = <u>2.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 8)	-	2.5	-	
工作电流 - 空闲 0, 1, 2 模式		V _{DD} = 5.5V f _{cgck} = <u>4.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 4)	-	2.0	-	
		V _{DD} = 5.5V f _{cgck} = <u>2.0 MHz</u> f _s = 24 KHz (f _{cgck} 除 8)	-	2.0	-	

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(V_{SS} = 0V, T_{OPR} = -40 to 55°C)

参数	符号	测试条件	最小	标准	最大	单位	
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = 16.0 MHz f _S = 24 KHz	-	4.0	5.0	mA	
工作电流 - 空闲 0, 1, 2 模式			-	2.4	3.2		
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = 8.0 MHz f _S = 24 KHz	-	3.2	4.2		
工作电流 - 空闲 0, 1, 2 模式			-	2.2	2.8		
待机电流 - 低速 1 模式			V _{DD} = 3.0V f _S = 24 KHz	-	65	180	μA
待机电流 - 睡眠 1 模式				-	40	120	
待机电流 - 睡眠 0 模式			-	40	120		
待机电流 - 停止模式			V _{DD} = 5.5V	-	15	50	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	符号	测试条件	最小	标准	最大	单位	
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = 16.0 MHz f _S = 24 KHz	-	4.0	5.2	mA	
工作电流 - 空闲 0, 1, 2 模式			-	2.4	3.4		
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = 8.0 MHz f _S = 24 KHz	-	3.2	4.4		
工作电流 - 空闲 0, 1, 2 模式			-	2.2	3.0		
待机电流 - 低速 1 模式			V _{DD} = 3.0V f _S = 24 KHz	-	65	300	μA
待机电流 - 睡眠 1 模式				-	40	260	
待机电流 - 睡眠 0 模式			-	40	260		
待机电流 - 停止模式			V _{DD} = 5.5V	-	15	190	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.4 AD 转换电气特性

($V_{SS} = 0V, 2.7V \leq V_{DD} \leq 5.5V, T_{OPR} = 25^{\circ}C$)

参数	符号	测试条件	最小	标准	最大	单位
模拟信号参考电压 Analog Reference Voltage	V_{REF}	-	-	-	V_{DD}	V
模拟信号输入电压 Analog input voltage range	V_{AIN}	-	V_{SS}	-	V_{DD}	V
转换时间 Conversion Time		$f_{cgck} = 2MHz$ $ADCCR2 <ACK> = "000"$	-	16.0	-	μs
微分非线性误差 (DNL) Differential Nonlinearity Error		-	-	-	± 2.0	LSB
积分非线性误差 (INL) Integral Nonlinearity Error		-	-	-	± 2.0	LSB
零点误差 Zero Point Error		-	-	-	± 2.0	LSB
全刻度误差 Full Scale Error		-	-	-	± 2.0	LSB
总误差 Total Error		-	-	-	± 2.0	LSB

($V_{SS} = 0V, 2.0V \leq V_{DD} < 2.7V, T_{OPR} = 25^{\circ}C$)

参数	符号	测试条件	最小	标准	最大	单位
模拟信号参考电压 Analog Reference Voltage	V_{REF}	-	-	-	V_{DD}	V
模拟信号输入电压 Analog input voltage range	V_{AIN}	-	V_{SS}	-	V_{DD}	V
转换时间 Conversion Time		$f_{cgck} = 2MHz$ $ADCCR2 <ACK> = "001"$	-	32.0	-	μs
微分非线性误差 (DNL) Differential Nonlinearity Error		-	-	-	± 4.0	LSB
积分非线性误差 (INL) Integral Nonlinearity Error		-	-	-	± 4.0	LSB
零点误差 Zero Point Error		-	-	-	± 4.0	LSB
全刻度误差 Full Scale Error		-	-	-	± 4.0	LSB
总误差 Total Error		-	-	-	± 4.0	LSB

注 1 : 总误差包含量化误差以外的所有误差, 其定义为距离理想 AD 转换曲线的最大偏差值。

注 2 : AIN 引脚的电压输入范围应在 V_{REF} 至 V_{SS} 之间。如在此范围之外, AD 转换值将为不确定值, 且将影响其他 AD 通道之转换值。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.5 Flash 特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		-	-	100,000	times
Flash 存储器烧写时间		-	-	40	μs
Flash 存储器擦除时间	整颗擦除 chip erase	-	-	40	ms
	区块擦除 sector erase (1 区块 = 128 字节)	-	-	5	

3.6 MTP 特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		-	-	100,000	次
Flash 存储器烧写时间		-	-	40	μs
Flash 存储器擦除时间	整颗擦除 chip erase	-	-	40	ms
	区块擦除 sector erase (1 区块 = 128 字节)	-	-	5	

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.7 上电复位特性

Ta=-40~85°C					
符号	叙述	最小	标准	最大	单位
VPROFF	Power-on reset releasing voltage	1.45	1.6	1.75	V
VPRON	Power-on reset detecting voltage	1.35	1.5	1.65	V
tPROFF	Power-on reset releasing response time	-	0.01	0.1	ms
tPRON	Power-on reset detecting response time	-	0.01	0.1	ms
tPRW	Power-on reset minimum pulse width	1.0	-	-	ms
tPWUP	Warming-up time after a reset is clear	-	$102 \times 2^{10}/f_c$	-	S
tVDD	Power supply rise time	-	-	5	ms

注 1:因上电复位释放电压(power-on reset releasing voltage)与上电复位检测电压(power-on reset detecting voltage)会相对于彼此改变,因此检测到的电压将永远不会反转。

注 2:因振荡电路的时钟输出,可用于 warming-up counter 的输入时钟。因振荡电路需要时间稳定,因此再振荡电路达到稳定前,可能会有些微误差。

注 3:提升电压,使 tVDD 小于 tPWUP。

注 4:当电源关闭时, $f_c=f_{osc}$ 。

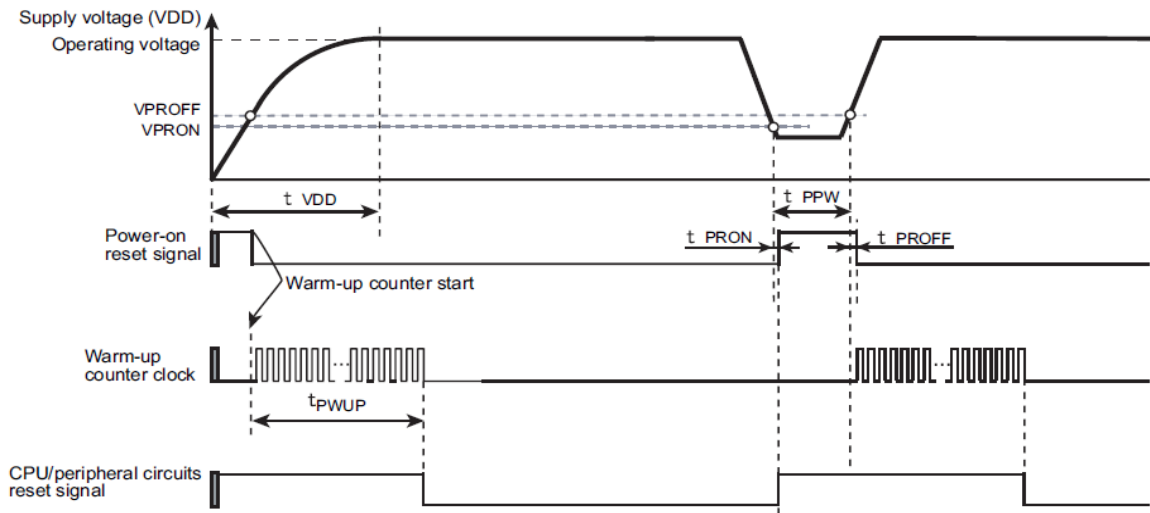


图3- 1 Operation Timing of Power on reset

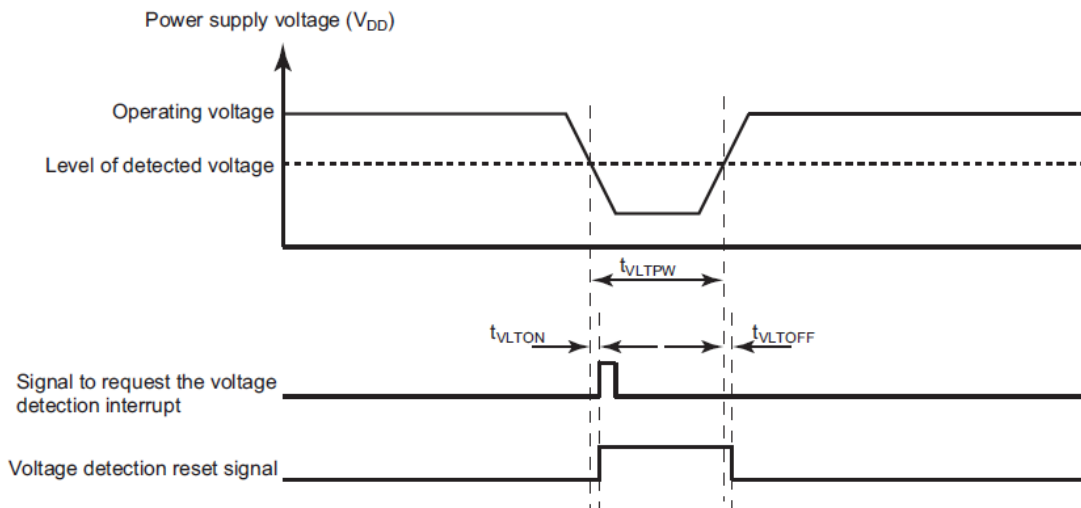
注:因VDD波动可能会影响LPOR电路的功能,在系统设计上需注意。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.8 LVD 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
LVD	VLVD1	Falling Mode,1 st level, VD2LVL=00	1.90	2.00	2.10	V
	VLVD2	Falling Mode,2 nd level,, VD2LVL=01	2.25	2.35	2.45	V
	VLVD3	Falling Mode,3 rd level, VD2LVL=10	2.55	2.65	2.75	V
	VLVD4	Falling Mode,4 th level ,VD2LVL=11	2.75	2.85	2.95	V
	VLVD5	Falling Mode,5 th level,VD1LVL=00	3.00	3.15	3.30	V
	VLVD6	Falling Mode,6 th level, VD1LVL=01	3.55	3.70	3.85	V
	VLVD7	Falling Mode,7 th level, VD1LVL=10	4.05	4.20	4.35	V
	VLVD8	Falling Mode,8 th level, VD1LVL=11	4.35	4.50	4.65	V

Ta=-40~85°C					
符号	参数	最小	标准	最大	单位
tVLTOFF	Voltage detection releasing response time	-	0.01	0.1	'ms
tVLTON	Voltage detecting detection response time	-	0.01	0.1	'ms
tVLTPW	Voltage detecting minimum pulse width	1.0	-	-	'ms



注：因VDD波动可能会影响LVD电路的功能，在系统设计上需注意。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4. 中央处理器(CPU)

4.1 概述

MQ6823 使用 i87 中央处理器 CPU 内核，具备 16K x 8 位 Flash 程序存储器、16K x 8 位 MTP 程序存储器及 128x8 位 Flash 数据存储器。这个高速度高性能中央处理器 CPU 的介绍可分成八个重点部份：(1) 程序存储器/数据存储器与特殊功能寄存器 (SFR) 的地址映像，(2) 工作模式。

4.2 寻址区域

图 4.1 为 MQ6823 之寻址区域，包括 SFR1、SFR2、SFR3、RAM 与程序存储器(Flash)，除了主要的 16K x 8 位 Flash 程序存储器及 128 x8 位 Flash 数据存储器之外，另具 1 个 16K x 8 位 MTP 内存。此外，提供一个 64x8 位信息块存储器，地址为 0x7E40 至 0x7E7F，可用于储重要的产品信息，比方烧录器(Writer)信息。

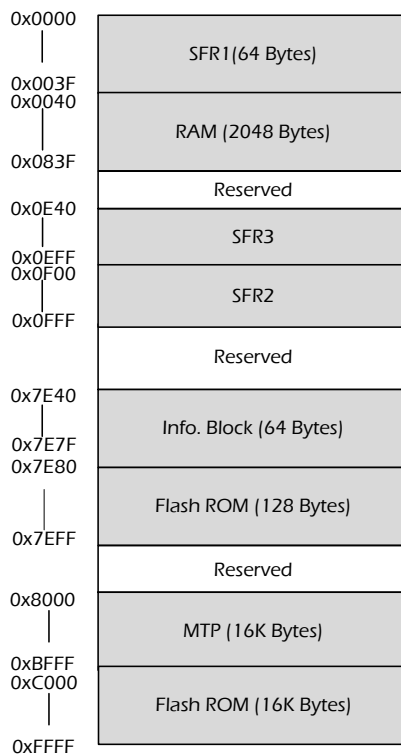


图 4-1 MQ6823 的地址映像

4.2.1 程序存储器- Flash

程序存储器 Flash 用于存储程序指令和固定的数据，其中存储的数据、表和中断指令等可用程序计数器(PC)和查表指针(Table Pointer)进行寻址。MQ6823 具有 32Kx8 位之程序存储器，地址分别为 0x8000 到 0xFFFF (32Kx8 位) 与 0xC000 到 0xFFFF (16Kx8 位)。MQ6823 具有 128 x 8 位数据存储器，地址为 0x7E80 到 0x7EFF (128x8 位)。其中 128 x 8 位的程序区域可用于储存用户信息，比方产品 ID。

4.2.2 数据存储器- RAM

MQ6823 有 2048x8 位的数据存储器(静态)，其在复位后的地址为 0x0040 到 0x083F 的数据区域内。上电时数据存储器内的值是不固定的，必须用一个初始化程序将数据存储器初始化。

4.2.3 特殊功能寄存器- SFR

特殊功能寄存器在复位后的映像地址分别是 SFR1: 0x0000 到 0x003F，SFR2: 0x0F00 到 0x0FFF 以及 SFR3: 0x0E40 到 0x0EFF。这些特殊功能寄存器的用途包含端口、定时器、PWM、外部中断、唤醒、分频器输出、程序状态字 PSW、AD 转换器与 UART、SIO、I2C 等相关的设定。

注: 不要存取系统保留的特殊功能寄存器。

	SFR1		SFR2		SFR2
0x0000	P0DR	0x0F00	P0PD	0x0F80	
0x0001	P1DR	0x0F01		
0x0002	P2DR	0x0F02	P2PD	0x0F9B	
0x0003		0x0F03		0x0F9C	TC1CR1
0x0004	P4DR	0x0F04	P4PD	0x0F9D	TC1CR2
0x0005	P5DR	0x0F05	P5PD	0x0F9E	TC1CR3
0x0006		0x0F06		0x0F9F	TC1DRAL
0x0007	P7DR	0x0F07	P7PD	0x0FA0	TC1DRAH
0x0008	P8DR	0x0F08	P8PD	0x0FA1	TC1DRBL
0x0009	P9DR	0x0F09	P9PD	0x0FA2	TC1DRBH
0x000A		0x0F0A		0x0FA3	TC1DRCL
0x000B		0x0FA4	TC1DRCH
0x000C		0x0F19		0x0FA5	TC1DRDL
0x000D	P0PRD	0x0F1A	P0CR	0x0FA6	TC1DRDH
0x000E	P1PRD	0x0F1B	P1CR	0x0FA7	TC1DREL
0x000F	P2PRD	0x0F1C	P2CR	0x0FA8	TC1DREH
0x0010		0x0F1D		0x0FA9	TC1CAPAL
0x0011	P4PRD	0x0F1E	P4CR	0x0FAA	TC1CAPAH
0x0012	P5PRD	0x0F1F	P5CR	0x0FAB	TC1CAPBL
0x0013		0x0F20		0x0FAC	TC1CAPBH
0x0014	P7PRD	0x0F21	P7CR	0x0FAD	
0x0015	P8PRD	0x0F22	P8CR	
0x0016	P9PRD	0x0F23	P9CR	0x0FC3	
0x0017		0x0F24		0x0FC4	KWUCR0
.....	0x0F25		0x0FC5	KWUCR1
0x0019		0x0F26		0x0FC6	VDCR1
0x001A	UARTOCR1	0x0F27	P0PU	0x0FC7	VDCR2
0x001B	UARTOCR2	0x0F28	P1PU	0x0FC8	RTCCR
0x001C	UARTODR	0x0F29	P2PU	0x0FC9	
0x001D	UARTOSR	0x0F2A		0x0FCA	KWUCR2
0x001E	TD0BUF/RD0BUF	0x0F2B	P4PU	0x0FCB	KWUCR3
0x001F	SIO0CR	0x0F2C	P5PU	0x0FCC	IRSTSR
0x0020	SIO0SR	0x0F2D		0x0FCD	WUCCR
0x0021	SIO0BUF	0x0F2E	P7PU	0x0FCE	WUCCR
0x0022	SBIOCR1	0x0F2F	P8PU	0x0FCF	CGCR
0x0023	SBIOCR2/SBIOSR2	0x0F30	P9PU	0x0FD0	FLSCR1
0x0024	I2COAR	0x0F31		0x0FD1	FLSCR2/FLSCRM
0x0025	SBIODBR	0x0F32		0x0FD2	FLSSTB
0x0026	T00REG	0x0F33		0x0FD3	
0x0027	T01REG	0x0F34	P0FC	0x0FD4	WDCTR
0x0028	T00PWM	0x0F35		0x0FD5	WDCCR
0x0029	T01PWM	0x0F36	P2FC	0x0FD6	WDCNT
0x002A	T00MOD	0x0F37		0x0FD7	WDST
0x002B	T01MOD	0x0F38	P4FC	0x0FD8	EINTCR1
0x002C	T001CR	0x0F39	P5FC	0x0FD9	EINTCR2
0x002D	TA0DRAL	0x0F3A		0x0FDA	EINTCR3
0x002E	TA0DRAH	0x0F3B	P7FC	0x0FDB	
0x002F	TA0DRBL	0x0F3C	P8FC	0x0FDC	SYSR1
0x0030	TA0DRBH	0x0F3D	P9FC	0x0FDD	SYSR2
0x0031	TA0MOD	0x0F3E		0x0FDE	SYSR3
0x0032	TA0CR	0x0FDF	SYSR4/SYSR4
0x0033	TA0SR	0x0F43	P2OUTCR	0x0FE0	ILL
0x0034	ADCCR1	0x0FE1	ILH
0x0035	ADCCR2	0x0F53		0x0FE2	ILE
0x0036	ADCDRL	0x0F54	UARTICR1	0x0FE3	ILD
0x0037	ADCDRH	0x0F55	UARTICR2	0x0FE4	
0x0038	DVOCR	0x0F56	UARTIDR
0x0039	TBTCR	0x0F57	UARTISR		
0x003A	EIRL	0x0F58	TD1BUF / RD1BUF	0x0FFF	
0x003B	EIRH	0x0F59			
0x003C	EIRE	0x0F5A	TA1DRAL	0x0E40	
0x003D	EIRD	0x0F5B	TA1DRAH	
0x003E		0x0F5C	TA1DRBL	0x0E96	UATCNG
0x003F	PSW	0x0F5D	TA1DRBH	0x0E97	EINTCR0
		0x0F5E	TA1MOD	0x0E98	
		0x0F5F	TA1CR	0x0E99	
		0x0F60	TA1SR	0x0E9A	
		0x0F61		
		0x0F6F		0x0EE6	ADCVRF
		0x0F70		0x0EE7	
		0x0F71		0x0EE8	
		0x0F72		
		0x0F73		0x0EEC	FSCTRL
		0x0F74	POFFCR0	0x0EED	
		0x0F75	POFFCR1	0x0EEE	
		0x0F76	POFFCR2	
		0x0F77	POFFCR3	0x0EFF	
		0x0F78			
			
		0x0F7F			

图4- 2 SFR1 · SFR2 · SFR3

4.3 工作模式

4.3.1 工作模式控制线路

工作模式控制线路控制高频振荡线路和低频振荡线路的开与关，并控制主系统时钟(fm)的开与关。MQ6823 有三种工作模式 – 单时钟模式、双时钟模式和停止模式。这些工作模式是由系统控制寄存器 SYSCR1 和 SYSCR2 控制。图 4.3 是工作模式的转换图。

4.3.1.1 单时钟模式

在单时钟的工作模式下，只使用高速时钟振荡线路。主系统时钟是由齿轮时钟 fcgck 产生。在此模式下，机器周期为 $1/fcgck$ 秒。

(a) 普通 1 (NORMAL1) 模式

这种模式下，中央处理器 CPU 和外围线路的操作都会使用齿轮时钟 fcgck。复位释放后，MQ6823 便处于此普通 1 的模式下。

(b) 空闲 1 (IDLE1) 模式

这种模式下，中央处理器 CPU 和看门狗定时器停止工作，其他外围线路仍使用齿轮时钟 fcgck 工作。

要启动空闲 1 模式，在普通 1 模式下设置 SYSCR2<IDLE>为“1”。空闲 1 模式启动后，中央处理器 CPU 和看门狗定时器停止工作。中断允许寄存器 EIR 变更中断锁存器为“1”时，系统会由空闲 1 模式切换为普通 1 模式。

中断主允许标帜(IMF)为“1”时(即允许中断)，程序的执行将停止并接受中断，直到中断服务程序返回后，系统才回到正常操作。当 IMF 为“0”时(禁止中断)，程序会从刚才启动空闲 1 模式指令的下一条指令继续执行。

(c) 空闲 0 (IDLE0) 模式

这种模式下，中央处理器 CPU 和外围线路停止工作，只有振荡线路和时基定时器持续正常工作。

在空闲 0 模式下，外围线路停止工作并保持在空闲 0 模式启动当时的状态，或是保持在复位释放时的相同状态。外围线路在空闲 0 模式下的工作状态，可参考每个外围线路的相关叙述。

要启动空闲 0 模式，在普通 1 模式下设置 SYSCR2<TGHALT>为“1”。空闲 0 模式启动后，中央处理器 CPU 停止工作，时钟产生器对时基定时器之外的外围线路停止时钟输出。侦测到 TBTCR <TBTC>设定的信号源下降沿后，系统会脱离空闲 0 模式，时钟产生器开始输

出时钟至所有线路，系统回到普通 1 模式。

不管 TBTCR <TBTEN> 的设定为何，空闲 0 模式都可以被启动并重新启动。

在 TBTCR <TBTEN> 为“1”的状态下启动空闲 0 模式，INTTBT 中断锁存器会在系统回到普通模式之后被设定。如果 IMF 为“1”而 EF5(时基定时器的个别中断允许旗帜)也为“1”，系统会在中断处理完成后回到普通模式。

如果 IMF 为“0”而 EF5(时基定时器的个别中断允许旗帜)也为“0”，程序会从刚才启动空闲 0 模式指令的下一条指令开始执行。

4.3.1.2 双时钟模式

双时钟模式同时使用齿轮时钟 $fcgck$ 和低速时钟 fs 。

在普通 2 或空闲 2 模式下，主系统时钟 fm 是由齿轮时钟 $fcgck$ 产生。在低速 1/2、睡眠 0/1 模式下，主系统时钟 fm 是由低速时钟除以 4 产生。因此，普通 2 和空闲 2 模式下的机器周期为 $1/fcgck$ 秒，低速 1/2、睡眠 0/1 模式下的机器周期为 $4/fs$ 秒。

注意，系统在复位后会回到单时钟模式。若要使用双时钟模式，必须在程序开始时打开低速时钟，启动低速振荡。

(a) 普通 2 (NORMAL2) 模式

这种模式下，中央处理器 CPU 的工作使用齿轮时钟 $fcgck$ ，外围线路的操作使用齿轮时钟 $fcgck$ 或低速时钟 fs 的 1/4 速度。

(b) SLOW2 mode

这种模式下，高速时钟振荡线路持续工作，中央处理器 CPU 和外围线路的操作都使用低速时钟 fs 的 1/4 速度。

低速模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在低速模式下的工作状态，可参考关于每个外围线路的叙述。

设定 SYSCR2 <SYSCK> 可以让系统工作模式从普通 2 切换为低速 2，或是从低速 2 切换成普通 2。在低速 2 模式下，预比例器(Prescaler)和分频器的阶段 1~8 输出停止。

(c) 低速 1 (SLOW1) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和外围线路的操作都使用低速时钟 fs 的 1/4 速度。低速 1 模式比低速 2 模式更省电。

在低速模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在低速 1/2 模式下的工作状态，可参考关于每个外围线路的叙述。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

使用外部晶振时，设定 SYSCR2<XEN> 可让系统工作模式从低速 1 切换为低速 2，或是从低速 2 切换成低速 1。使用 HIRC 时，设定 SYSCR2<OSCEN> 可让系统工作模式从低速 1 切换为低速 2，或是从低速 2 切换成低速 1。在低速 1 或是睡眠 1 模式下，预比例器和分频器的阶段 1~8 输出停止。

(d) 空闲 2 (IDLE2) 模式

这种模式下，中央处理器和看门狗定时器停止工作，其他外围线路的操作仍旧使用齿轮时钟 f_{cgck} 或低速时钟 f_s 的 1/4 速度。

空闲 2 模式和空闲 1 模式的启动与释放方式相同。在空闲 2 模式释放后，系统会恢复为普通 2 模式。

(e) 睡眠 1 (SLEEP1) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和看门狗定时器停止工作，外围线路的操作都使用低速时钟 f_s 的 1/4 速度。

在睡眠 1 模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在睡眠 1 模式下的工作状态，可参考关于每个外围线路的叙述。睡眠 1 模式和空闲 1 模式的启动与释放方式相同。在脱离睡眠 1 模式后，系统会恢复为低速 1 模式。

在低速 1 或是睡眠 1 模式下，预比例器和分频器的阶段 1~8 输出停止。

(f) 睡眠 0 (SLEEPO) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和外围线路都停止工作，只有时基定时器使用低速时钟 f_s 的 1/4 速度持续工作。

在睡眠 0 模式下，外围线路停留在睡眠 0 模式启动时的当时状态，或是变回系统复位释放时的同状态。外围线路在睡眠 0 模式下的工作状态，可参考关于每个外围线路的叙述。睡眠 0 模式和空闲 0 模式的启动与释放方式相同。在脱离睡眠 0 模式后，系统会恢复为低速 1 模式。

在睡眠 0 模式下，中央处理器 CPU 以及时基定时器以外的外围线路都停止工作。

4.3.1.3 停止 (STOP) 模式

这种模式下，系统内的所有操作都停止。这种模式下系统内部状态暂停以保持最低耗电。

在停止模式下，外围线路停留在停止模式启动时的当时状态，或是变回系统复位释放时的同状态。外围线路在停止模式下的工作状态，可参考关于每个外围线路的叙述。要进入停止模式，设置 SYSCR1<STOP>为"1"即可。

要脱离停止模式，输入停止模式释放信号即可。在唤醒周期完成后，系统工作恢复为进入停止模式前的系统工作模式，程序执行刚才启动停止模式指令的下一个指令。

4.3.1.4 工作模式之转换

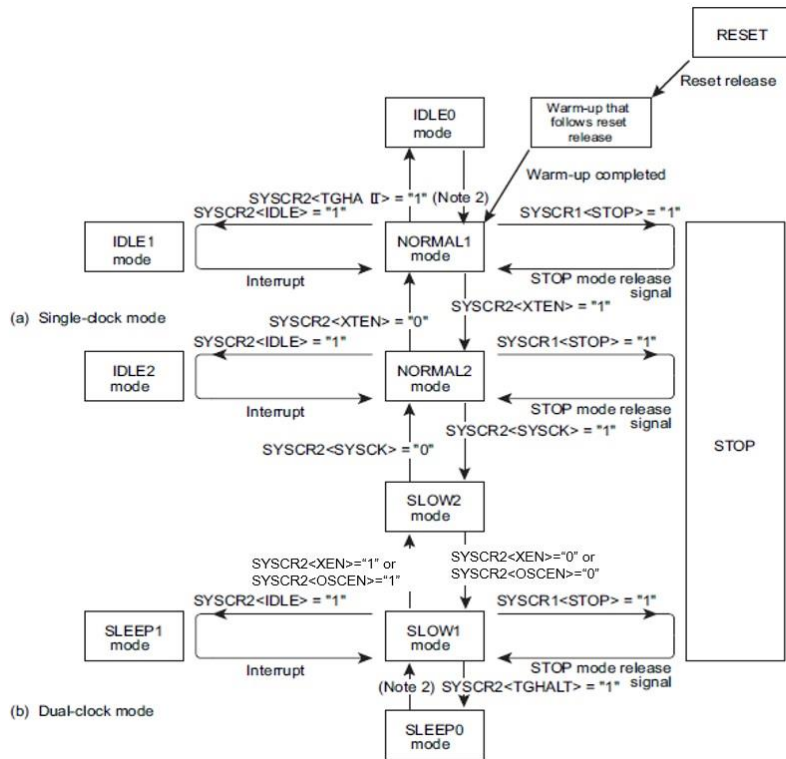


图4-3 工作模式转换图

工作模式		振荡器线路		中央处理器 CPU	WDT	时基 定时器	其他 外围线路	机器 周期时间	
		高速	低速						
单时钟	复位	开启	停止	复位	复位	复位	复位	1/fcgck 秒	
	普通 1			工作	工作	工作	工作		
	空闲 1			工作	停止	工作	停止		工作
	空闲 0			工作	停止	工作	停止		工作
	停止	停止				停止	停止		
双时钟	普通 2	开启	开启	高速	高速/低速	工作	工作	1/fcgck 秒	
	空闲 2			停止	停止				工作
	低速 2			低速	低速				工作
	低速 1			低速	低速				工作
	睡眠 1	停止	停止	停止	停止	停止	停止	4/fs 秒	
	睡眠 0			停止	停止				停止
	停止			停止	停止				停止

表4-1 工作模式转换表

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 1 : 普通 1 和普通 2 模式统称为普通模式。低速 1 和低速 2 统称为低速模式。空闲 0、空闲 1 和空闲 2 模式统称为空闲模式。睡眠 0 和睡眠 1 模式统称为睡眠模式。

注 2 : 利用 TBTCR<TBCK>设定的时钟源下降沿切换工作模式。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4.3.2 工作模式控制

4.3.2.1 停止模式

停止模式由系统控制寄存器 SYSCR1 和停止模式输入引脚信号控制。

(a) 启动停止模式

设置 SYSCR1<STOP>为"1"以启动停止模式。在停止模式下，以下状态会持续保持：

1. 高速时钟振荡线路和低速时钟振荡线路都停止工作，所有内部工作停止。
2. 数据存储器和寄存器和程序状态字保持进入停止模式前的状态。通过设置 SYSCR1 <OUTEN>可以决定端口输出锁存器的输出。
3. 预比例器和分频器被清除为"0"。
4. 程序计数器保存停止模式指令(就是[SET (SYSCR1).7])的前两条指令地址。

(b) 脱离停止模式

停止模式的脱离可由外部系统唤醒(KW)输入作为停止模式释放信号串连达成，亦可由 RESETB 引进行复位达成，或由上电复位(Power-on Reset)及电压检测线路复位达成。复位释放后，系统开始进入唤醒时间。唤醒完成后，系统进入普通 1 模式。

由外部系统唤醒 KW 引脚输入指定的电平，可使系统脱离停止模式。此电平可为高或低。关于外部系统唤醒的详细说明，请参考“4.9 外部唤醒”章节。

注 1：在停止时间内(从停止模式启动到系统唤醒完成)，中断锁存器可能因外部中断引脚信号的改变而被设定在"1"，进而造成系统在脱离停止模式后马上中断。为避免此问题，启动停止模式前建议停用所有中断。如果脱离停止模式后要允许任何中断，先清空不需使用的中断锁存器。

注 2：在唤醒操作开始后，就算外部唤醒引脚的输入电平和释放所需电平相反，系统不会再重启停止模式。

(c) 停止模式释放表

停止模式的释放会依以下步骤进行：

1. 振荡器开始工作。脱离停止模式后，进入不同工作模式下的振荡器工作状态栏于表 4.2。
2. 系统进入唤醒操作，确保进入普通 1/2 和低速模式前的振荡时钟稳定。此时所有内部工作仍旧停止。根据振荡器特性和唤醒计数器的设定不同，唤醒时间的长短也会不同。
3. 系统唤醒完成后，系统会脱离停止模式，并执行停止模式启动指令后的下一条指令。此时，预比例器和分频器被清为"0"。

注：在低电压操作下进行系统脱离停止模式时，必须注意以下警告。在脱离停止模式前，供应电压必须达到工作电压水平。RESETB 引脚的输入电压必须设定在高电平，并且和供应电压一起升高。此时如果连接了外部时钟线路，RESETB 引脚的输入电压会上升得比供应电压慢。如果 RESETB 引脚的输入电压低于正向高电平(滞后输入)，系统会有发生复位的危险。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

启动停止模式之前的工作模式		高速时钟	低速时钟	脱离停止模式后振荡电路的运作
单时钟模式	普通1	高速时钟 振荡线路	-	高速时钟振荡线路开始工作 低速时钟振荡线路停止工作
双时钟模式	普通2	高速时钟 振荡线路	低速时钟 振荡线路	高速时钟振荡线路开始工作 低速时钟振荡线路开始工作
	低速1	-	低速时钟 振荡线路	高速时钟振荡线路停止工作 低速时钟振荡线路开始工作

表4-2 振荡线路在系统脱离停止模式后即开始工作

注：系统恢复到普通2模式时，唤醒计数器的频率分频线路会使用高频时钟频率 f_c 作为输入。

4.3.2.2 空闲 1/2 和睡眠 1 模式

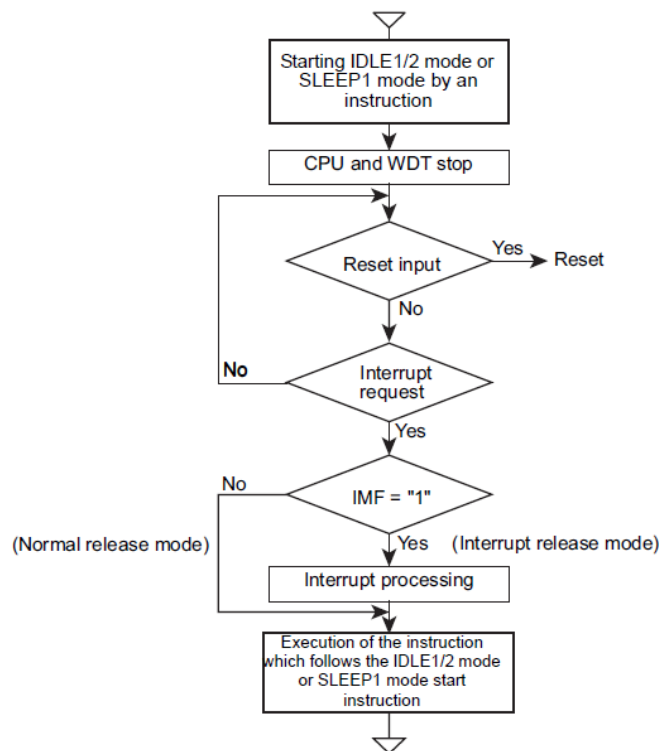


图4-4 空闲1/2和睡眠1模式

由系统控制寄存器 2(SYS CR2)和可屏蔽中断可控制空闲 1/2 和睡眠 1 模式。在这些模式下，系统会保持以下状态:

1. 中央处理器 CPU 和看门狗定时器停止工作，外围线路继续工作。
2. 数据存储器和寄存器、程序状态字和端口输出锁存器保持进入空闲 1/2 和睡眠 1 模式前

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

的状态。

3. 程序计数器保存进入空闲 1/2 和睡眠 1 模式指令的前两条指令地址。

(a) 启动空闲 1/2 和睡眠 1 模式

启动空闲 1/2 和睡眠 1 模式前，先设定中断主允许标帜 IMF 为“0”，再设定个别中断允许标帜 EF 为“1”，以便进入空闲 1/2 和睡眠 1 模式后能依中断需求脱离。要启动空闲 1/2 或睡眠 1 模式，将 SYSCR2 <IDLE> 设定为“1”。如果启动空闲 1/2 或睡眠 1 模式时的系统状况符合这些模式的释放条件，SYSCR2<IDLE> 会维持清空，空闲 1/2 或睡眠 1 模式不会被启动。

注 1：如果看门狗定时器中断讯号在启动空闲 1/2 或睡眠 1 模式的前一刻发生，看门狗定时器中断会被执行而空闲 1/2 或睡眠 1 模式不会被启动。

注 2：启动空闲 1/2 或睡眠 1 模式前，建议先设定脱离空闲 1/2 或睡眠 1 模式的允许中断要求信号，并设定个别中断允许标帜。

(b) 脱离空闲 1/2 和睡眠 1 模式

脱离空闲 1/2 和睡眠 1 模式的方法有两种：普通释放模式和中断释放模式。这两种模式可藉由中断主允许标帜 IMF 的设定选择。在脱离空闲 1/2 或睡眠 1 模式后，SYSCR2<IDLE> 会被自动清除为“0”，系统会回复启动空闲 1/2 或睡眠 1 模式之前的工作模式。

空闲 1/2 和睡眠 1 模式的释放可由 RESETB 引脚的复位达成，或由上电复位(Power-on Reset) 及电压检测线路复位达成。复位后，系统开始进入唤醒。待唤醒完成后，系统进入普通 1 模式。

1. 普通释放模式 (IMF = "0")

中断锁存器 IL 被个别中断允许标帜 EF 设定为“1”时，系统会脱离空闲 1/2 和睡眠 1 模式，并继续执行启动空闲 1/2 模式或睡眠 1 模式指令的下一条指令。

2. 中断释放模式 (IMF = "1")

中断锁存器 IL 被个别中断允许标帜 EF 设定为“1”时，系统会脱离空闲 1/2 和睡眠 1 模式。中断处理完成后，再继续执行启动空闲 1/2 模式或睡眠 1 模式指令的下一条指令。

4.3.2.3 空闲 0 和睡眠 0 模式

空闲 0 和睡眠 0 模式是由系统控制寄存器 2(SYSCR2)以及时基定时器控制寄存器 TBTCR 控制。在这些模式下，系统会保持以下状态：

1. 除了时基定时器外，其余外围线路停止工作。
2. 数据存储器、寄存器、程序状态字和端口输出锁存器保持进入空闲 0 和睡眠 0 模式前的状态。
3. 程序计数器保存进入空闲 0 和睡眠 0 模式指令的前两条指令地址。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

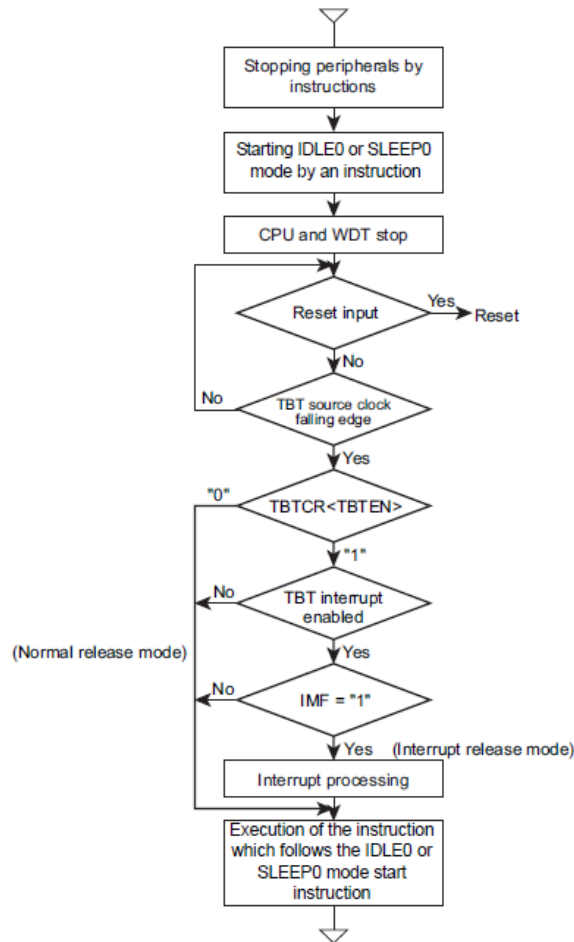


图4-5 空闲0和睡眠0模式

(a) 启动空闲 0 和睡眠 0 模式

要启动空闲 0 或睡眠 0 模式，将 SYSCR2<TGHALT>设定为"1"。

(b) 脱离空闲 0 和睡眠 0 模式

脱离空闲 0 和睡眠 0 模式的方法有两种: 普通释放模式和中断释放模式。这两种模式的选择可藉由设定中断主允许标帜 IMF、时基定时器的个别中断允许标帜 EF5 和 TBTCR<TBTEN>。脱离空闲 0 或睡眠 0 模式后，SYSCR2<TGHALT>会被自动清除为"0"，系统会回复启动空闲 0 或睡眠 0 模式之前的工作模式。

空闲 0 和睡眠 0 模式的释放也可藉由 RESETB 引脚的复位达成，或由上电复位(Power-on Reset)及电压检测线路复位达成。复位后，系统开始进入唤醒。待唤醒完成后，系统进入普通 1 模式。

1. 普通释放模式 (IMF、EF5、TBTCR<TBTEN> = "0")

侦测到 TBTCR<TBTCK>时钟源的下降沿时，系统会脱离空闲 0 或睡眠 0 模式，并继续执行启动空闲 0 模式或睡眠 0 模式指令的下一条指令。

TBTCR <TBTEN>为"1"时会设定时基定时器中断锁存器。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

2. 中断释放模式 (IMF、EF5、TBTCR<TBTEN> = "1")

侦测到 TBTCR<TBTC>时钟源的下降沿时，系统会脱离空闲 0 或睡眠 0 模式。中断处理完成后，系统会开始执行 INTTBT 中断。

注 1 : TBTCR<TBTC>的内部时钟源是异步的，因此，在系统从空闲 0 或睡眠 0 模式切换到普通 1 或低速 1 模式时，模式转换的时间可能会比 TBTCR<TBTC>设定的时间要短。

注 2 : 如果看门狗定时器中断讯号在启动空闲 0 或睡眠 0 模式的前一刻发生，看门狗定时器中断会被执行而空闲 0 或睡眠 0 模式不会被启动。

4.3.2.4 低速模式

由系统控制寄存器 2 (SYSCR2)控制低速模式。

(a) 从普通 2 模式切换为低速 1 模式

设定 SYSCR2<SYSCK>为"1"。

设定 SYSCR2<SYSCK>为"1"后，主系统时钟 fm 会在 $2/fcgck + 10/fs$ 秒内切换成 $fs/4$ 。切换完成后，等候 2 个以上的机器周期，接着将 SYSCR2<XEN>清除为"0"以关闭高速时钟振荡器。如果低速时钟 fs 不稳定，需等低速时钟稳定之后再行以上操作。

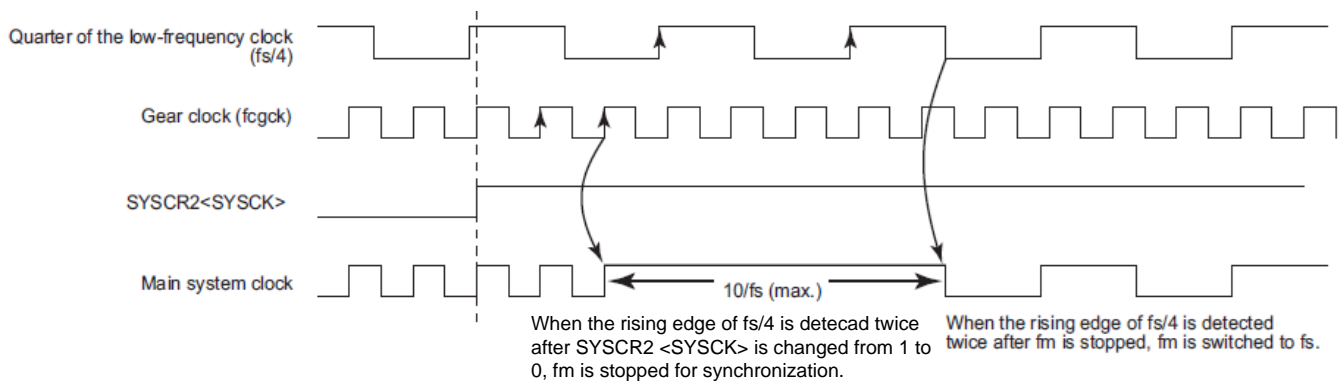


图4-6 主系统时钟fm切换(由fcgck切换为fs/4)

(b) 从低速 1 模式切换为普通 1 模式

设定 SYSCR2<XEN>为"1"，启动高速时钟 fc 振荡。确认高速时钟稳定后，清除 SYSCR2<SYSCK>为"0"。

清除 SYSCR2<SYSCK>为"0"后，主系统时钟 fm 会在 $2.5/fcgck + 8/fs$ 秒之内切换成 fcgck。切换完成后，等候 2 个以上的机器周期，接着将 SYSCR2<XEN>清除为"0"以关闭低速时钟振荡器。

低速模式的释放也可藉由 RESETB 引脚的复位达成，或由上电复位(Power-on Reset)及电压检测线路复位达成。复位后，系统开始进入唤醒。待唤醒完成后，系统进入普通 1 模式。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

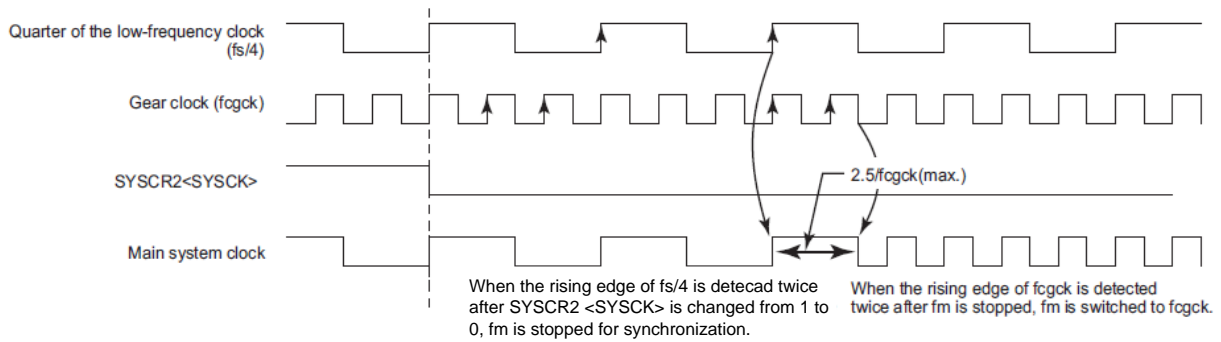


图4-7 主系统时钟fm切换(由fs/4切换为fcgck)

注 1 : 务必按照以上步骤由低速 1 模式切换成普通 1 模式。

注 2 : 切换 SYSCR2<SYSCK>后，务必等待 2 个以上的机器周期后再清除 SYSCR2<XTEN>为“0”。如果在 2 个机器周期内清除 SYSCR2<XTEN>，系统时钟会重置。

注 3 : 主系统时钟 fm 切换时，齿轮时钟 fcgck 会与速度为 fs/4 的低速时钟同步。为进行同步，主系统时钟会暂时停止 2.5/fcgck 秒或是更短的时间。

注 4 : POFCO 为“0”时，设定 SYSCR2<XEN>为“1”会导致系统时钟重置。

注 5 : SYSCR2<XEN>设定为“1”时，再次设定 SYSCR2<XEN>为“1”并不会引起唤醒计数器动作。

4.4 堆栈与堆栈指针

4.4.1 堆栈

堆栈区位于存储器内。在系统执行子程序与中断程序时，堆栈区可用于暂时储存计数器 PC、程序状态字 PSW 以及其他相关数值。

用[CALL mn]或[CALLV n]指令调用子程序时，中央处理器 CPU 会先把返回地址堆栈(储存)于堆栈区内，再跳转至子程序进入地址。执行软件中断指令 SWI 及系统接受硬件中断要求时，中央处理器 CPU 会把程序状态字 PSW 与返回地址依序储存于堆栈区内。

执行子程序返回指令 RET 从子程序返回时，中央处理器 CPU 会从堆栈区中弹出(恢复)PC 的值。执行中断返回指令 RETI 或 RETN 时，中央处理器 CPU 会从堆栈区中恢复 PC 和 PSW 的值。

堆栈区可以放在数据存储器的任何位置。

4.4.2 堆栈指针

堆栈指针 SP 是一个 16 位寄存器，用来存放堆栈区中下一个可用空闲区域的地址。执行堆栈指令 PUSH、调用一个子程序或系统中断后，堆栈指针 SP 会减 1。执行弹出指令 POP、由子程序返回或由中断返

回前，堆栈指针 SP 会加 1。堆栈区中的地址次序安排是由高至低排列。

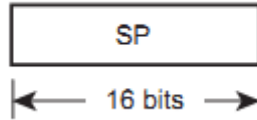
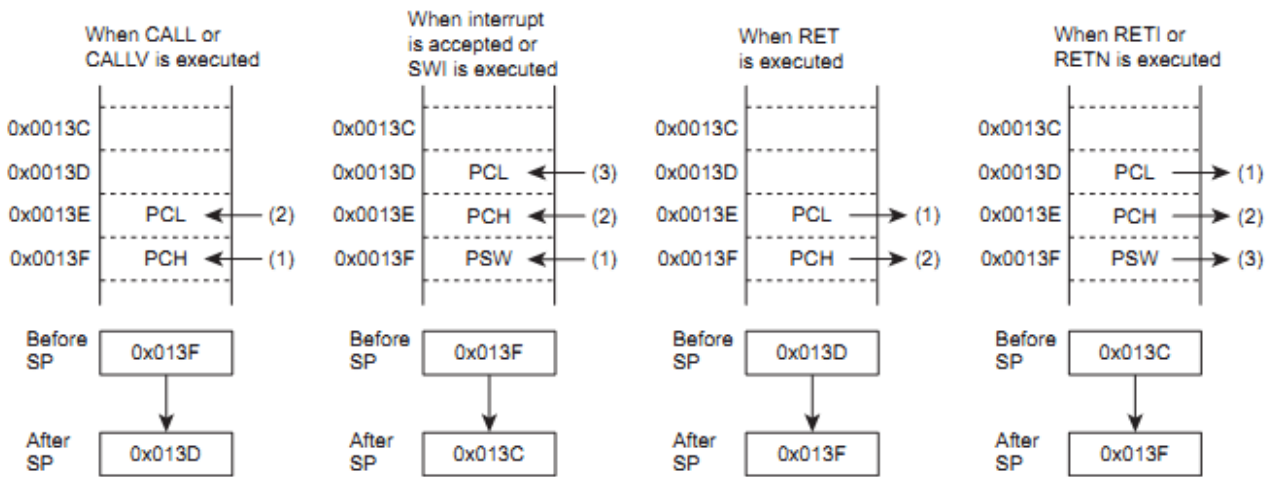


图4-8 堆栈指针

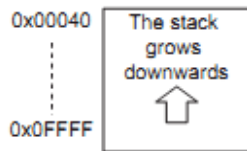
图 4.9 显示执行以下指令后，堆栈区和堆栈指针寄存器的内容变化。

硬件复位时，堆栈指针寄存器的默认设定值为 0x00FF。

与索引寄存器一样，堆栈指针寄存器可用装载/储存和 ALU 指令进行设定修改。堆栈指针寄存器也可当作索引寻址的索引寄存器使用。



(a) PC and PSW in the stack (Pushing and popping)



(b) Direction in which the stack grows

图4-9 堆栈顺序

4.5 程序计数器

4.5.1 程序计数器

程序计数器 PC 是个 8 位寄存器，用来指示下一条要被执行的指令在程序存储器中的地址。复位后，中央处理器 CPU 会将保存在矢量表(0xFFFF 和 0xFFFE)中的复位矢量，装载进程序计数器 PC。此复位矢量是由使用者定义的，所以复位后程序可以从任指定地址开始执行。由于 iMQ i87 采用流水线技术，中央处理器 CPU 会预先读取指令，程序计数器 PC 会指向执行中指令其地址两个字节后的地址。举例来说，在执行 0xC123 的单字节指令时，PC 值为 0xC125。

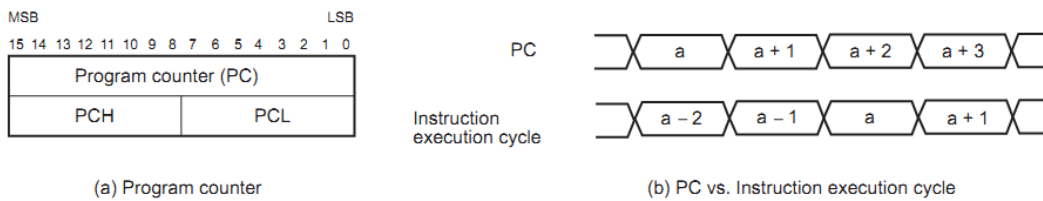


图4- 10 程序计数器PC

4.5.2 跳转指令和程序计数器数值的关系

跳转指令可分为相对跳转指令和绝对跳转指令两种。跳转范围限制在程序存储器内，而无法在数据存储器内。以下说明是跳转指令对程序计数器数值的影响。

4.5.2.1 5 位移位相对跳转指令 (JRS cc, \$+2+d)

当地址 0xE8C4 存储的指令为"JRS T, \$+2+0x08"时，若 JF=1，则程序计数器 PC 会加 0x08，并跳转至地址 0xE8CE。由于 PC 会指向执行中指令其地址两个字节后的地址，因此在这个范例中，跳转前的 PC 值为 0xE8C4+2=0xE8C6。

4.5.2.2 8 位移位相对跳转指令 (JR cc, \$+2+d/JR cc, \$+3 +d)

当地址 0xE8C4 存储的指令为"JR Z, \$+2+0x80"时，若 ZF=1，程序计数器 PC 会减 128 (加 0xFF80)，并跳转至地址 0xE846。

4.5.2.3 16 位绝对跳转指令 (JP a)

当地址 0xE8C4 存储的指令为"JP 0xC235"时，程序计数器会跳转至 0xC235。使用绝对跳转指令可

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

在程序存储器的最大范围内转跳至任何位置。MQ6823 单片机中能够跳转的最大存储器范围是 8Kx8 位。

4.6 通用寄存器

MQ6823 有 8 个 8 位通用寄存器映像，这些通用寄存器是 W、A、B、C、D、E、H 和 L。这些寄存器也可相互配对成 16 位通用寄存器对 WA、BC、DE 和 HL。

通用寄存器没有特定的对应地址。在系统上电或复位后，通用寄存器的数值属性为未定义。

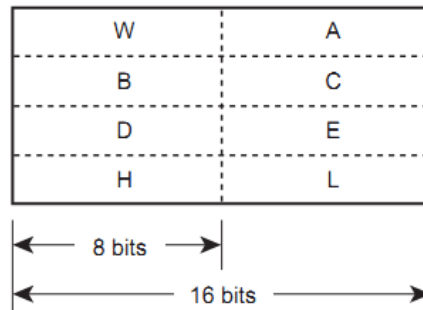


图4-11 通用寄存器

W、A、B、C、D、E、H 和 L 通用寄存器个别为 8 位装载/储存和 ALU 指令所使用。WA、BC、DE 和 HL 通用寄存器为 16 位装载/储存和 ALU 指令所使用。除了本节叙述的通用寄存器功能外，这些寄存器对也提供下节叙述的其他功能。

4.6.1 A 寄存器

利用 A 寄存器，位操作指令可指定一寄存器中的某个位，测试其数值或令其改变数值。

A 寄存器也可以在 PC 相对寄存器间接寻址(PC+A)时，当作偏移量寄存器使用。

4.6.2 C 寄存器

在除法指令中，C 寄存器作除数寄存器用。除法运算后，余数被写回被除数寄存器对的高字节，商数被写回被除数寄存器对的低字节。

C 寄存器也可以在寄存器索引寻址(HL+C)时，当作偏移量寄存器使用。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4.6.3 DE 寄存器

寄存器间接寻址时，DE 寄存器保存操作数所在的存储器地址。

4.6.4 HL 寄存器

寄存器间接寻址时，HL 寄存器保存操作数所在的存储器地址。索引寻址时，HL 寄存器当作索引寄存器使用。

4.6.5 16 位通用寄存器 IX · IY

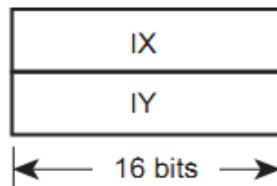


图4- 12 16位通用寄存器IX和IY

MQ6823 有 2 个 16 位通用寄存器 IX 和 IY。寄存器间接寻址时，IX 和 IY 寄存器保存操作数所在的存储器地址。索引寻址时，IX 和 IY 寄存器当作索引寄存器使用。

系统上电和复位后，IX 和 IY 寄存器的数值属性为未定义。IX 和 IY 寄存器也可作为装载/储存和 ALU 指令作 16 位通用寄存器所使用。

4.7 程序状态字

程序状态字 PSW 位于地址为 0x003F 的特殊功能寄存器 SFR 中。程序状态字 PSW 包含以下 6 个标帜位:

- 跳转状态标帜位 Jump Status Flag, JF
- 零标帜位 Zero Flag, ZF
- 进位标帜位 Carry Flag, CF
- 半进位标帜位 Half Carry Flag, HF
- 正负号标帜位 Sign Flag, SF
- 溢位标帜位 Overflow Flag, VF

除了用专用指令读/写程序状态字 PSW 外，通用的装载指令也可以用来存取程序状态字 PSW。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

程序状态字PSW结构

PSW (0x003F)	7	6	5	4	3	2	1	0
	JF	ZF	CF	HF	SF	VF	-	-

程序状态字 PSW 包含 6 位状态信息，这些信息可以由中央处理器 CPU 的操作进行设定与清除。除了 HF 外，程序状态字的标帜位可被设定为成条件跳转指令“JR cc, a”和“JRS cc, a”中的条件代码 cc。

cc	Meaning	Condition
T	True	JF = 1
F	False	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned greater than or equal to	CF = 0
LE	Unsigned less than or equal to	(CF ∨ ZF) = 1
GT	Unsigned greater than	(CF ∨ ZF) = 0
SLT	Signed less than	(SF ∨ VF) = 1
SGE	Signed greater than or equal to	(SF ∨ VF) = 0
SLE	Signed less than or equal to	ZF ∨ (SF ∨ VF) = 1
SGT	Signed greater than	ZF ∨ (SF ∨ VF) = 0

表4-3 条件代码 (cc) 表

指令“LD PSW”可清除 PSW 中的其他位 (bits)，但无法以“LD”相关指令写入 0x003F 地址，需以特定指令进行设定或清除。

中断时程序状态字 PSW 和程序计数器 PC 会一起被堆栈(储存)进堆栈区。执行中断返回指令 RETI 或 RETN 时，中央处理器 CPU 会从堆栈区中恢复 PC 和 PSW 的值。

在上电启动及复位时，PSW 之状态值处于未定义状态。

4.7.1 零标帜 ZF

上一个 ALU 指令结果或上一个装载/储存指令的操作数为 0x00(8 位 ALU 或装载/储存操作)或 0x0000(16 位 ALU 操作)时，零标帜位 ZF 会被设定为 1。上一个位操作指令将位数值设定为 0 时，零标帜位 ZF 也会被设定为 1。除此之外，零标帜位 ZF 会被清除为 0。同时，上一个乘法指令的乘积

或上一个除法指令的余数的高 8 位为 0x00 时，零标帜位 ZF 会被设定为 1；否则 ZF 会被清空为 0。

4.7.2 进位标帜 CF

进位标帜位 CF 包括加法指令的进位与减法指令的补位。若上一个除法指令的除数为 0x00(除数为零的错误)，或其商数等于或大于 0x100(商数溢位的错误)，进位标帜位 CF 会被设定为“1”。移位指令(shift)和循环指令(rotate)的操作也会伴随着进位标帜位 CF 的操作。在位操作指令中，进位标帜位 CF 是作单位布尔累加器用。进位标帜位 CF 可以用指令进行设定、清除或内容取反。

4.7.3 半进位标帜 HF

半进位标帜位 HF 包括 8 位加法指令的第 4 位进位或是 8 位减法指令的第 4 位补位。半进位标帜位 HF 用在二进制编码的十进制(binary-coded decimal, BCD)加法/减法指令中，以及十进制判断加和十进制判断减指令的修正中(DAAr 和 DASr)。

4.7.4 正负号标帜 SF

上一个算数指令结果的最高有效位(MSB)为“1”时，正负号标帜位 SF 会被设定为“1”，否则正负号标帜位 SF 会被清除为“0”。

4.7.5 溢位标帜 VF

当一个算数指令的结果发生溢位时，溢位标帜位 VF 会被设定为“1”，否则溢位标帜位会被清除为“0”。举例来说，两个正数相加得到负数或两个负数相加得到正数时，溢位标帜位 VF 会被设定为“1”。

4.7.6 跳转状态标帜 JF

跳转状态标帜位 JF 一般被设定为“1”，在特定指令操作下会被清除为“0”或是保留进位数值。跳转状态标帜位 JF 用于条件跳转指令的条件设定，如“JR T/F, a”和“JRS T/F, a” (T 和 F 代表条件为真和伪)。

例: 假设以下条件

WA 寄存器 = 0x219A

HL 寄存器 = 0x00C5

数据存储地址 0x00C5 = 0xD7

CF = 1, HF = 0, SF = 1, VF = 0

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

表 4.4 显示 A 寄存器、WA 寄存器和程序状态字 PSW 在各种指令操作下的结果。

Instruction	Result in A or WA	PSW					
		JF	ZF	CF	HF	SF	VF
ADDC A, (HL)	72	1	0	1	1	0	1
SUBB A, (HL)	C2	1	0	1	0	1	0
CMP A, (HL)	9A	0	0	1	0	1	0
AND A, (HL)	92	0	0	1	0	1	0
LD A, (HL)	D7	1	0	1	0	1	0
ADD A, 0x66	00	1	1	1	1	0	0
INC A	9B	0	0	1	0	1	0
ROL A	35	1	0	1	0	1	0
ROR A	CD	0	0	0	0	1	0
ADD WA, 0xF508	16A2	1	0	1	0	0	0
MUL WA	13DA	0	0	1	0	1	0
SET A.5	BA	1	1	1	0	1	0

表4-4 范例：A寄存器、WA寄存器和程序状态字PSW在各种指令操作下的结果

4.8 外围线路低耗电功能

MQ6823 具备低耗电寄存器 POFFCRn，可藉由特定外围线路的开关控制以降低系统耗电。低耗电寄存器 POFFCRn(n = 0, 1, 2, 3)的每个位可以被分别设定为允许或禁止外围线路功能。

设定低耗电寄存器 POFFCRn 的对应位为“0”后，基本时钟便停止供应至外围线路，藉由外围功能的禁止以降低系统耗电。外围功能禁止后无法使用。设定低耗电寄存器 POFFCRn 的对应位为“1”后，基本时钟正常供应至外围线路，允许外围功能的操作。

复位后，低耗电寄存器 POFFCRn 回复初始设定为“0”，所有外围功能被禁止而无法操作。在第一次启用外围功能时，确认程序中该外围功能对应的低耗电寄存器 POFFCRn 被设定为“1”后，才进行外围功能控制寄存器的操作。

进行外围功能操作的同时，不可改变低耗电寄存器 POFFCRn 中对应该外围功能的对应位数值为“0”，否则可能造成外围功能的操作不正常。

低功耗寄存器 0

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
位符号	-	TCC1EN	-	TC001EN	-	-	TCA1EN	TCA0EN
读/写	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCC1EN	TCC1 允许控制	0: 禁止 1: 允许
TC001EN	TC00,TC01 允许控制	0: 禁止 1: 允许
TCA1EN	TCA1 允许控制	0: 禁止 1: 允许
TCA0EN	TCA0 允许控制	0: 禁止 1: 允许

低功耗寄存器 1

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
位符号	-	-	-	SBI0EN	-	-	UART0EN	UART0EN
读/写	R	R	R	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SBI0EN	I ² C0 允许控制	0: 禁止 1: 允许
UART0EN	UART0 允许控制	0: 禁止 1: 允许
UART0EN	UART0 允许控制	0: 禁止 1: 允许

低功耗寄存器 2

POFFCR2 (0x0F76)	7	6	5	4	3	2	1	0
位符号	-	-	RTCEN	-	-	-	-	SIO0EN
读/写	R/W	R	R/W	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

RTCEN	RTC 允许控制	0: 禁止 1: 允许
SIO0EN	SIO0 允许控制	0: 禁止 1: 允许

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

低功耗寄存器 3

POFFCR3 (0x0F77)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	INT3EN	INT2EN	INT1EN	INT0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

INT3EN	INT3 控制	0: 禁止 1: 允许
INT2EN	INT2 控制	0: 禁止 1: 允许
INT1EN	INT1 控制	0: 禁止 1: 允许
INT0EN	INT0 控制	0: 禁止 1: 允许

4.9 唤醒 KWU

所谓唤醒，是控制引脚 KW10~4, KW18, KW112~15 使系统脱离停止工作模式。

4.9.1 唤醒 KWU 架构

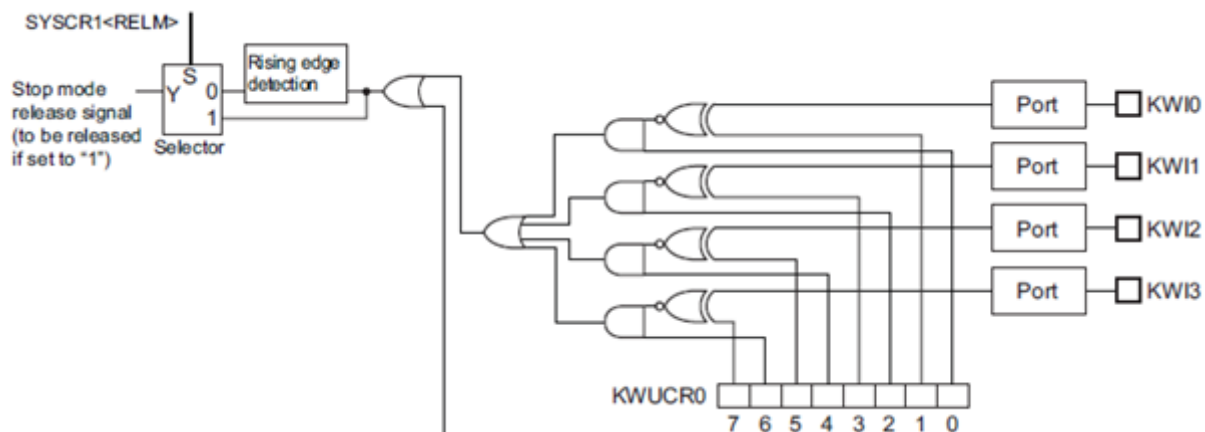


图4-13 唤醒线路 (以KW10 ~ KW13为例)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4.9.2 唤醒 KWU 控制

设定唤醒控制寄存器 KWUCR0、KWUCR1、KWUCR2 与 KWUCR3 可指定脱离停止模式引脚为唤醒引脚 KW115 到 KW10，同时设定这些唤醒引脚的停止模式释放电平。

唤醒控制寄存器 0

KWUCR0 (0x0FC4)	7	6	5	4	3	2	1	0
位符号	KW3LE	KW3EN	KW2LE	KW2EN	KW1LE	KW1EN	KW0LE	KW0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

KW3LE	KW13 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW3EN	KW13 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW2LE	KW12 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW2EN	KW12 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW1LE	KW11 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW1EN	KW11 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW0LE	KW10 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW0EN	KW10 引脚输入允许/禁止控制	0: 禁止 1: 允许

唤醒控制寄存器 1

KWUCR1 (0x0FC5)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	KW4LE	KW4EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

KW4LE	KW14 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW4EN	KW14 引脚输入允许/禁止控制	0: 禁止 1: 允许

唤醒控制寄存器 2

KWUCR2 (0x0FCA)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	KW8LE	KW8EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

KW8LE	KW18 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW8EN	KW18 引脚输入允许/禁止控制	0: 禁止 1: 允许

唤醒控制寄存器 3

KWUCR3 (0x0FCB)	7	6	5	4	3	2	1	0
位符号	KW15LE	KW15EN	KW14LE	KW14EN	KW13LE	KW13EN	KW12LE	KW12EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

KW15LE	KW15 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW15EN	KW15 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW14LE	KW14 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW14EN	KW14 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW13LE	KW13 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW13EN	KW13 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW12LE	KW12 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW12EN	KW12 引脚输入允许/禁止控制	0: 禁止 1: 允许

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

4.9.3 唤醒 KWU 功能

藉由操作 KWIm 引脚 (m: 0~15)，用户可启动唤醒功能，使系统脱离停止模式。若要指定 KWIm 引脚作为停止模式释放引脚，必须先设定唤醒控制寄存器 KWUCRn (n: 0~3)。

4.9.3.1 设定 KWUCRn 和 P4PU 寄存器

要指定 KWIm 引脚作为停止模式释放引脚，必须设定唤醒控制寄存器 KWUCRn<KWmEN>为"1"。KWIm 引脚对应的唤醒控制寄存器 KWUCRn<KWmEN>被设定为"1"后，可藉由设定 KWUCRn<KWmLE>寄存器以设定停止模式释放电平。若 KWUCRn<KWmLE>为"0"，输入低电平信号可释放停止模式。若 KWUCRn<KWmLE>为"1"，输入高电平信号可释放停止模式。举例来说，若要设定系统在 KWIO 脚位接收到高电平输入信号时脱离停止模式，设定 KWUCR0<KW0EN>为"1"，并设定 KWUCR0 <KW0LE>为"1"。

每个 KWIm 引脚都可连接内置上拉电阻。在连接内置上拉电阻前，P2 (KW18~KW111)、P4 (KW10~KW17) 与 P7 (KW112~KW115) 端口内置上拉电阻控制寄存器 P2PU、P4PU 与 P7PU 的对应位必须被设定为"1"。

4.9.3.2 启动停止模式

要启动停止模式，设定 SYSCR1<RELM>为"1"(电平释放模式)并设定 SYSCR1<STOP>为"1"。要使用唤醒功能，不要将 SYSCR1<RELM>设定为"0"(沿释放模式)。

4.9.3.3 脱离停止模式

要脱离停止模式，可在 KWIm 引脚上输入符合设定的停止模式释放电平。

如果 KWIm 引脚在系统要进入停止模式时已位于释放电平，系统会执行以下的指令并停止启动停止模式(无唤醒动作)。

注：在唤醒控制寄存器 KWUCRn 设定为输入允许的情况下，不要在 KWIm 引脚上输入模拟电压信号，否则会引起非预期的系统耗电电流。

5. 复位功能

5.1 复位控制线路

复位线路可控制外部和内部的复位因素并使系统复位。

5.1.1 复位架构

复位线路可控制外部和内部的复位因素并使系统复位。

1. 外部复位输入(RESETB · 外部因素)
2. 上电复位(POR · 内部因素)
3. 电压检测复位 1 (LVD1 · 内部因素)
4. 电压检测复位 2 (LVD2 · 内部因素)
5. 看门狗定时器复位(WDT · 内部因素)
6. 系统时钟复位(内部因素)
7. Flash 待机复位(内部因素)

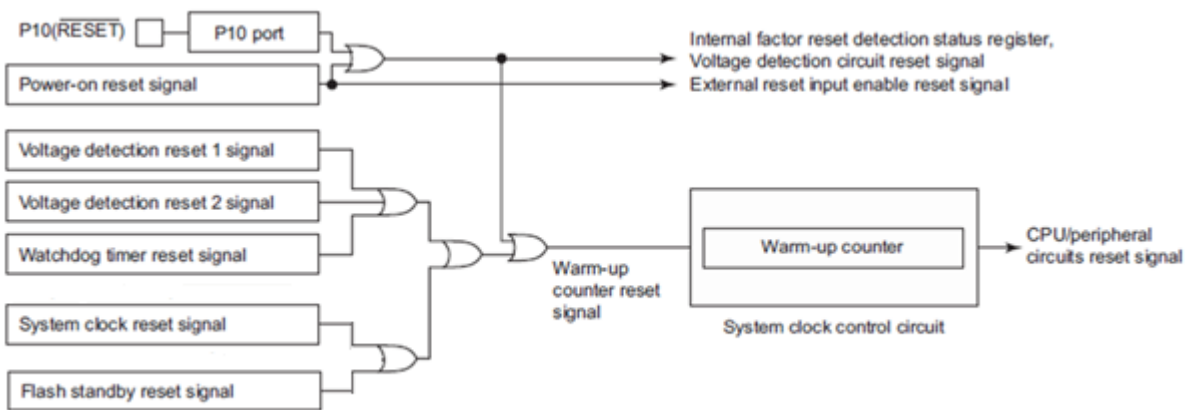


图5- 1 复位控制线路

5.1.2 复位控制

复位控制线路是由系统控制寄存器 3(SYS CR3) · 系统控制寄存器 4(SYS CR4) · 系统控制状态寄存器 (SYS SR4)和内部因素复位检测状态寄存器(IRSTSR)所控制。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

系统控制寄存器 3

SYSCR3 (0x0FDE)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	RSTDIS
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0

RSTDIS	外部复位输入允取寄存器	0: 允许外部复位输入 1: 禁止外部复位输入
--------	-------------	----------------------------

注 1 : 已经允许的 SYSCR3<RSTDIS>只能由上电复位进行初始化, 不能由外部复位输入或内部因素复位进行初始化。利用上电复位、外部复位或内部因素复位可以恢复 SYSCR3 的初始设定数值。

注 2 : 在 0xB2 被写进系统控制寄存器 4 (SYSCR4) 之前, SYSCR3<RSTDIS>的数值都无效。

注 3 : 设定 SYSCR3<RSTDIS>后, 必须在普通 1 模式下而 fcgck 为 fc/4 (CGCR<FCGCKSEL> = 00) 的情况下, 写 0xB2 进 SYSCR4 寄存器(允许 SYSCR3<RSTDIS>的设定), 否则 SYSCR3<RSTDIS>可能会在非预期的情况下被启动。

注 4 : SYSCR3 读出的第 7 位到第 3 位皆为“0”。第 2 到第 1 位为系统保留, 请勿变更默认值。

系统控制寄存器 4

SYSCR4 (0x0FDF)	7	6	5	4	3	2	1	0
位符号	SYSCR4							
读/写	Write only							
复位后	0	0	0	0	0	0	0	0

SYSCR4	写入 SYSCR3 数据控制码	0xB2	允许 SYSCR3<RSTDIS>内容
		0x71	允许 IRSTSR<FCLR>内容
		其他	无效

注 1 : SYSCR4 是个唯写入寄存器, 无法用读取-修改-写入指令如位操作指令进行存取。

注 2 : 设定 SYSCR3<RSTDIS>后, 必须在普通模式下而 fcgck 为 fc/4 (CGCR<FCGCKSEL> = 00) 的情况下, 写 0xB2 进 SYSCR4 寄存器(允许 SYSCR3<RSTDIS>的设定), 否则 SYSCR3<RSTDIS>可能会在非预期的情况下被启动。

注 3 : 设定 IRSTSR<FCLR>后, 必须在普通模式下而 fcgck 为 fc/4 (CGCR<FCGCKSEL>=00) 的情况下, 写 0x71 进 SYSCR4, 否则 IRSTSR<FCLR>可能会在非预期的情况下被启动。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

系统控制状态寄存器 4

SYSSR4 (0x0FDF)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	RSTDISS
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

RSTDISS	外部复位输入允许寄存器	0: 已允许的 SYSCR3<RSTDIS>数值为“0” 1: 已禁止的 SYSCR3<RSTDIS>数值为“1”
---------	-------------	--

注 1 : 已经允许的 SYSCR3<RSTDIS>只能由上电复位进行初始化, 不能由外部复位输入或内部因素复位进行初始化。利用上电复位、外部复位或内部因素复位可以恢复 SYSCR3 的初始设定数值。

注 2 : SYSCR4 读出的第 7 位到第 3 位皆为“0”。

内部因素复位检测状态寄存器

IRSTSR (0x0FCC)	7	6	5	4	3	2	1	0
位符号	FCLR	FLSRF	-	-	LVD2RF	LVD1RF	SYSRF	WDTRF
读/写	R/W	R	-	-	R	R	R	R
复位后	0	0	0	0	0	0	0	0

FCLR	标帜初始化控制(注 6)	0:- 1: 清除内部因素复位标帜为“0”。
FLSRF	Flash 待机复位侦测标帜	0:- 1: 侦测 Flash 待机复位
LVD2RF	电压检测复位 2 侦测标帜	0:- 1: 侦测电压检测复位 2
LVD1RF	电压检测复位 1 侦测标帜	0:- 1: 侦测电压检测复位 1
SYSRF	系统时钟复位侦测标帜	0:- 1: 侦测系统时钟复位
WDTRF	看门狗定时器复位侦测标帜	0:- 1: 侦测看门狗定时器复位

注 1 : 利用上电复位进行 IRSTSR 的初始设定。

注 2 : 由于内部因素复位检测状态寄存器 IRSTSR 可能因噪声干扰或其他因素无法正常工作, 进行系统设计时需务必特别注意。

注 3 : 利用上电复位或内部复位因素进行 IRSTSR<FCLR>的初始设定。

注 4 : 设定 IRSTSR<FCLR>为“1”并将 0x71 写入 SYSCR4 可以启动 IRSTSR<FCLR>的设定, 并清除内部因素复位检测状态寄存器 IRSTSR 为“0”。在完成 IRSTSR 的初始设定后, IRSTSR<FCLR>会被自动清除为“0”。

注 5 : 设定 IRSTSR<FCLR>后, 必须在普通模式下而 fcgck 为 fc/4 (CGCR <FCGCKSEL> = 00)的情况下, 写 0x71 进 SYSCR4 寄存器(允许 IRSTSR<FCLR>的设定), 否则 IRSTSR<FCLR>可能会在非预期的情况下被启动。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.1.3 复位功能

进行复位时，上电复位、外部复位输入以及内部因素复位信号会被输入至时钟产生器的唤醒线路中。进行复位时，唤醒计数器线路、中央处理器 CPU 以及外围线路都会重置。

系统脱离复位后，唤醒计数器会开始计数高速时钟 f_c ，并且随后进行系统唤醒。在系统脱离复位后的唤醒过程中，系统会从 Flash 存储器中装载梯形电阻的调整修正(trimming)数据，并藉此调整上电复位和电压检测线路所需的比较电平。

完成系统唤醒后，中央处理器 CPU 会开始执行复位矢量地址 0xFFFFE 到 0xFFFF 存放的程序。若在系统唤醒的过程中输入复位信号，唤醒计数器线路会重置。上电复位、外部复位输入和内部因素复位的复位操作是相同的，但是和某些特殊功能寄存器与电压检测线路的起始操作并不同。

进行复位时，外围线路的状态如下表 5.1 所示。

内置硬件	复位时	唤醒中	唤醒后
程序计数器 PC	0xFFFFE	0xFFFFE	0xFFFFE
堆栈指针 SP	0x00FF	0x00FF	0x00FF
数据存储器 RAM	不确定	不确定	不确定
通用功能寄存器 (W、A、B、C、D、E、H、L、IX和IY)	不确定	不确定	不确定
跳转状态标帜位 JF	不确定	不确定	不确定
零标帜位 ZF	不确定	不确定	不确定
进位标帜位 CF	不确定	不确定	不确定
半进位标帜位 HF	不确定	不确定	不确定
正负号标帜位 SF	不确定	不确定	不确定
溢位标帜位 VF	不确定	不确定	不确定
中断主允许标帜 IMF	0	0	0
个别中断允许标帜 EF	0	0	0
中断锁存器 IL	0	0	0
高速时钟振荡线路	振荡允许	振荡允许	振荡允许
低速时钟振荡线路	振荡禁止	振荡禁止	振荡禁止
唤醒计数器	复位	开始	停止
时序产生器预比例器与分频器	0	0	0
看门狗定时器	禁止	禁止	允许
电压检测线路	禁止或允许	禁止或允许	禁止或允许
I/O端口引脚状态	高阻	高阻	高阻
特殊功能寄存器	参考SFR说明	参考SFR说明	参考SFR说明

表 5.1 利用复位操作进行内置硬件的初始化及完成复位后的状态

注：电压检测线路只能由上电复位 (Power-on Reset) 进行功能禁止。

5.1.4 复位信号产生因素

复位信号是依以下的因素产生:

5.1.4.1 外部复位输入(RESETB 引脚输入)

P10 端口可作 RESETB 引脚使用。上电后，P10 默认是复位功能，请注意必须为高电平后，芯片才能正常工作。芯片正常工作后可以通过程序设定为 IO 端口。

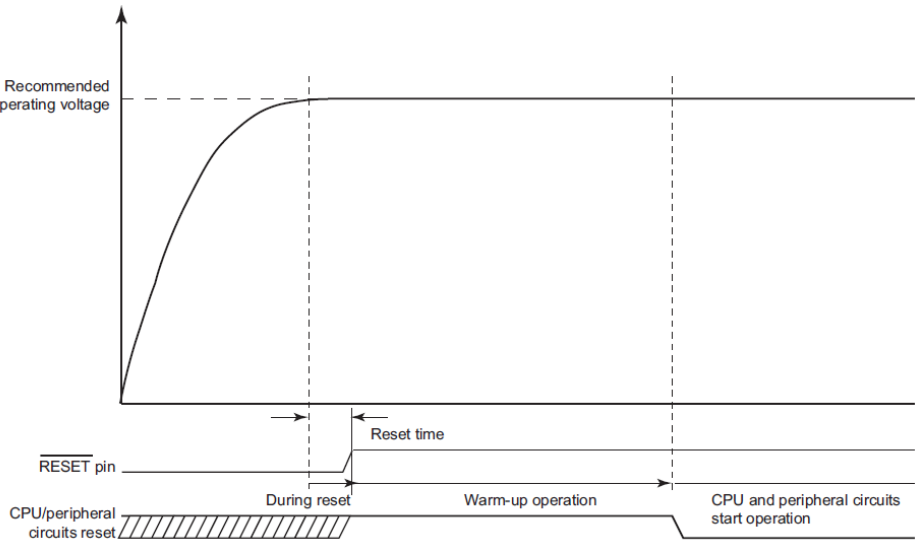


图5-2 外部复位输入(上电时)

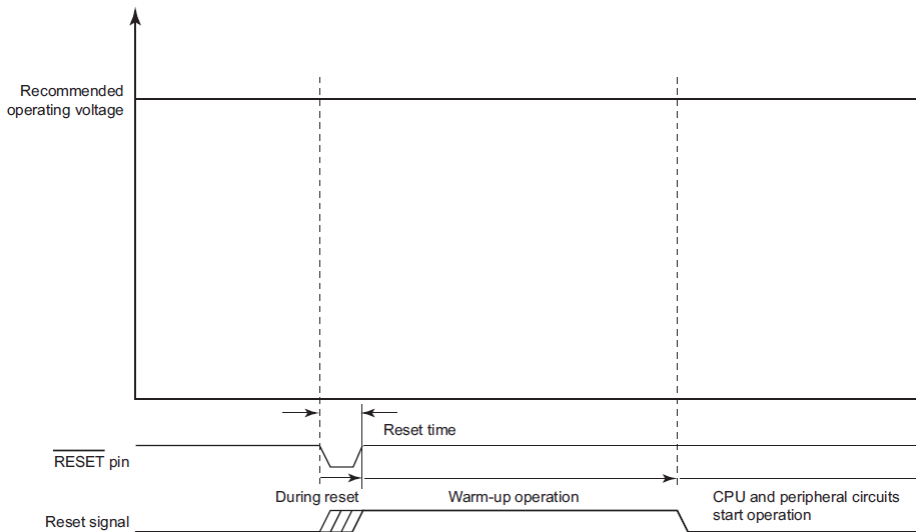


图5-3 外部复位输入(电压稳定时)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

若供应电压比建议操作电压范围低，举例来说，系统上电过程中供应电压较建议操作电压低的情况下，RESETB 引脚设定为低电平时，系统会在振荡稳定后的 5 μ s 后进行复位。

如果供应电压在建议操作电压范围内，而 RESETB 引脚在振荡稳定的情况下维持在低电平 5 μ s，系统会进行复位。

在以上两种情况下，改变 RESETB 引脚的为高电平系统复位后，系统会在脱离复位后开始进行唤醒操作。

注：当供应电压等于或低于上电复位线路的检测电压时，就算 RESETB 引脚为“H”，系统也不会脱离上电复位。

5.1.4.2 上电复位

上电复位是种发生在系统上电时的一种内部因素复位。

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。相关说明请参考“5.2 上电复位线路”。

5.1.4.3 电压检测复位

电压检测复位是一种内部因素复位。当供应电压达到预先设定的侦测电压值时，电压检测复位便会发生。相关说明请参考“5.3 电压检测线路”。

5.1.4.4 看门狗定时器(WDT) 复位

看门狗定时器复位是一种内部因素复位。当看门狗定时器发生溢位时，看门狗定时器复位便会发生。相关说明请参考“10.1 看门狗定时器”。

5.1.4.5 系统时钟复位

系统时钟复位是一种内部因素复位。在振荡允许寄存器被侦测到进入让中央处理器 CPU 当机的组合设定时，系统时钟复位便会发生。相关说明请参考“6 系统时钟控制器”一章。

5.1.4.6 Flash 待机复位

Flash 待机复位是一种内部因素复位，由 Flash 处于待机模式下、对 Flash 存储器数据的读或写所产生。相关说明请参考“12Flash 存储器”一章。

5.1.4.7 内部因素复位检测状态寄存器

在系统完成内部因素复位后，读取内部因素复位检测状态寄存器 IRSTSR 可以了解造成该复位的因素(上电复位除外)。

内部因素复位检测状态寄存器可由上电复位进行初始化设定。

设定 IRSTSR<FCLR>为"1"并将 0x71 写入 SYSCR4 寄存器，可允许 IRSTSR<FCLR>并同时内部因素复位检测状态寄存器 IRSTSR 清除为"0"。完成内部因素复位检测状态寄存器 IRSTSR 的初始设定后，IRSTSR<FCLR>会自动被清除为"0"。

注 1：由于内部因素复位检测状态寄存器 IRSTSR 可能因噪声干扰或其他因素无法正常工作，进行系统设计时需务必特别注意。

注 2：设定 IRSTSR<FCLR>后，必须在普通模式下而 fcgck 为 fc/4 (CGCR <FCGCKSEL> = 00)的情况下，写 0x71 进 SYSCR4 寄存器(允许 IRSTSR<FCLR>的设定)，否则 IRSTSR<FCLR>可能会在非预期的情况下被启动。

5.1.4.8 使用 P10 作外部复位

若要使用 P10 进行外部复位，在系统上电且复位释放后的唤醒操作完成前，保持 P10 在高电平。

上电复位后的系统唤醒操作完成后，设定 P1CR0 为"0"，并将上拉电阻连接至 P10 端口。接着清除 SYSCR3<RSTDIS>为"0"，并且将 0xB2 写入 SYSCR4 寄存器。如此可允许外部复位功能并使用 P10 端口为复位输入引脚。

要使用 P10 作 IO 引脚，设定 SYSCR3<RSTDIS>为"1"，并且将 0xB2 写入 SYSCR4 寄存器。

注 1：P10 引脚稳定地位于高电平时，才可进行由外部复位输入引脚切换成 IO 引脚，或是由 IO 引脚切换成外部复位输入引脚的功能切换操作。在 P10 引脚处于低电平时，进行引脚功能的切换可能会导致复位。

注 2：若外部复位输入被当作 IO 端口使用，则清除 SYSCR3<RSTDIS>为"0"的程序在执行时会发生问题。此程序执行的异常，可能造成系统的外部复位输入操作异常。

注 3：设定 SYSCR3<RSTDIS>后，必须在普通 1 模式下而 fcgck 为 fc/4 (CGCR <FCGCKSEL> = 00)的情况下，写 0xB2 进 SYSCR4 寄存器(允许 SYSCR3<RSTDIS>的设定)，否则 SYSCR3<RSTDIS>可能会在非预期的情况下被启动。

5.2 上电复位线路

供应电源开启时，上电复位线路会产生一个复位信号。当供应电压低于上电复位线路的侦测电压时，上电复位信号便被产生。

5.2.1 上电复位架构

上电复位线路包含参考电压产生线路和比较器。供应电压经梯形电阻进行分压后，比较器会取之与参考电压产生线路所产生的参考电压进行比较。

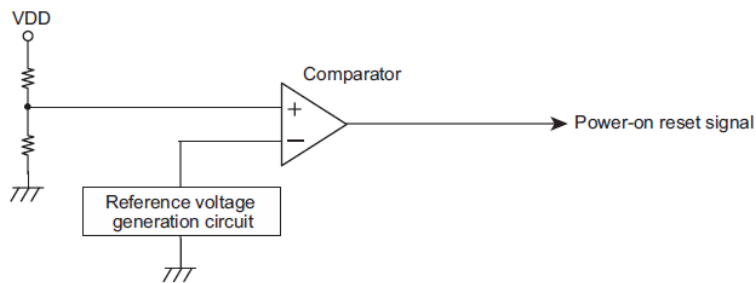


图5-4 上电复位线路

5.2.2 上电复位功能

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。

到上电复位信号产生之前，唤醒线路和中央处理器 CPU 处于复位状态。

上电复位信号的释放会启动唤醒线路。等唤醒操作完成(过完唤醒时间后)，中央处理器 CPU 和外围线路会脱离复位。

在上电复位释放电压检测到唤醒操作完成之间，必须将供应电压升高至操作范围内。若供应电压在系统完成唤醒前没有进入操作范围，MCU 工作可能会发生不正常的状况。

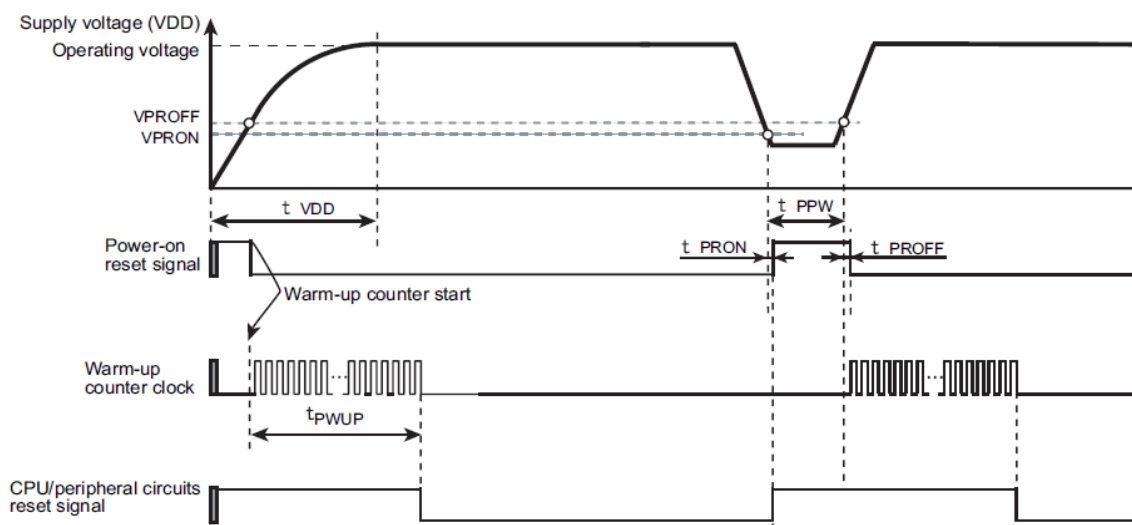


图5-5 上电复位工作时序

注：供应电压(VDD)若不稳定，可能会造成上电复位线路工作不正常。进行系统设计时，必须将相关的电气特性列入考虑。

5.3 电压检测线路

电压检测线路会检测供应电压的下降，并且产生电压检测中断(INTLVD)要求信号与电压检测复位信号。

注：供应电压(VDD)若不稳定，可能会造成电压检测线路工作不正常。进行系统设计时，必须将相关的电气特性列入考虑。

5.3.1 电压检测架构

电压检测线路包含参考电压产生线路，检测电压电平选择线路，比较器与控制寄存器。

供应电压(VDD)在经过梯形电阻的分压后，会被输入检测电压选择线路。依据 VDxLVL 的电平，检测电压选择线路会产生选择电压，而比较器会将之与参考电压作比较。供应电压(VDD)低于检测电压 VDxLVL 时，电压检测中断要求信号或电压检测复位信号会被产生。(x = 1, 2)

藉由软件编程，可选择当供应电压(VDD)低于检测电压(VDxLVL)时，电压检测线路产生的是电压检测复位信号，还是电压检测中断(INTLVD)要求信号。

注：由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压(VDxLVL)时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。

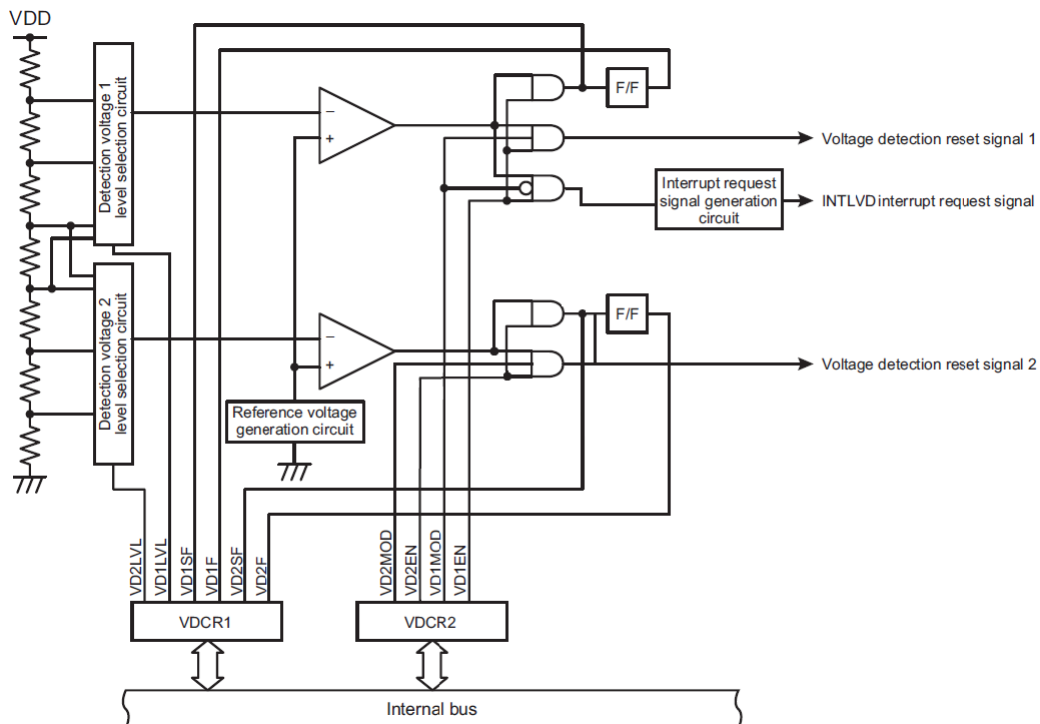


图5-6 电压检测线路

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.3.2 电压检测控制

电压检测线路是由电压检测控制寄存器 1 与 2 控制。

电压检测控制寄存器 1

VDCR1 (0x0FC6)	7	6	5	4	3	2	1	0
位符号	VD2F	VD2SF	VD2LVL		VD1F	VD1SF	VD1LVL	
读/写	R/W	R	R/W		R/W	R	R/W	
复位后	0	0	1	0	0	0	0	0

位符号	描述	读		写	
		0	1	0	1
VD2F	电压检测 2 标帜 (VDD < VD2LVL 时·保持状态)	0	0: VDD ≥ VD2LVL 1: VDD < VD2LVL	0	将 VD2F 清除为“0”
VD2SF	电压检测 2 状态标帜 (VDD 和 VD2LVL 两者之间的数值关系)	0	0: VDD ≥ VD2LVL 1: VDD < VD2LVL	0	-
VD2LVL	检测电压选择 2	00	2.85V +/- 0.1 V	01	2.65V +/- 0.1 V
		10	2.35V +/- 0.1 V	11	2.00V +/- 0.1 V
VD1F	电压检测 1 标帜 (VDD < VD1LVL 时·保持状态)	0	0: VDD ≥ VD1LVL 1: VDD < VD1LVL	0	将 VD1F 清除为“0”
VD1SF	电压检测 1 状态标帜 (VDD 和 VD1LVL 两者之间的数值关系)	0	0: VDD ≥ VD1LVL 1: VDD < VD1LVL	0	-
VD1LVL	检测电压选择 1	00	4.50V +/- 0.20 V	01	4.20V +/- 0.20 V
		10	3.70V +/- 0.15 V	11	3.15V +/- 0.15 V

注 1：上电复位后·电压检测控制寄存器 VDCR1 会被回复至初始设定。

注 2：若用软件进行 VD2F 与 VD1F 清除的同时·也因电压检测而必须被设定·将以电压检测的设定为主。

注 3：无法用软件将 VD2F 与 VD1F 设定为“1”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

电压检测控制寄存器 2

VDCR2 (0x0FC7)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	VD2MOD	VD2EN	VD1MOD	VD1EN
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

VD2MOD	选择电压检测 2 的工作模式	0: 产生电压检测中断(INTLVD)要求信号 1: 产生电压检测复位信号 2
VD2EN	允许/禁止电压检测 2 的操作	0: 禁止电压检测 2 的操作 1: 允许电压检测 2 的操作
VD1MOD	选择电压检测 1 的工作模式	0: 产生电压检测中断(INTLVD)要求信号 1: 产生电压检测复位信号
VD1EN	允许/禁止电压检测 1 的操作	0: 禁止电压检测 1 的操作 1: 允许电压检测 1 的操作

注 1 : 上电复位后, 电压检测控制寄存器 VDCR2 会被回复至初始设定。

注 2 : VDCR2 读出的第 7 与第 6 位为“0”。

5.3.3 电压检测功能

电压检测线路有两组检测电压 (VDxLVL, x = 1, 2) 可供设定。允许/禁止电压检测以及供应电压(VDD) 低于检测电压 VDxLVL 时系统该执行的操作, 都可透过程序进行设定。

5.3.3.1 允许/禁止电压检测操作

设定 VDCR2<VDxEN>为“1”可允许电压检测操作。设定 VDCR2<VDxEN>为“0”则会禁止电压检测操作。上电复位或外部复位输入后, 电压检测控制寄存器 VDCR2<VDxEN>将立刻被清除为“0”。

注 : 供应电压(VDD)低于检测电压 VDxLVL 时, 设定 VDCR2<VDxEN>为“1”会产生电压检测中断要求信号或是电压检测复位信号。

5.3.3.2 选择电压检测操作模式

设定 VDCR2<VDxMOD>为“0”时, 电压检测操作模式为产生电压检测中断(INTLVD)要求信号之产生。设定 VDCR2<VDxMOD>为“1”时, 电压检测操作模式为产生电压检测复位信号。

(a) 在产生电压检测中断(INTLVD)要求信号的模式下 (VDCR2<VDxMOD>= “0”)

当 VDCR2<VDxEN>为“1”, 在供应电压(VDD)降低至检测电压 VDxLVL 时, 系统会产生电压检测中断(INTLVD)要求信号。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 1 : 由于电压检测所使用之比较器不包含滞后架构, 当供应电压(VDD)接近检测电压(VDxLVL)时, 可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压, 皆会产生电压检测中断(INTLVD)要求信号。

注 2 : 若在空中闲 0 模式或睡眠 0 模式下发生供应电压(VDD)低于检测电压 VDxLVL, 则电压检测中断(INTLVD)要求信号将于 TBT 完成特定时间之计数, 且系统脱离空闲 0 模式或睡眠 0 模式后产生。在停止模式下, 电压检测中断(INTLVD)要求信号则在外部唤醒 KW 引脚释放停止模式后产生。

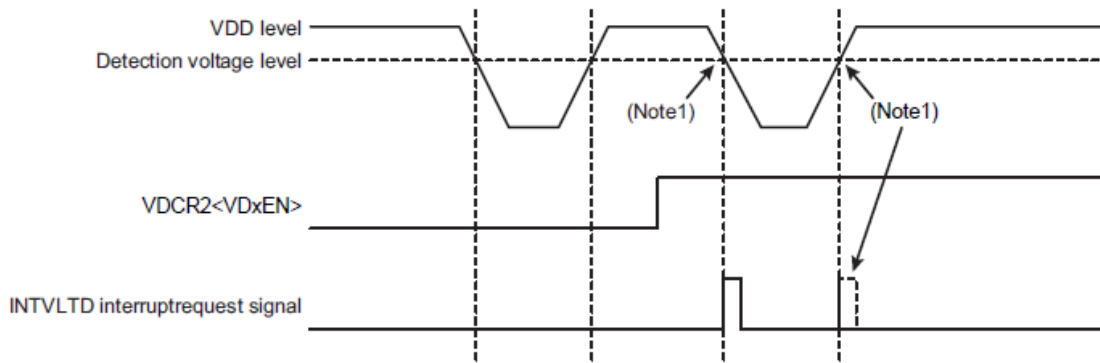


图5-7 电压检测中断(INTLVD)要求信号

(b) 在产生电压检测复位信号的模式下 (VDCR2<VDxMOD>="1")

当 VDCR2<VDxEN>为"1", 在供应电压(VDD)低于检测电压 VDxLVL 时, 系统会产生电压检测复位信号。

上电复位或外部复位输入后, VDCR1 与 VDCR2 会被回复至初始设定。只要供应电压(VDD)低于检测电压 VDxLVL, 电压检测复位信号会被连续产生。

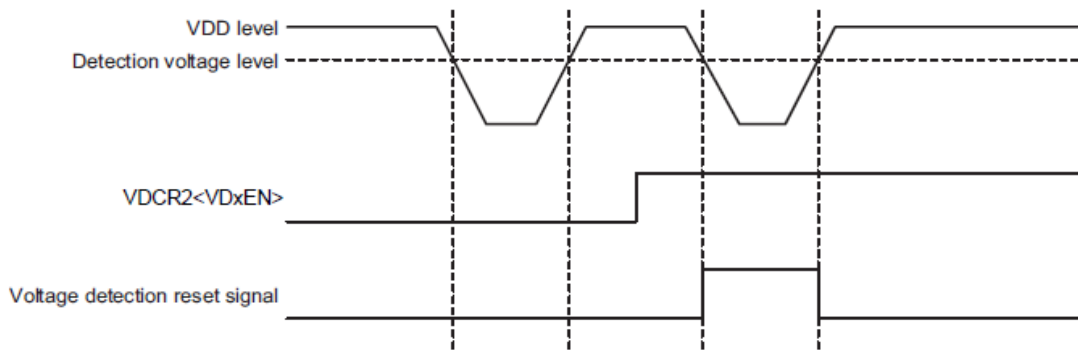


图5-8 电压检测复位信号

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.3.3.3 选择检测电压电平

设定电压检测控制寄存器 VDCR1<VDxLVL>以选择检测电压电平。

5.3.3.4 电压检测标帜和电压检测状态标帜

供应电压(VDD)和检测电压 VDxLVL 之间的数值关系可藉由读取 VDCR1<VDxF>和 VDCR1<VDxSF>进行确认。

若设定 VDCR2<VDxEN>为“1”，则供应电压(VDD)降低至低于检测电压 VDxLVL 时，VDCR1<VDxF>会被设定为“1”并且保持该状态。就算供应电压(VDD)升高至等于或高于检测电压 VDxLVL，VDCR1<VDxF>也不会被清除为“0”。

在 VDCR1<VDxF>被设定为“1”之后，就算清除 VDCR2<VDxEN>为“0”，VDCR1<VDxF>仍会维持原状态。要清除 VDCR1<VDxF>为“0”，必须将 VDCR1<VDxF>写为“0”。

若设定 VDCR2<VDxEN>为“1”，则供应电压(VDD)降低至低于检测电压 VDxLVL 时，VDCR1<VDxSF>会被设定为“1”。在供应电压(VDD)升高至等于或高于检测电压 VDxLVL 后，VDCR1<VDxSF>会被清除为“0”。

和 VDCR1<VDxF>的特性不同，VDCR1<VDxSF>并不会保持设定状态。

注 1：若在停止模式、空闲 0 模式或睡眠 0 模式下发生供应电压(VDD)低于检测电压 VDxLVL，则在系统切换回普通或低速模式后，电压检测标帜和电压检测状态标帜会被改变。

注 2：依电压检测时序，电压检测状态标帜(VDxSF)可能比电压检测标帜(VDxF)提早至多 2/fcgck(秒)改变状态。

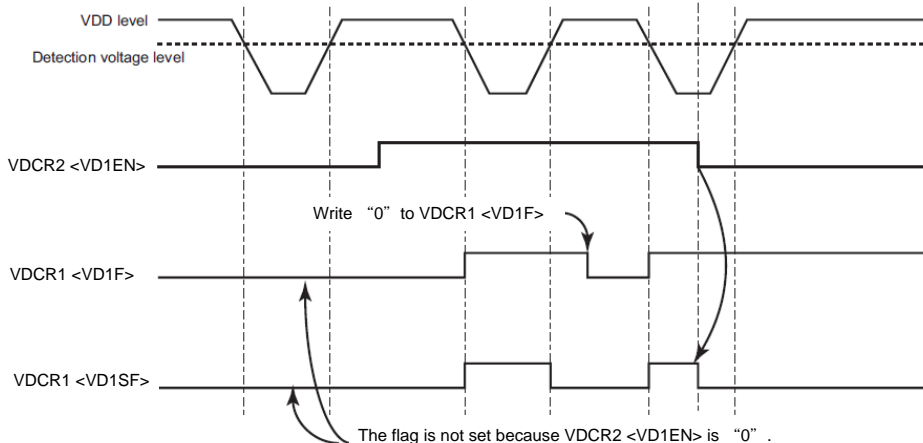


图5-9 电压检测标帜和电压检测状态标帜的改变

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.3.4 电压检测寄存器设定

5.3.4.1 设定操作模式为产生电压检测中断(INTLVD)要求信号

设定操作模式为产生电压检测中断(INTLVD)要求信号时，进行以下设定：

1. 清除电压检测线路中断允许标识为“0”。
2. 设定 VDCR1<VDxLVL>以选择检测电压。(x = 1, 2)
3. 清除 VDCR2<VDxMOD>为“0”，设定操作模式为产生电压检测中断(INTLVD)要求信号。
4. 设定 VDCR2<VDxEN>为“1”，允许电压检测操作。
5. 等待 5μs 或更长的时间，直至电压检测线路稳定。
6. 确定 VDCR1<VDxSF>设定为“0”。
7. 清除电压检测线路中断锁存器为“0”，设定中断允许标识为“1”以允许中断。

注：若检测电压 VD1LVL 的设定数值接近供应电压(VDD)，电压检测要求信号会被频繁地产生。在系统跳离电压检测中断处理时，依系统电源供应的波动状况执行适当的等待处理并清空中断锁存器。

欲在允许电压检测中断(INTLVD)要求信号时停止电压检测线路，则进行以下设定：

1. 清除电压检测线路中断允许标识为“0”。
2. 清除 VDCR2<VDxEN>为“0”，停止电压检测操作。

注：若停止电压检测线路时未清除中断允许标识，可能会发生不预期的中断要求。

5.3.4.2 设定操作模式为产生电压检测复位信号

设定操作模式为产生电压检测复位信号时，进行以下设定：

1. 清除电压检测线路中断允许标识为“0”。
2. 设定 VDCR1<VDxLVL>以选择检测电压。(x = 1, 2)
3. 清除 VDCR2<VDxMOD>为“0”，设定操作模式为产生电压检测中断(INTLVD)要求信号。
4. 设定 VDCR2<VDxEN>为“1”，允许电压检测操作。
5. 等待 5μs 或更长的时间，直至电压检测线路稳定。
6. 确定 VDCR1<VDxSF>设定为“0”。
7. 清除 VDCR1<VDxF>为“0”。
8. 设定 VDCR2<VDxMOD>为“1”，以设定操作模式为产生电压检测复位信号。

注 1：电压检测控制寄存器 VDCR1 和 VDCR2 仅在上电复位或外部复位输入后才会回复至初始设定。在电压检测复位后到清除 VDCR2<VDxEN>为“0”的过程中，若供应电压(VDD)低于检测电压 VDxLVL，电压检测复位信号会立即产生。

注 2：供应电压(VDD)低于检测电压 VDxLVL 时，电压检测线路会连续产生电压检测复位信号。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

欲在允许电压检测复位信号时停止电压检测线路，则进行以下设定：

1. 清除电压检测线路中断允许标识为“0”。
2. 除 $VDCR2 < VDxMOD >$ 为“0”，设定操作模式为产生电压检测中断(INTLVD)要求信号。
3. 清除 $VDCR2 < VDxEN >$ 为“0”，停止电压检测操作。

注：若停止电压检测线路时未清除中断允许标识，可能会发生不预期的中断要求。

6. 系统时钟控制器

6.1 系统时钟架构

系统时钟控制器由时钟产生器(clock generator)、时钟齿轮(clock gear)、时序产生器(timing generator)、唤醒定时器(warm up counter)与工作模式控制线路组成。

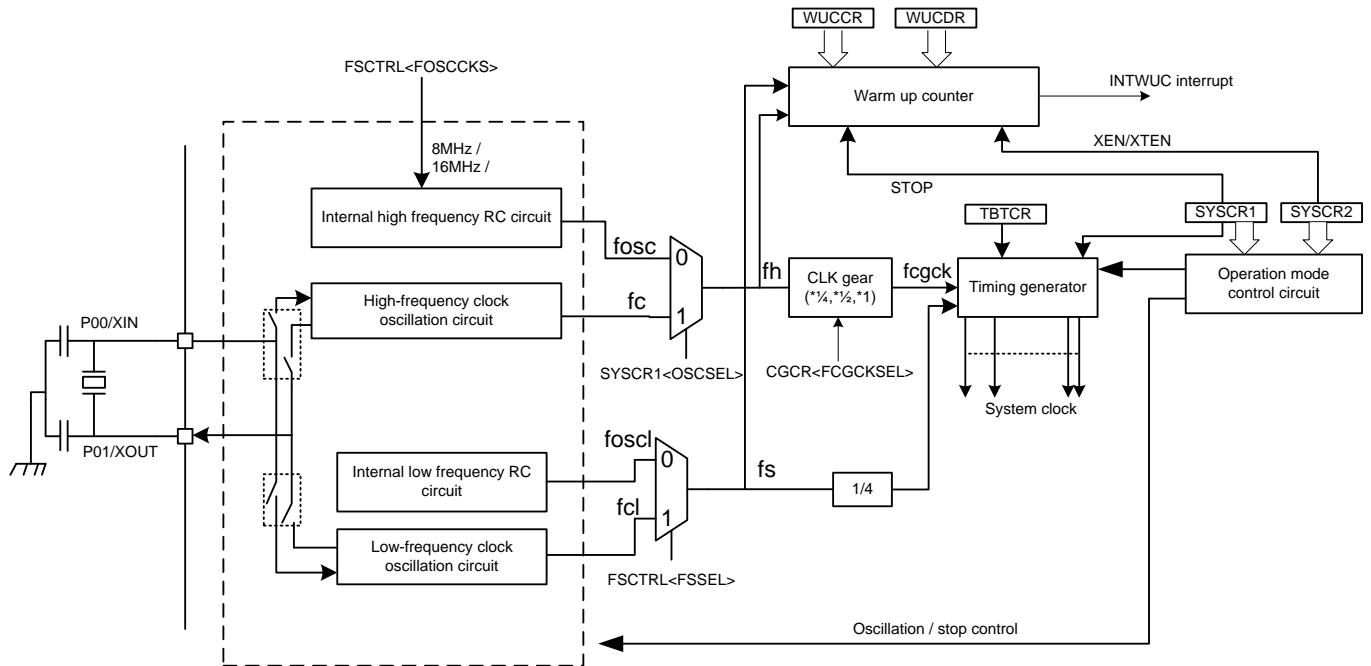


图6-1 系统时钟控制器

注：晶振在板子上的位置必须尽可能靠近MCU。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

6.2 系统时钟控制

系统时钟控制器是由系统控制寄存器 1(SYSCLR1)、系统控制寄存器 2(SYSCLR2)、唤醒计数器控制寄存器(WUCCLR)、内部时钟控制寄存器控制寄存器(FSCTRL)、唤醒计数器数据寄存器(WUCDR)和时钟齿轮控制寄存器(CGCR)所控制。

系统控制寄存器1

SYSCLR1 (0x0FDC)	7	6	5	4	3	2	1	0
位符号	STOP	RELM	OUTEN	DV9CK	OSCSEL	-	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R	R	R
复位后	0	0	0	0	0	0	0	0-

STOP	启动停止模式	0: CPU 和外围线路工作 1: CPU 和外围线路停止工作(启动停止模式)
RELM	选择停止模式释放方式	0: - 1: 电平释放模式 (用 KWU 唤醒脱离停止模式)
OUTEN	选择停止模式的端口输出状态	0: 高阻抗 1: 输出维持不变
DV9CK	选择 9 级分频器的输入时钟	0: $fcgck/2^9$ 1: $fs/4$
OSCSEL	选择内部或外部高速参考时钟	0: 内部高速时钟 (fosc) 1: 外部高速时钟 (fc)

注 1 : fosc 是内部高速时钟(Hz) · fc 是外部高速时钟(Hz) · fcgck 是齿轮时钟(Hz) · fs 是低速时钟(Hz)。

注 2 : SYSCLR1 读出的第 2、第 1 和第 0 位皆为“0”。

注 3 : 在 SYSCLR1<OUTEN>为“0”的条件下启动停止模式，则端口内部输入会被固定在“0”。此时可依停止模式启动时的引脚状态，设定外部中断于下降沿。

注 4 : 处理 2 个字节数长度数据的指令(如 LDW)，在工作切换至停止模式时，第 2 个字节的写入会发生问题。

注 5 : 在外部低速时钟振荡线路未稳定之前，不要设定 SYSCLR1<DV9CK>为“1”。

注 6 : 在低速 1/2 或睡眠 1 模式下，不管 SYSCLR1<DV9CK>的值为何，9 级分频器的输入时钟都是 $fs/4$ 。

注 7 : 应在 SYSCLR2<SYSCK>为“0”时 (普通 1 或普通 2 模式期间)设定 SYSCLR1<OSCSEL>。在 SYSCLR2<SYSCK>为“1”时(低速 1 或低速 2 模式期间)对 SYSCLR1<OSCSEL>写入将不会生效。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

系统控制寄存器2

SYSCR2 (0x0FDD)	7	6	5	4	3	2	1	0
位符号	OSCEN	XEN	XTEN	SYSCK	IDLE	TGHALT	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R	R
复位后	1	0	0	0	0	0	0	0

OSCEN	控制内部高速时钟 (fosc)	0: 关闭内部高速时钟振荡线路 1: 开启内部高速时钟振荡线路
XEN	控制外部高速时钟 (fc)	0: 停止振荡 1: 继续或开始振荡
XTEN	控制内部低速时钟(foscl) 或外部低速时钟(fcl)	0: 停止振荡 1: 继续或开始振荡
SYSCK	选择系统时钟	0: 齿轮时钟 fcgck (普通 1/2 或空闲 1/2 模式) 1: 低速时钟 fs/4 (低速 1/2 或睡眠 1 模式)
IDLE	控制 CPU 和 WDT 定时器 (空闲 1/2 或睡眠 1 模式)	0: CPU 和 WDT 定时器工作 1: CPU 和 WDT 定时器停止(启动空闲 1/2 或睡眠 1 模式)
TGHALT	控制时序产生器 TG (空闲 0 或睡眠 0 模式)	0: TG 供应时钟给所有外围线路 1: 除 TBT 外 · TG 停止供应时钟给所有外围线路(启动空闲 0 或睡眠 0 模式)

注 1 : fosc 是内部高速时钟(Hz) · fc 是外部高速时钟(Hz) · foscl 是内部低速时钟(Hz) · fcl 是外部低速时钟(Hz) · fcgck 是齿轮时钟(Hz) · fs 是低速时钟(Hz)。

注 2 : WDT 是看门狗定时器(watchdog timer) · TG 是时序产生器(timing generator)。

注 3 : 不要同时设定 SYSCR2<IDLE>和 SYSCR2<TGHALT>为“1”。

注 4 : 处理 2 个字节数长度数据的指令(如 LDW) · 在工作切换至空闲模式时 · 第 2 个字节的写入会发生问题。

注 5 : 系统脱离空闲 1/2 或睡眠 1 模式时 · SYSCR2<IDLE>会自动被清除为“0”。

注 6 : 系统脱离空闲 0 或睡眠 0 模式时 · SYSCR2<TGHALT>会自动被清除为“0”。

注 7 : 切换速度时 · 先设定好要设定的速度(时钟) · 再关闭原本的速度(时钟)。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

内部时钟控制寄存器

FSCTRL (0x0EED)	7	6	5	4	3	2	1	0
位符号	-	XTAL_SEL	P81_SDR	P80_SDR		FOSCCKS		FSSEL
读/写	R	R	R	R		R/W	R/W	R/W
复位后	0	0 或 1	0 或 1	0 或 1		0	1	0

XTAL_SEL P81_SDR P80_SDR PACK_SEL	刻录时芯片设定	勿变更储存值·请见下方注 3
FOSCCKS	选择内部高速时钟 (fosc) 频率	00: 选择内部高速时钟频率为 8MHz 01: 选择内部高速时钟频率为 16MHz (系统默认) 10: 系统保留 11: 系统保留
FSSEL	选择低速时钟源	0: 选择内部低速时钟 1: 选择外部低速时钟

注 1 : FOSCCKS 的 fosc 内部高速时钟 (fosc) 频率默认值为“01”(16MHz)。

注 2 : 请注意·欲改变内部高速时钟 (fosc) 频率 (FOSCCKS)·需在低速 1 模式下进行。

注 3 : Bit 3、4、5、6 这 4 个 bits 与烧录时选择芯片的设定有关·请客户在撰写软件时请使用单位操作(bit operation)·例如 :

「SET (FSCTRL).0」或「CLR (FSCTRL).0」·不要再使用其它指令更改这 4 个 bit 的值。

注 4 : Bit 0, 1, 2 仅在上电复位时才复位数值。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

唤醒计数器控制寄存器

WUCCR (0x0FCD)	7	6	5	4	3	2	1	0
位符号	WUCRST	-	-	-	WUCDIV		WUCSEL	
读/写	W	-	-	-	R/W		R/W	
复位后	0	0	0	0	1	1	0	0

WUCRST	复位/停止唤醒计数器	0: - 1: 清除并停止定时器
WUCDIV	设定唤醒计数器时钟源的分频状态	00: 时钟源 01: 时钟源/2 10: 时钟源/2 ² 11: 时钟源/2 ³
WUCSEL	选择唤醒计数器的时钟源	00: 选择内部高速时钟 (fosc) 01: 选择外部高速时钟 (fc) 10: 选择内部低速时钟(foscl)或外部低速时钟 (fcl) 11: 系统保留

注 1 : fosc 是内部高速时钟(Hz) · fc 是外部高速时钟(Hz) · foscl 是内部低速时钟(Hz) · fcl 是外部低速时钟(Hz) · fcgck 是齿轮时钟(Hz) · fs 是低速时钟(Hz)。

注 2 : WUCCR<WUCRST>会自动清除为“0”。在设定为“1”之后，不需靠再次设定清除。

注 3 : WUCCR 读出的第 7 到第 4 位为“0”。

注 4 : 在开始唤醒前，设定 WUCCR 的时钟源、分频器以及 WUCDR 的唤醒时间。

唤醒计数器数据寄存器

WUCDR (0x0FCE)	7	6	5	4	3	2	1	0
位符号	WUCDR							
读/写	R/W							
复位后	1	1	0	0	1	1	0	0

WUCDR	唤醒时间设定
-------	--------

注 : 不要在 WUCDR 设定为 0x00 的条件下启动唤醒计数器。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

时钟齿轮控制寄存器

CGCR (0x0FCF)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	FCGCKSEL	
读/写	-	-	-	-	-	-	R/W	
复位后	0	0	0	0	0	0	0	0

FCGCKSEL	时钟齿轮设定	00: $fcgck = fc/4$ 01: $fcgck = fc/2$ 10: $fcgck = fc$ 11: $fcgck = fc/8$
----------	--------	--

注 1 : $fcgck$ 是齿轮时钟(Hz) · fc 是高速时钟(Hz)。

注 2 : 在低速模式下 · 不要改变 $CGCR<FCTCKSEL>$ 。

注 3 : $CGCR$ 读出的第 7 到第 2 位为“0”

6.3 系统时钟功能

6.3.1 时钟产生器

时钟产生器可产生基本时钟，供应给中央处理器 CPU 和外围线路使用。时钟产生器包含两种振荡线路：高速振荡线路产生高速时钟，和低速振荡线路产生低速时钟。将系统时钟切换到使用低速时钟的低耗电工作模式可以降低功耗。

振荡线路和 P0 端口共享引脚。如果要将在振荡线路引脚设定成端口功能，参考输入“8 I/O 端口”一章。要使用端口 P00 和 P01 作为高/低频时钟振荡线路的输入和输出(XIN 和 XOUT 引脚)，设定 P0FC0 为“1”，接着设定 SYSCR2<XEN>为“1”。此时于 XIN 和 XOUT 引脚间接上一晶体振荡器或陶瓷谐振器，便可提供系统高/低速时钟。

要用软件控制，须设定 SYSCR2<XEN>、SYSCR2<XTEN>和 P0 端口功能控制寄存器 P0FC。要用硬件控制，须靠复位释放和工作模式控制线路在系统切换至停止模式时做设定，参考“4.3.1 工作模式控制线路”。

除外接振荡器产生系统时钟外，MQ6823 内建内部精准高速 RC 振荡器(8MHz / 16MHz)和低速 RC 振荡器(24KHz)。

内部高速时钟频率可透过内部时钟控制寄存器 FSCTRL<FOSCCK>加以选择，FSCTRL<FOSCCK> = “00”选择内部高速时钟频率为 8MHz、FSCTRL<FOSCCK> = “01”选择内部高速时钟频率为 16MHz (此为系统默认值)。

注：请注意，欲改变内部高速时钟 (fosc) 频率 (FOSCCK)，需在低速 1 模式下进行。

低速系统时钟来源可透过内部时钟控制寄存器 FSCTRL<FSSEL>加以选择，FSCTRL<FSSEL> = “0”选择内部 RC 振荡器(24KHz)，FSCTRL<FSSEL> = “1”选择外部晶体振荡器(32.768KHz)。

注：虽然没有直接监测基本时钟的硬件可用，但仍可透过编程在端口输出一个固定频率的信号(举例来说，时钟输出)，用这种方式来间接调整振荡时钟。此时要停止所有中断来监测此信号输出。如果系统需具有调整振荡时钟的功能，此调整程序必须先写好。

为防止 CPU 在软件控制振荡的切换时死机，依据 SYSCR2<XEN>、SYSCR2<XTEN>、SYSCR2<SYSCK>和 P0FC0 的各种组合条件，系统会视依状况进行内部复位。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

POFC0	SYSCR2 <OSCN>	SYSCR2 <XEN>	SYSCR1 <OSCSSEL>	SYSCR2 <XTEN>	SYSCR2 <SYSCK>	状态
0 或 1	0	0	0 或 1	0	0 或 1	所有振荡线路停止工作
0 或 1	0 或 1	0 或 1	0 或 1	0	1	主系统时钟为外部低速时钟(fcl), 但外部低速振荡线路(fc)停止工作
0 或 1	0	0 或 1	0	0 或 1	0	主系统时钟为高速时钟(fh), 但内部高速振荡线路(fosc)停止工作
0 或 1	0 或 1	0	1	0 或 1	0	主系统时钟为高速时钟(fh), 但外部高速振荡线路(fc)停止工作
0	0 或 1	1	0 或 1	0 或 1	0 或 1	外部高速振荡线路(fc)可工作, 但该端口会被设定为通用端口

表6-1 禁止发生的振荡允许寄存器状态组合

注:从 SYSCR2<SYSCK>改变到主系统时钟实际切换需要一段时间。如果正在工作中的振荡线路在主系统时钟切换前停止工作, 系统内部状态就会如以上表 6.1 所示, 进而造成系统时钟复位。详细说明请参考“4.3.2 工作模式控制”。

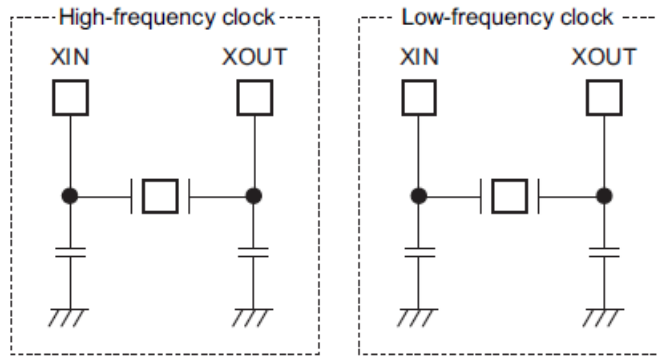


图6-2 外接振荡器范例

注 1: 为确保提供稳定的时钟, 应适当摆放谐振器/振荡器位置并提供适当的负载电容值。这些因素与电路板设计高度相关, 在电路板所有组件安装完成后, 务必确认系统可稳定运行。

注 2: XIN/XOUT 引脚已有内置电容(容值各约 6pF)。请依所选用之谐振器/振荡器特性、所需之时钟精准度、与系统电路板设计, 设计负载电容的容值。

6.3.2 时钟齿轮

时钟齿轮线路选择高速参考时钟(fh)分频后的齿轮时钟(fcgck) ,再将此齿轮时钟提供给时序产生器 TG 。设定 CGCR <FCGCKSEL>以选择分频后的齿轮时钟值。

从 CGCR <FCGCKSEL>的设定到齿轮时钟 fcgck 切换完成需要 2 个机器周期。

CGCR<FCGCKSEL>设定改变后，齿轮时钟 fcgck 可能立即会变得比时钟宽度要长。在复位释放后，齿轮时钟 fcgck 会立即变成高速参考时钟 fh 的 1/4。

注：在低速模式下不要改变 CGCR<FCGCKSEL>。这可能会造成齿轮时钟停止切换。

CGCR <FCGCKSEL>	齿轮时钟 fcgck
00	fh / 4
01	fh / 2
10	fh
11	fh / 8

表6- 2 齿轮时钟fcgck

6.3.3 时序产生器

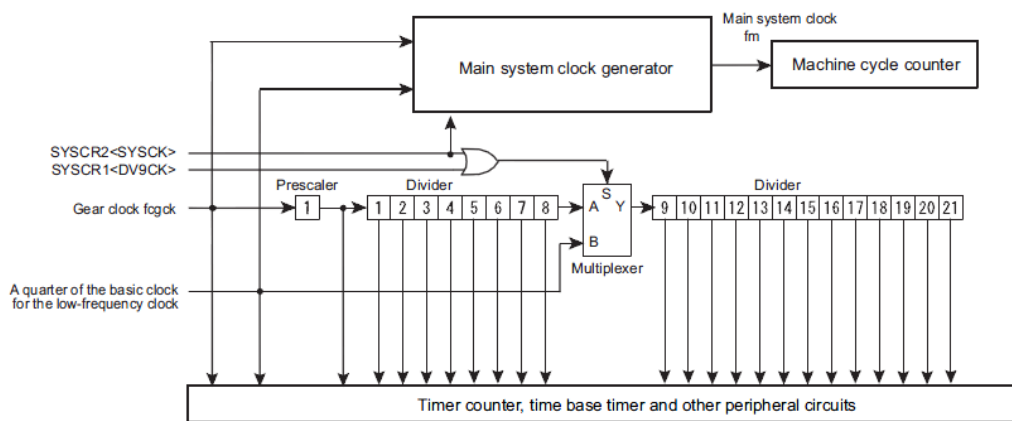


图6- 3 时序产生器架构

时序产生器由一个主系统时钟产生器、一个预比例器、一个 21 级分频器、以及一个机器周期计数器组成。

时序产生器线路利用齿轮时钟 fcgck 或低速时钟 fs 的 1/4 产生中央处理器 CPU 和外围线路工作所需的系统时钟。时序产生器有以下功能:

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

1. 产生主系统时钟 f_m
2. 产生定时器计数器、时基定时器(TBT)和其他外围线路工作所需的时钟

6.3.3.1 主系统时钟产生器

用主系统时钟产生器线路选择齿轮时钟 f_{cgck} 或是低速时钟 f_s 的 $1/4$ 作为操作 CPU 的主要系统时钟 f_m 。

SYSCR2<SYSCK>设定为"0"可选择主系统时钟为齿轮时钟 f_{cgck} 。SYSCR2<SYSCK>设为"1"可选择主系统时钟为低速时钟 f_s 的 $1/4$ 。

6.3.3.2 预比例器和分频器

预比例器和分频器可将齿轮时钟 f_{cgck} 分频。分频后的时钟可用来操作定时器计数器、时基定时器和它的外围线路。

当 SYSCR1<DV9CK>和 SYSCR2<SYSCK>都设为"0"时，第 8 级分频器的输出会是第 9 级分频器的输入时钟。

SYSCR1<DV9CK>或 SYSCR2<SYSCK>设为"1"时，第 9 级分频器的输入时钟会是 $f_s/4$ 。

SYSCR2<SYSCK>设为"1"时，第 1 级到第 8 级分频器与预比例器的输出停止。在复位和从停止模式释放并完成系统唤醒时，预比例器和分频器都会被清除为"0"。

6.3.3.3 机器周期

指令的执行是由主系统时钟同步。

最小的指令执行单位称为"机器周期"。一个机器周期对应一个主系统时钟。

i87 系列共有 11 种不同类型的指令: 单周期指令到 10 周期指令共十种，以及 13 周期指令一种。单周期指令到 10 周期指令需要 1 个到 10 个机器周期去执行指令；13 周期指令的执行则需要 13 个机器周期。

6.4 唤醒计数器

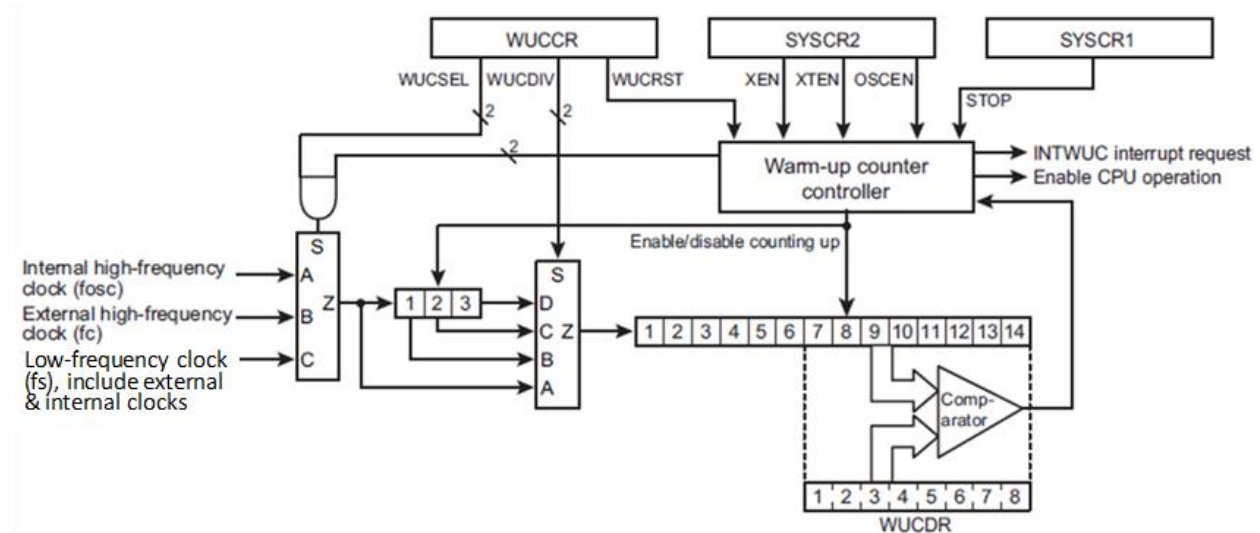


图6-4 唤醒计数器线路

唤醒计数器线路的功能是计算内部高速时钟 f_{osc} 、外部高速时钟 f_c 、内部低速时钟 f_{oscL} 和外部低速时钟 f_s 。唤醒计数器线路包括一个源时钟选择线路，一个 3 级分频器线路和一个 14 级计数器。

唤醒计数器是用来控制上电复位释放到供应电压稳定之间的时间，控制系统脱离停止模式后或是控制振荡电路稳定前工作模式改变的时间。

6.4.1 唤醒计数器操作—由硬件控制振荡

6.4.1.1 上电复位或是复位释放时

唤醒计数器控制上电复位释放后到供应电压稳定前，以及复位释放后到高速时钟振荡线路稳定工作前的时间。

上电时，如果供应电压超过上电复位释放电压，会产生唤醒计数器复位讯号。此时，中央处理器 CPU 和外围线路会停留在复位状态。

复位信号会设定 $WUCCR<WUCSEL>$ 为"0"，设定 $WUCCR<WUCDIV>$ 为"11"，把高速时钟 f_c 当作唤醒计数器的输入时钟。

复位释放时，内部高速时钟 f_{osc} 会被送进唤醒计数器，14 级计数器会开始计数内部高速时钟。

唤醒计数器的高 8 位等同于 $WUCDR$ 时，计数器停止。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

复位释放后，WUCDR 回到初设定 102 (10 进位值)，唤醒时间为 $102 \times 2^9 / f_c$ 秒。

注：振荡线路的时钟输出用于唤醒计数器的输入时钟。振荡器频率不稳定的话，唤醒时间有一定误差。

6.4.1.2 脱离停止模式时

唤醒计数器控制系统在脱离停止模式时，硬件控制振荡后到时钟振荡线路稳定工作前的时间。

不管 WUCCR<WUCSEL> 设定为何，启动停止模式时用于产生主系统时钟的高速时钟 f_c 或低速时钟 f_s ，会成为分频器线路的输入时钟。在启动停止模式之前，先设定 WUCCR<WUCDIV> 选择分频设定并设定 WUCDR 唤醒时间。

脱离停止模式后，14 级计数器开始计数分频线路的输入时钟。

在唤醒计数器的高 8 位等同于 WUCDR 时，计数器停止，系统恢复操作停止模式启动指令的下一条指令。

Clock that generated the main system clock when the STOP mode was activated	WUCCR <WUCSEL>	WUCDD <WUCDIV>	Cpunter input clock	Warm-up time
fosc	Don't Care	00	fosc	$2^6 / f_{osc}$ to $255 \times 2^6 / f_{osc}$
		01	fosc/2	$2^7 / f_{osc}$ to $255 \times 2^7 / f_{osc}$
		10	fosc/2 ²	$2^8 / f_{osc}$ to $255 \times 2^8 / f_{osc}$
		11	fosc/2 ³	$2^9 / f_{osc}$ to $255 \times 2^9 / f_{osc}$
fc	Don't Care	00	fc	$2^6 / f_c$ to $255 \times 2^6 / f_c$
		01	fc/2	$2^7 / f_c$ to $255 \times 2^7 / f_c$
		10	fc/2 ²	$2^8 / f_c$ to $255 \times 2^8 / f_c$
		11	fc/2 ³	$2^9 / f_c$ to $255 \times 2^9 / f_c$
fs	Don't Care	00	fs	$2^6 / f_s$ to $255 \times 2^6 / f_s$
		01	fs/2	$2^7 / f_s$ to $255 \times 2^7 / f_s$
		10	fs/2 ²	$2^8 / f_s$ to $255 \times 2^8 / f_s$
		11	fs/2 ³	$2^9 / f_s$ to $255 \times 2^9 / f_s$

注 1：在软件启动振荡唤醒的过程中，如果系统操作切换成停止模式，唤醒计数器会暂停在当时的数值，并且在停止模式释放后继续计数。在这种状况下，停止模式释放后的唤醒时间会不够。为了避免以上状况发生，不要在软件启动振荡唤醒的过程中切换成停止模式。

注 2：唤醒计数器以振荡线路的时钟输出作为其时钟输入。振荡器时钟不稳定，唤醒时间就会有误差。务必设定足够的时间让振荡线路正常工作。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

6.4.2 唤醒计数器操作-由软件控制振荡

唤醒计数器控制软件启动振荡后到振荡稳定前，工作模式从普通 1 切换到普通 2 或是从低速 1 切换成低速 2 的时间。设定 WUCCR<WUCSEL>以选择分频器线路的输入时钟，设定 WUCCR<WUCDIV>以选择 14 级计数器的输入时钟。

设定 WUCDR 唤醒时间后，设定 SYSCR2<OSCEN>、SYSCR2<XEN>或 SYSCR2<XTEN>为"1"可让原先停止振荡的振荡线路开始工作，并让 14 级计数器开始计数选择的输入时钟。当计数器的高 8 位等同于 WUCDR 时，计数器会停止并且被清除，同时产生 INTWUC 中断。

设定 WUCCR<WUCRST>为"1"可停止唤醒。在此设定下，计数工作停止，唤醒计数器被清除，WUCCR<WUCRST>被清除为"0"。在 WUCCR<WUCRST>被设定为"1"时，SYSCR2<OSCEN>、SYSCR2<XEN>和 SYSCR2<XTEN>的状态将被保留。要重新启动唤醒，SYSCR2<OSCEN>、SYSCR2<XEN>或 SYSCR2<XTEN>必须被清除为"0"。

WUCCR <WUCSEL>	WUCCR <WUCDIV>	Counter input clock	Warm-up time
00	00	fosc	2 ⁶ / fosc to 255 x 2 ⁶ / fosc
	01	fosc / 2	2 ⁷ / fosc to 255 x 2 ⁷ / fosc
	10	fosc / 2 ²	2 ⁸ / fosc to 255 x 2 ⁸ / fosc
	11	fosc / 2 ³	2 ⁹ / fosc to 255 x 2 ⁹ / fosc
01	00	fc	2 ⁶ / fc to 255 x 2 ⁶ / fc
	01	fc / 2	2 ⁷ / fc to 255 x 2 ⁷ / fc
	10	fc / 2 ²	2 ⁸ / fc to 255 x 2 ⁸ / fc
	11	fc / 2 ³	2 ⁹ / fc to 255 x 2 ⁹ / fc
10	00	fs	2 ⁶ / fs to 255 x 2 ⁶ / fs
	01	fs / 2	2 ⁷ / fs to 255 x 2 ⁷ / fs
	10	fs / 2 ²	2 ⁸ / fs to 255 x 2 ⁸ / fs
	11	fs / 2 ³	2 ⁹ / fs to 255 x 2 ⁹ / fs

注 1：在 SYSCR2<OSCEN>、SYSCR2<XEN>或 SYSCR2<XTEN>从"0"变成"1"时，唤醒计数器开始计数。如果 SYSCR2<OSCEN>、SYSCR2<XEN>或 SYSCR2<XTEN>原本就是"1"，再设定 SYSCR2<OSCEN>、SYSCR2<XEN>或 SYSCR2<XTEN>为"1"并不会启动计数器。

注 2：唤醒计数器以振荡线路的时钟输出作为其时钟输入。振荡器时钟不稳定，唤醒时间就会有误差。务必设定足够的时间让振荡线路正常工作。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7. 中断

MQ6823 总共有 25 个中断源(含 RESET) , 并有带优先级的中断嵌套功能。MQ6823 的内部中断源中 , 4 个是非屏蔽中断 , 其余的都是可屏蔽中断。

中断源具备用以保持中断要求的中断锁存器(Interrupt Latches, IL) , 以及各自独立的矢量地址。产生一个中断要求时 , 该中断锁存器 IL 被设定为“1” , 并要求中央处理器 CPU 接受该中断要求。对于可屏蔽中断 , 可用程序改变中断主允许标帜 IMF 和个别中断允许标帜 EF 选择允许中断或禁止中断。如果同时有多个可屏蔽中断发生 , 这些中断会依照优先等级从高到低排序执行。中断的优先级是由硬件决定 , 如表 7.1 所示。

和可屏蔽中断不同 , 非屏蔽中断并没有优先级之分。

中断源		允许中断条件	中断锁存器	矢量地址	优先级
内/外	Reset	非屏蔽	-	0xFFFFE	1
内	INTSWI	非屏蔽	-	0xFFFFC	2
内	INTUNDEF	非屏蔽	-	0xFFFFC	2
内	INTWDT	非屏蔽	ILL<IL3>	0xFFFF8	2
内	INTWUC	IMF AND EIRL<EF4>=1	ILL<IL4>	0xFFFF6	5
内	INTTBT	IMF AND EIRL<EF5>=1	ILL<IL5>	0xFFFF4	6
内	INTSIO0	IMF AND EIRL<EF6>=1	ILL<IL6>	0xFFFF2	7
内	INTRXD0	IMF AND EIRL<EF7>=1	ILL<IL7>	0xFFFF0	8
内	INTTXD0	IMF AND EIRH<EF8>=1	ILL<IL8>	0xFFEE	9
内	INTLVD	IMF AND EIRH<EF9>=1	ILH<IL9>	0xFFEC	10
内	INTADC	IMF AND EIRH<EF10>=1	ILH<IL10>	0xFFEA	11
内	INTRTC	IMF AND EIRH<EF11>=1	ILH<IL11>	0xFFE8	12
内	INTTC00	IMF AND EIRH<EF12>=1	ILH<IL12>	0xFFE6	13
内	INTTC01	IMF AND EIRH<EF13>=1	ILH<IL13>	0xFFE4	14
内	INTTCA0	IMF AND EIRH<EF14>=1	ILH<IL14>	0xFFE2	15
内	INTSBI	IMF AND EIRH<EF15>=1	ILH<IL15>	0xFFE0	16
外	INT0	IMF AND EIRE<EF16>=1	ILE<IL16>	0xFFDE	17
外	INT1	IMF AND EIRE<EF17>=1	ILE<IL17>	0xFFDC	18
外	INT2	IMF AND EIRE<EF18>=1	ILE<IL18>	0xFFDA	19
外	INT3/INTMG1	IMF AND EIRE<EF19>=1	ILE<IL19>	0xFFD8	20
内	INTRXD1	IMF AND EIRE<EF22>=1	ILE<IL22>	0xFFD2	21
内	INTTXD1	IMF AND EIRE<EF23>=1	ILE<IL23>	0xFFD0	22
内	INTTCA1	IMF AND EIRH<EF27>=1	ILH<IL27>	0xFFC8	23
内	INTTCC1T	IMF AND EIRD<EF28>=1	ILD<IL28>	0xFFC6	24
内	INTTCC1P	IMF AND EIRD<EF29>=1	ILD<IL29>	0xFFC4	25

表7- 1 中断列表

注 1 : 若要使用看门狗定时器中断 INTWDT , 必须清空 WDTCR<WDTOUT>为“0” 。详细说明请参考“10.1 看门狗定时器”。

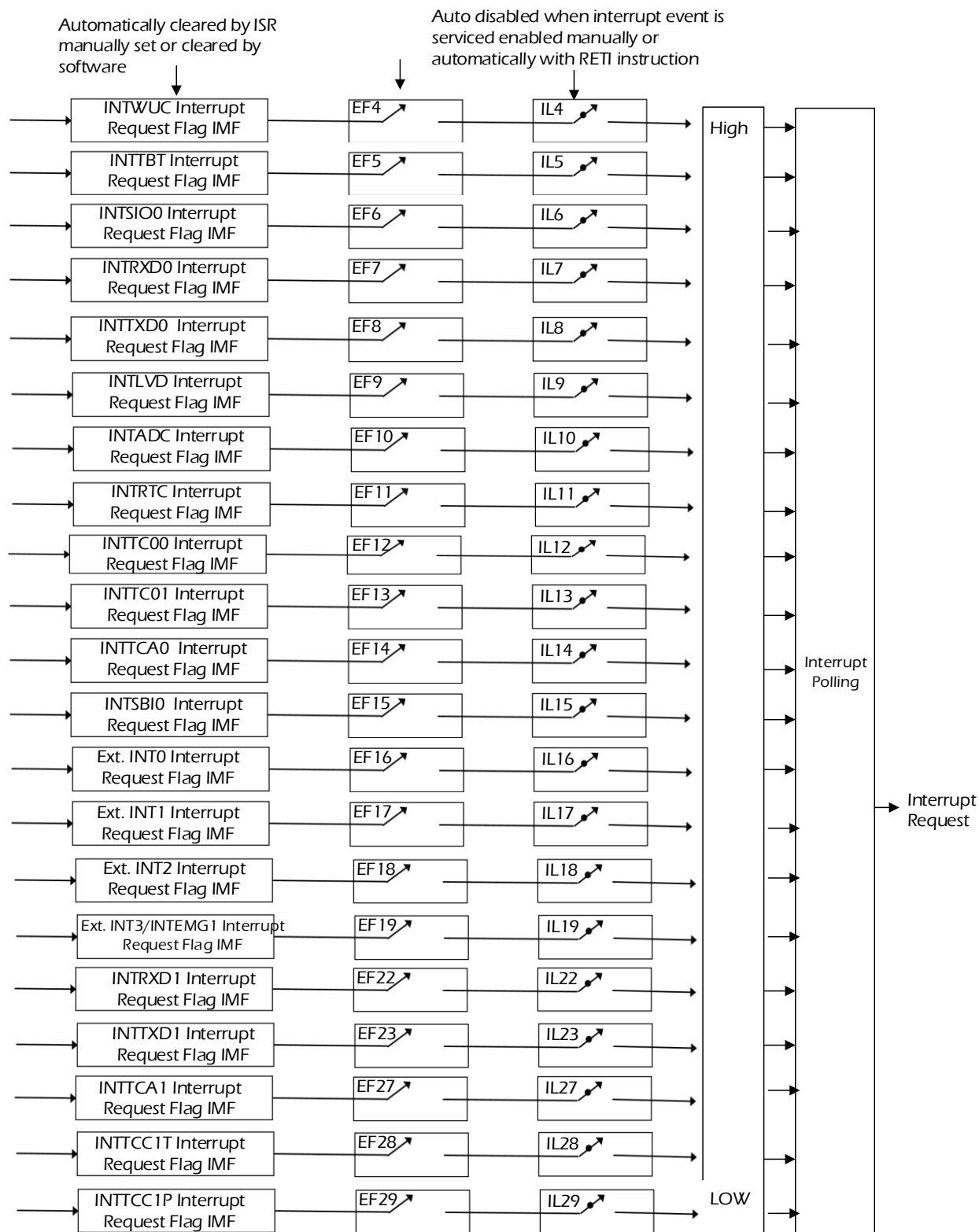


图7-1 中断控制图

7.1 中断锁存器 IL29 至 IL3

除了软件中断与未定义指令中断外，每个中断源都具备一个中断锁存器。当有中断要求产生时，中断锁存器会被设成“1”，接着 CPU 会被要求允许中断。如果中断申请被允许，中断锁存器会紧接着被清为“0”。系统复位时，所有中断锁存器的初始值都是“0”。

中断锁存器在 SFR 的地址为 0x0FE0、0x0FE1、0x0FE2 和 0xFE3。每个锁存器都能用指令分别被清为“0”。然而，中断锁存器 IL3 无法用指令清除。

不要用任何“读-修改-写”的指令，因为在此指令执行中发生的中断要求可能会被清除。

中断锁存器不能用指令设定为“1”。把“1”写入中断锁存器，相当于不允许中断锁存器的清除动作，也就不能设定中断锁存器了。

中断锁存器的值可以由指令读取，用户可使用软件监控中断要求的状态。

注：在主要程序中，务必在控制中断锁存器 IL 前先清空中断主允许标帜 IMF 为“0”（用 DI 指令禁止中断）。在执行 IL（利用 IL 指令启动中断）后，设定 IMF 为“1”。在中断服务程序中，IMF 会自动变为“0”。如果在中断服务程序中使用多个中断，在设定 IMF 为“1”之前须先控制 IL。

7.2 中断允许寄存器 EIR

中断允许寄存器 EIR 可允许和禁止非屏蔽中断（软件中断、未定义指令中断和看门狗中断）以外的中断。不管中断允许寄存器 EIR 的值为何，非屏蔽中断都会被系统接受。

EIR 包括中断主允许标帜 IMF 和个别中断允许标帜 EF。这些寄存器的地址在 SFR 区中的 0x003A、0x003B、0x003C 和 0x003D，可用指令进行读/写（包括“读-修改-写”的指令，如位控制指令或是操作指令）。

7.3 中断主允许标帜 IMF

中断主允许标帜 IMF 可以允许和禁止所有可屏蔽中断。清空 IMF 为“0”可禁止所有可屏蔽中断。设定 IMF 为“1”则允许所有可屏蔽中断依据个别中断允许标帜 EF 的设定进行中断。

当一个中断被允许时，IMF 会堆栈并接着清除为“0”，以暂时禁止后续的可屏蔽中断被系统接受。执行完该中断服务程序后，堆栈的数据会重载 IMF，返回中断指令 [RETI]/[RETN]。

IMF 位于 EIR 的位 0（地址为 SFR 中的 0x003A），可用指令进行读/写。通常 IMF 可用 [EI] 和 [DI] 指令分别进行设定与清除。复位过程中，IMF 被设为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7.4 个别中断允许标帜 EF29 至 EF4

个别中断允许标帜可允许或禁止其对应的可屏蔽中断。设定个别中断允许标帜的对应位为“1”可允许该中断，设定个别中断允许标帜的对应位为“0”则会禁止该中断。

复位中，所有个别中断允许标帜被清除为“0”。重新设定个别中断允许标帜为“1”后，对应的非屏蔽中断才会被接受。

注：在主程序中，务必在控制中断允许标帜 EF 前先清除中断主允许标帜 IMF 为“0”（用 DI 指令禁止中断）。设定 EF（利用 EI 指令启动中断）后，再设定 IMF 为“1”。在中断服务程序中，IMF 会自动被清为“0”。如果在中断服务程序中使用多个中断，在设定每个 EF 后，记得要设定 IMF 为“1”。

中断锁存器 ILL

ILL (0x0FE0)	7	6	5	4	3	2	1	0
位符号	IL7	IL6	IL5	IL4	IL3	-	-	-
读/写	R/W	R/W	R/W	R/W	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	INTRXD0	INTSIO0	INTTBT	INTWUC	INTWDT	-	-	-

中断锁存器 ILH

ILH (0x0FE1)	7	6	5	4	3	2	1	0
位符号	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	INTSBI	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTLVD	INTTXD0

中断锁存器 ILE

ILE (0x0FE2)	7	6	5	4	3	2	1	0
位符号	IL23	IL22	-	-	IL19	IL18	IL17	IL16
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	INTTXD1	INTRXD1	-	-	INT3	INT2	INT1	INT0

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

中断锁存器 ILD

ILD (0x0FE3)	7	6	5	4	3	2	1	0
位符号	-	-	IL29	IL28	IL27	-	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	-	-	INTTCC1P	INTTCC1T	INTTCA1	-	-	-

IL29 至 IL4	中断锁存器	读		写	
		0	没有中断要求	清除中断要求 (注 2 和注 3)	1
IL3	0	没有中断要求	1	中断要求	-

注 1 : IL3 为唯读寄存器，对此寄存器进行写入不会影响中断锁存器。

注 2 : 在主程序中，务必在控制中断锁存器 IL 前先清空中断主允许标帜 IMF 为"0" (用 DI 指令禁止中断)。执行 IL(利用 IL 指令启动中断)后，设定 IMF 为"1"。在中断服务程序中，IMF 会自动被清为"0"。如果在中断服务程序中使用多个中断，在设定每个 IL 后，记得要设定 IMF 为"1"。

注 3 : 不要用“读-修改-写”的指令，如位操作指令，去清空 IL。

注 4 : 执行 ILL 的读取指令时，位 0 到 2 数值读取为"0"。其他未使用的位数值读取为"0"。

中断允许寄存器 EIRL

EIRL (0x003A)	7	6	5	4	3	2	1	0
位符号	EF7	EF6	EF5	EF4	-	-	-	IMF
读/写	R/W	R/W	R/W	R/W	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0
功能	INTRXD0	INTSIO0	INTTBT	INTWUC	-	-	-	IMF

中断允许寄存器 EIRH

EIRH (0x003B)	7	6	5	4	3	2	1	0
位符号	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	INTSBI	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTLVD	INTTXD0

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

中断允许寄存器 EIRE

EIRE (0x003C)	7	6	5	4	3	2	1	0
位符号	EF23	EF22	-	-	EF19	EF18	EF17	EF16
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	INTTXD1	INTRXD1	-	-	INT3/ INTEMG1 (注 1)	INT2	INT1	INT0

注 1: 当 $POFFCR3<INT3EN> = 0$, EF19 为 TCC1 EMG 中断(INTEMG1);当 $POFFCR3<INT3EN> = 1$, EF19 为 EINT3 中断

中断允许寄存器 EIRD

EIRD (0x003D)	7	6	5	4	3	2	1	0
位符号	-	-	EF29	EF28	EF27	-	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	-	-	INTTCC1P	INTTCC1T	INTTCA1	-	-	-

EF29 至 EF4	个别中断允许标识 (每一位均有个别定义)	0: 不允许接受可屏蔽中断 1: 允许接受可屏蔽中断
IMF	中断主允许标识	0: 不允许接受可屏蔽中断 1: 允许接受可屏蔽中断

注 1: 不要同时设定 IMF 和中断允许标识 EF15 到 EF4 为“1”。

注 2: 在主要程序中，务必在控制中断允许标识 EF 前先清空中断主允许标识 IMF 为“0” (用 DI 指令禁止中断)。执行 EF(利用 EI 指令启动中断)后，设定 IMF 为“1”。在中断服务程序中，IMF 会自动被清为“0”。如果在中断服务程序中使用多个中断，在设定每个 EF 后，记得要设定 IMF 为“1”。

注 3: 执行 EIRL 的读取指令时，位 3 到 1 数值为“0”。其他未使用的位数值为“0”。

7.5 外部中断控制线路

外部中断是以侦测输入信号的改变产生中断要求。MQ6823 内建数字噪声抑制电路可减少噪声引起的误中断。

7.5.1 外部中断架构

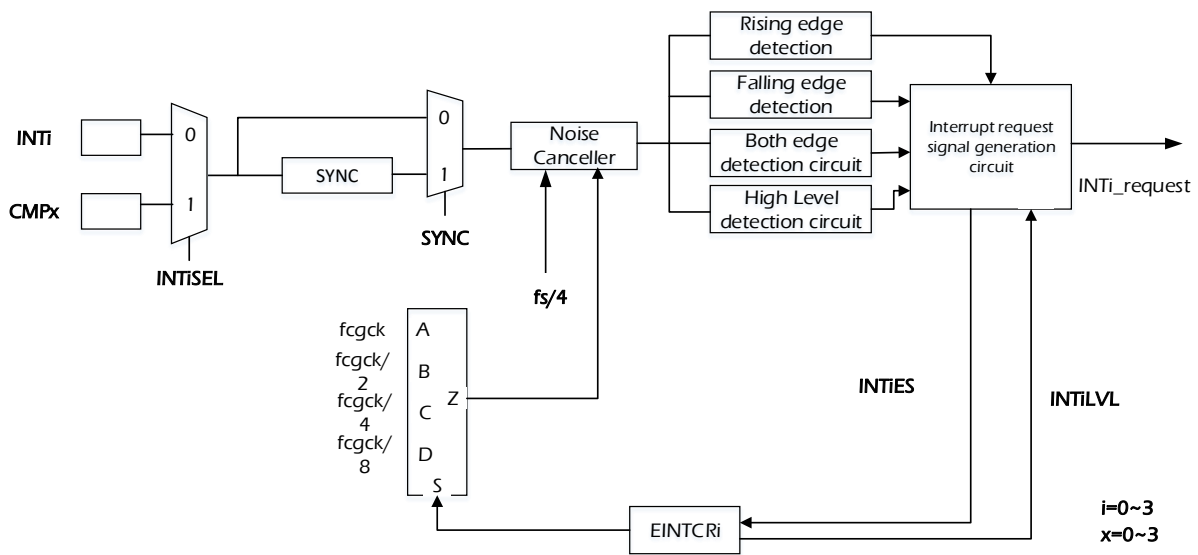


图 7.2 外部中断

外部中断控制线路包含噪声抑制器，沿侦测线路，电平侦测线路和中断信号产生线路。

外部中断控制线路后处理每一个外部中断信号，经过沿侦测和电平侦测线路后，再由噪声抑制器去除噪声。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7.5.2 外部中断控制

外部中断由以下寄存器控制:

低功耗寄存器 3

POFFCR3 (0x0F77)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	INT3EN	INT2EN	INT1EN	INT0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

INT3EN	INT3 控制	0 1	禁止 允许
INT2EN	INT2 控制	0 1	禁止 允许
INT1EN	INT1 控制	0 1	禁止 允许
INT0EN	INT0 控制	0 1	禁止 允许

注 1:清除 INTxEN(x=2 到 4)这会使所有外部中断的控制寄存器无效。使用外部中断时,将 INTxEN 设为“1”,接着再设定每个外部中断的控制寄存器。

注 2:改变 INTxEN 时可能会产生中断要求信号。在改变 INTxEN 前,先清空对应的中断允许寄存器为“0”以禁止中断的发生。当工作模式从普通 1/2 或空闲 1/2 切换成低速 1/2 或睡眠 1 模式时,在模式转换后先等候 12/fs 秒,接着清空中断锁存器。当工作模式从低速 1/2 或睡眠 1 切换成普通 1/2 或空闲 1/2 模式时,在模式转换后先等候 2/fcgck+3/fspl 秒,接着清空中断锁存器。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外部中断控制寄存器 0

EINTCRO (0x0E98)	7	6	5	4	3	2	1	0
位符号	-	SYNC	INTOSEL	INTOLVL	INTOES		INTONC	
读/写	R	R/W	R/W	R	R/W		R/W	
复位后	0	0	0	0	0		0	

SYNC	启动同步	0: 通过同步 1: 不通过同步·直接进入噪声抑制器
INTOSEL	选择 INTO 来源	0: INTO 1: 系统保留
INTOLVL	外部中断 0 中断要求信号经过噪声抑制器后的信号电平	0: 起始状态或信号电平为“L” 1: 信号电平为“H”
INTOES	设定外部中断 0 的中断要求形成条件	00: 由通过噪声抑制器后的信号上升沿产生中断要求 01: 由通过噪声抑制器后的信号下降沿产生中断要求 10: 由通过噪声抑制器后的信号上升沿及下降沿产生中断要求 11: 由通过噪声抑制器后的高电平信号产生中断要求
INTONC	设定外部中断 0 的噪声抑制器取样间隔	普通 1/2 · 空闲 1/2
		低速 1/2 · 睡眠 1
		00: fcgck [Hz] 01: fcgck / 2 ² [Hz] 10: fcgck / 2 ³ [Hz] 11: fcgck / 2 ⁴ [Hz]
		00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外部中断控制寄存器 1

EINTCR1 (0x0FD8)	7	6	5	4	3	2	1	0
位符号	-	SYNC	INT1SEL	INT1LVL	INT1ES		INT1INC	
读/写	R	R/W	R/W	R	R/W		R/W	
复位后	0	0	0	0	0		0	

SYNC	启动同步	0: 通过同步 1: 不通过同步·直接进入噪声抑制器
INT1SEL	选择 INT1 来源	0: INT1 1: 系统保留
INT1LVL	外部中断 1 中断要求信号经过噪声抑制器后的信号电平	0: 起始状态或信号电平为“L” 1: 信号电平为“H”
INT1ES	设定外部中断 1 的中断要求形成条件	00: 由通过噪声抑制器后的信号上升沿产生中断要求 01: 由通过噪声抑制器后的信号下降沿产生中断要求 10: 由通过噪声抑制器后的信号上升沿及下降沿产生中断要求 11: 由通过噪声抑制器后的高电平信号产生中断要求
INT1INC	设定外部中断 1 的噪声抑制器取样间隔	普通 1/2 · 空闲 1/2
		低速 1/2 · 睡眠 1
		00: fcgck [Hz] 01: fcgck / 2 ² [Hz] 10: fcgck / 2 ³ [Hz] 11: fcgck / 2 ⁴ [Hz]
		00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外部中断控制寄存器 2

EINTCR2 (0x0FD9)	7	6	5	4	3	2	1	0
位符号	-	SYNC	INT2SEL	INT2LVL	INT2ES		INT2NC	
读/写	R	R/W	R/W	R	R/W		R/W	
复位后	0	0	0	0	0		0	

SYNC	启动同步	0: 通过同步 1: 不通过同步·直接进入噪声抑制器
INT2SEL	选择 INT2 来源	0: INT2 1: 系统保留
INT2LVL	外部中断 2 中断要求信号经过噪声抑制器后的信号电平	0: 起始状态或信号电平为“L” 1: 信号电平为“H”
INT2ES	设定外部中断 2 的中断要求形成条件	00: 由通过噪声抑制器后的信号上升沿产生中断要求 01: 由通过噪声抑制器后的信号下降沿产生中断要求 10: 由通过噪声抑制器后的信号上升沿及下降沿产生中断要求 11: 由通过噪声抑制器后的高电平信号产生中断要求
INT2NC	设定外部中断 2 的噪声抑制器取样间隔	普通 1/2 · 空闲 1/2
		低速 1/2 · 睡眠 1
		00: fcgck [Hz] 01: fcgck / 2 ² [Hz] 10: fcgck / 2 ³ [Hz] 11: fcgck / 2 ⁴ [Hz]
		00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外部中断控制寄存器 3

EINTCR3 (0x0FDA)	7	6	5	4	3	2	1	0
位符号	-	SYNC	INT3SEL	INT3LVL	INT3ES		INT3NC	
读/写	R	R/W	R/W	Read Only	R/W		R/W	
复位后	0	0	0	0	0		0	

SYNC	启动同步	0: 通过同步 1: 不通过同步·直接进入噪声抑制器
INT3SEL	选择 INT3 来源	0: INT3 1: 系统保留
INT3LVL	外部中断 3 中断要求信号经过噪声抑制器后的信号电平	0: 起始状态或信号电平为“L” 1: 信号电平为“H”
INT3ES	设定外部中断 3 的中断要求形成条件	00: 由通过噪声抑制器后的信号上升沿产生中断要求 01: 由通过噪声抑制器后的信号下降沿产生中断要求 10: 由通过噪声抑制器后的信号上升沿及下降沿产生中断要求 11: 由通过噪声抑制器后的高电平信号产生中断要求
INT3NC	设定外部中断 3 的噪声抑制器取样间隔	普通 1/2 · 空闲 1/2
		低速 1/2 · 睡眠 1
		00: f _{cgck} [Hz] 01: f _{cgck} / 2 ² [Hz] 10: f _{cgck} / 2 ³ [Hz] 11: f _{cgck} / 2 ⁴ [Hz]
		00: f _s /4 [Hz] 01: f _s /4 [Hz] 10: f _s /4 [Hz] 11: f _s /4 [Hz]

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7.5.3 外部中断功能

外部中断 0 到 3 的中断要求信号及噪声抑制时间都是可以设定的。

中断源	引脚	允许中断条件	产生中断要求信号	外部中断引脚输入信号宽度与噪声抑制	
				普通1/2 · 空闲1/2	低速1/2 · 睡眠1
INT0	INT0	IMF=1 EF16=1	下降沿 上升沿 下降沿/上升沿 电平“H”	短于2/fsIO: 噪声 介于2/fspl和3/fsIO+1/fcgck之间: 不确定 长于3/fsIO+1/fcgck: 有效信号	短于4/fs: 噪声 介于4/fs和8/fs之间: 不确定 长于8/fs: 有效信号
INT1	INT1	IMF=1 EF17=1			
INT2	INT2	IMF=1 EF18=1			
INT3	INT3	IMF=1 EF19=1			

表 7.2 外部中断

注：fcgck: 齿轮时钟 · fs: 低速时钟 · fspl: 取样间隔。

7.5.3.1 低耗能功能

不使用外部中断时，可使用低耗能寄存器 POFFCR3 达到降低耗能的功效。设定 POFFCR3<INTxEN>为“0”会停止外部中断所需的基本时钟并节省耗能，此时外部中断功能也被禁止。设定 POFFCR3<INTxEN>为“1”可以启动外部中断所需的基本时钟并且允许外部中断功能。复位后，POFFCR3<INTxEN>会被初始化为“0”并禁止外部中断功能。在第一次使用外部中断功能时，确认已于软件初始设定(在操作外部中断控制寄存器前)将 POFFCR3<INTxEN>设为“1”。

注：改变 INTxEN 时可能会产生中断要求信号。在改变 INTxEN 前，先清空对应的中断允许寄存器为“0”以禁止中断的发生。当工作模式从普通 1/2 或空闲 1/2 切换成低速 1/2 或睡眠 1 模式时，在模式转换后先等候 12/fs 秒，接着清空中断锁存器。当工作模式从低速 1/2 或睡眠 1 切换成普通 1/2 或空闲 1/2 模式时，在模式转换后先等候 2/fcgck+3/fspl 秒，接着清空中断锁存器。

7.5.3.2 外部中断 0

外部中断 0 侦测 INT0 引脚的下降沿，然后产生中断要求信号。在 NORMAL1/2 或 IDLE 1/2 模式下，脉冲小于 1/fcgck 将被视为噪声忽略；而脉冲大于 2/fcgck 将被视为信号。在 SLOW/SLEEP 模式，当脉冲小于 4/fs 将被视为噪声忽略；而脉冲大于 8/fs 将被视为信号。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7.5.3.3 外部中断 1 到 3

外部中断 1 到 3 侦测 INT1 到 INT3 引脚的下降沿、上升沿，上升沿及下降沿或是高电平，然后产生中断要求信号。

(a) 中断要求信号产生条件侦测功能

于 EINTCRx <INTxES> 选择中断 1 到 3 的中断要求信号产生条件。

EINTCRx <INTxES>	侦测于
00	上升沿
01	下降沿
10	上升沿及下降沿
11	高电平中断

表 7.3 中断要求产生沿的选择

(b) 于中断要求信号产生时的噪声抑制器监控功能

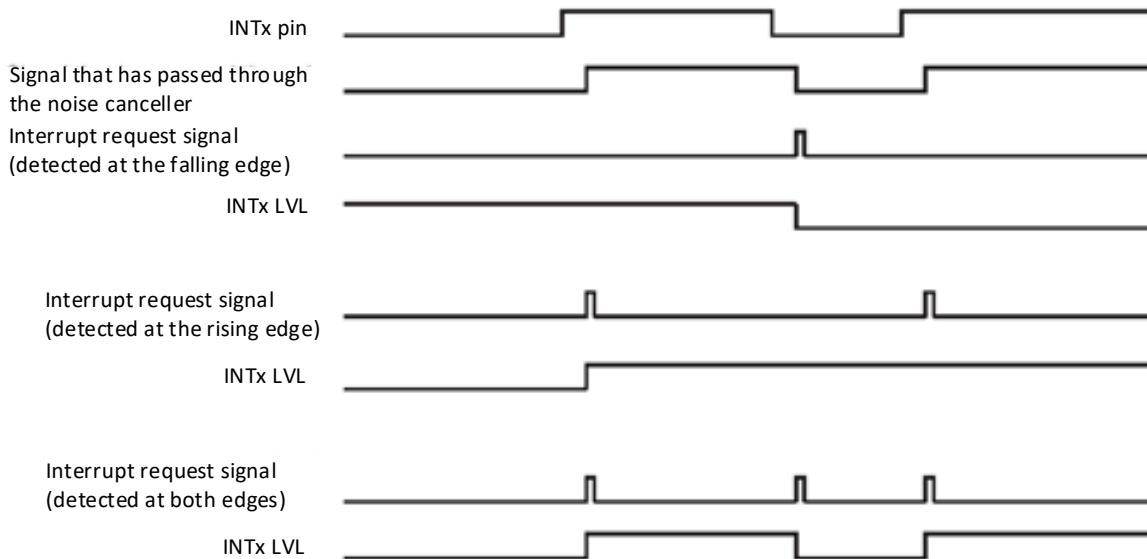


图 7.3 中断要求的产生与 EINTCRx<INTxLVL>(x = 1~3)

使用 EINTCRx<INTxLVL>可以读取中断要求产生时通过噪声抑制器的信号电平。当侦测沿的设定是“上升沿和下降沿”，读取 EINTCRx<INTxLVL>可侦测产生中断的是上升沿还是下降沿。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(c) 噪声抑制时间选择功能

在普通 1/2 或空闲 1/2 模式下由 fcgck 取样信号时，取样的间隔是由 EINTCRx<INTxNC>选择。如果连续三次取样的信号电平相同，则此信号会被视为有效信号。如果不同，则被视为噪声。

EINTCRx <INTxES>	取样间隔
00	fcgck
01	fcgck/2 ²
10	fcgck/2 ³
11	fcgck/2 ⁴

表 7.4 噪声抑制器取样时钟

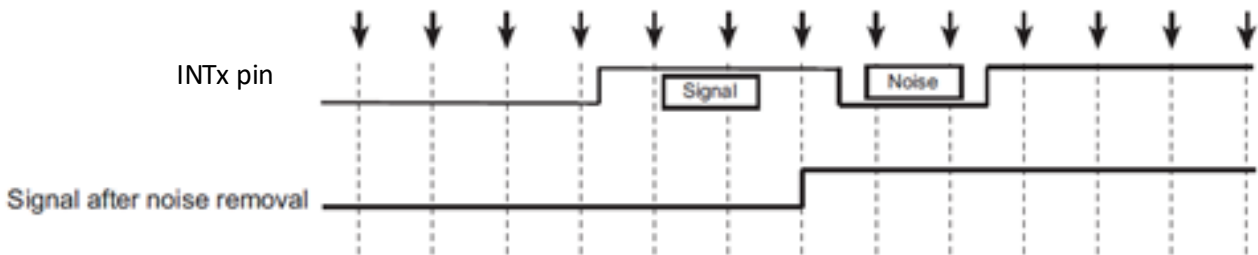


图 7.4 噪声抑制功能 (x = 1 ~ 3)

在低速 1/2 或睡眠模式下，信号取样速度是 fs/4。如果连续二次取样的信号电平相同，则此信号会被视为有效信号。

在空闲 0，睡眠 0 或停止模式下，噪声抑制取样停止，系统无法由外部中断。在系统切换回普通 1/2，空闲 1/2，低速 1/2 或睡眠 1 模式后，噪声抑制取样会重新启动。

注 1：在噪声连续干扰外部中断引脚信号的情况下，噪声抑制功能会发生异常。此时可依外部输入噪声周期设定 EINTCRx<INTxNC>。

注 2：当外部中断引脚被当作输出端口使用时，此端口的输入信号会被固定在“L”，进而引起外部中断。要正确使用此引脚为输出端口，清除对应中断允许寄存器为“0”，禁止中断要求的产生。

注 3：工作模式的转换可能会引发中断要求。在改变工作模式前，先清空对应的中断允许寄存器为“0”以禁止中断的发生。当工作模式从普通 1/2 或空闲 1/2 切换成低速 1/2 或睡眠 1 模式时，在模式转换后先等候 12/fs 秒，接着清空中断锁存器。当工作模式从低速 1/2 或睡眠 1 切换成普通 1/2 或空闲 1/2 模式时，在模式转换后先等候 2/fcgck+3/fspi 秒，接着清空中断锁存器。

8. I/O 端口

MQ6823 有 8 种平行 I/O 端口 (最长达 30 个 I/O 引脚及 2 个输出引脚) 如下表所示 :

端口	引脚	引脚数目	输入/输出	选择功能
PortP0	P00到P01	2	输入/输出	同时用作高速/低速振荡器的连接引脚
PortP1	P10	1	输入/输出	同时用作外部复位输入、外部中断输入以及停止模式释放信号输入
PortP2	P20, P21 P23, P24	4	输入/输出	同时用作I ² C引脚、UART输入/输出与外部唤醒输入,
PortP4	P40到P44	5	输入/输出	同时用于模拟信号输入、外部唤醒输入、ADC输入
PortP5	P51, P53, P56	3	输入/输出	同时用于模拟信号输入、ADC输入,
PortP7	P70到P76	7	输入/输出	同时用于定时器计数器输入/输出、分频器输出、SIO引脚、模拟信号输入、外部中断输入以及外部唤醒输入
PortP8	P80到P81 P84到P85	4	输入/输出 (P80/P81:输出)	同时用于定时器计数器输入/输出、LED高驱动电流输出 (P80/P81)
Port P9	P90到P91 P92到P93	4	输入/输出	同时用于UART输入/输出与外部中断输入

表 8.1 I/O 端口

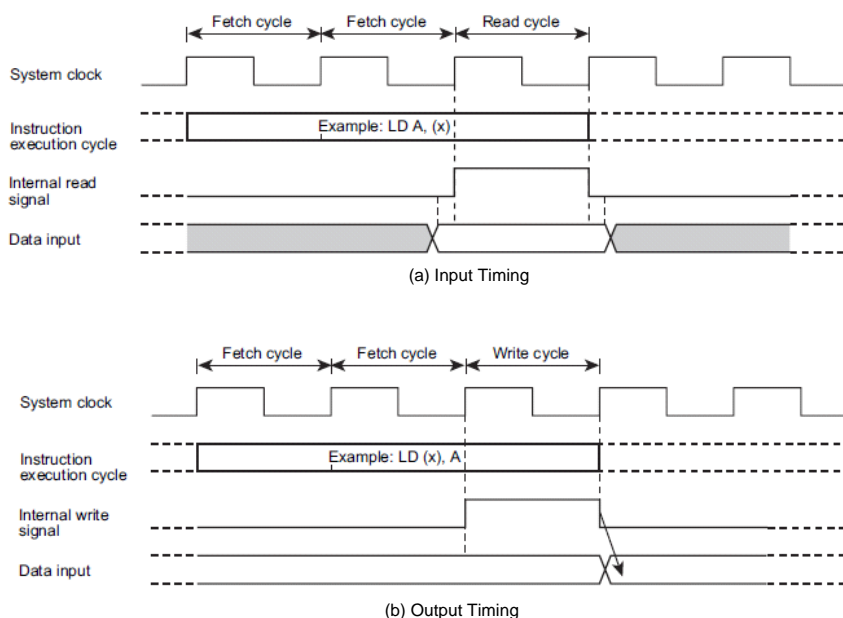


图 8.1 输入/输出时序范例

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

每个输出端口有一个锁存器可以保持书出的数据。输入端口不具备锁存器，所以外部输入数据必须被保持到读取的时候，或是在处理前必须多读几次。图 8.1 是输入/输出的时序范例。

I/O 端口进行外部数据的读取，是在指令读执行的读取周期内完成。此时序无法由外部识别，因此如震颤 (chattering) 之类的快信号输入必须由程序处理。在执行写 I/O 端口的指令时，数据是在写入周期的下一个周期输出至 I/O 端口。

8.1 I/O 端口控制寄存器

以下控制寄存器供输入输出 I/O 端口使用。x 表示端口编号。寄存器可设定与否与端口相关。细节须参考每个端口的说明。

PxDR 寄存器

此寄存器用于设定输出数据。端口设定为输出模式时，PxDR 的设定数值会由端口输出。

PxPRD 寄存器

此寄存器用于读输入数据。端口设定为输入模式时，端口输入状态可藉由 PxPRD 读出。

PxCR 寄存器

此寄存器切换端口的输入与输出。端口可以在输入模式和输出模式切换。

PxFC 寄存器

此寄存器可设定每个端口的选择功能输出。选择功能输出可以被允许或是禁止。

PxPU 寄存器

此寄存器决定端口在输入模式下是否接上内部上拉电阻。

PxPD 寄存器

此寄存器决定端口在输入模式下是否接上内部下拉电阻。

8.2 I/O 端口设定

个别 I/O 端口的设定方式，请参考下表。

端口	引脚	功能	寄存器设定		
			PxCR	PxFC	其他设定需求
P0	P01到P00	端口输入	0	0	
		端口输出	1	0	
	P01	XOUT	*	无对应寄存器	
	P00	XIN	*	1	
Port P1	P10	端口输入	0	无对应寄存器	(注1)
	P10	端口输出	1		
	P10	复位输入	*		
Port P2	P21到P20	端口输入	0	*	
		端口输出	1	0	
	P24	KW18	*	*	KWUCR2
	P24到P23	I ² C引脚 SCL / SDA	1	1	
	P21	RXD0输入	0	0	UATCNG <UAT0IO>="0"
		TXD0输出	1	1	UATCNG <UAT0IO>="1"
	P20	TXD0输出	1	1	UATCNG <UAT0IO>="0"
RXD0输入		0	0	UATCNG <UAT0IO>="1"	
Port P4	P44到P40	端口输入	0	*	
		端口输出	1	0	
		KW14	*	*	KWUCR1
		KW13到KW10	*	*	KWUCR0
	P43	AIN4到AIN0	0	1	
		VREF输入	0	1	
Port P5	P56	TCC1 输入	0	0	
	P53,P51	AIN15,AIN13	0	1	
Port P7	P76到P70	端口输入	0	*	
		端口输出	1	0	
	P76到P73	KW115到KW112	*	*	KWUCR3
	P76	INT3输入	0	无对应寄存器	
		EMG1B输入	0		
		SIO引脚SCLK输入	0	*	
SIO引脚SCLK输出		1	1		

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Port 7	P75	INT2输入	0	无对应寄存器	
		SIO引脚SO输入	0	*	
	P74	DVO输出	1	1	
		AIN8	0	1	
		SIO引脚SI输出	1	1	
	P73	TCA1输入	0	*	
		PPGA01B输出	1	1	
	P72	TCA0输入	0	*	
		PPGA00B输出	1	1	
	P71	PWM01B输出	1	1	
P70	PWM00B输出	1	1		
Port 8	P85	SIO引脚SO输入	0	*	
	P84	SIO引脚SI输出	1	1	
	P81,P80	端口输出	1	0	
	P81到P80	端口输入	0	*	
	P81	PPGC12B输出	1	1	
	P80	PPGC11B输出	1	1	
Port P9	P93	INT1输入	0	无对应寄存器	
	P92	INT0输入	0	无对应寄存器	
	P91到P90	端口输入	0	*	
		端口输出	1	0	
	P91	RXD1输入	0	0	UATCNG<UAT2IO>="0" UATCNG <UAT1IO>="0"
		TXD1输出	1	1	UATCNG<UAT2IO>="0" UATCNG <UAT1IO>="1"
	P90	TXD1输出	1	1	UATCNG<UAT2IO>="0" UATCNG <UAT1IO>="0"
		RXD1输入	0	0	UATCNG<UAT2IO>="0" UATCNG <UAT1IO>="1"

表 8.2 I/O 端口设定表

注 1：上电后，P10 引脚的功能成为外部复位输入。若要使用 P10 引脚为 I/O 端口，参考“5.1 复位控制线路”章节。

注 2：上表中，“1”表示设定为“1”，“0”表示设定为“0”，“*”表示设定为 1 或 0 时该端口/引脚的功能一致，“无对应寄存器”代表该位没有对应的寄存器存在。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3 I/O 端口寄存器

8.3.1 P0 端口寄存器

P0 端口是个 2 位 I/O 端口，每位可被个别设定为输入或输出。此端口也可用作外部高速/低速振荡器的连接引脚。

P0 端口在 VDD 端有可编程的上拉电阻，且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。

端口	P01	P00
选择功能	XOUT	XIN

表 8.3 P0 端口

P0 端口输出锁存寄存器

PODR (0x0000)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	P01	P00
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						输出模式下输出低电平	
	1						输出模式下输出高电平	

P0 端口输入输出控制寄存器

POCR (0x0F1A)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	POCR1	POCR0
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						输入模式 (端口输入)	
	1						输出模式 (端口输出)	

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P0端口功能控制寄存器

POFC (0x0F34)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	POFC0
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							端口
	1							XIN (I)

注 1 : SYSCR2<XEN>设定为“1”时，将 POFC0 设定为“0”会引发系统时钟复位。若 P00 或 P01 不作端口使用，POFC0 必须设定为“1”。

注 2 : 符号“1”表示选择功能输入。

P0端口内置上拉电阻控制寄存器

POPU (0x0F27)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	POPU1	POPU0
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						内置电阻不连接	
	1						连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。	

P0端口内置下拉电阻控制寄存器

POPD (0x0F00)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	POPD1	POPD0
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						内置电阻不连接	
	1						连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。	

注 : 如果 POPUx 与 POPDx 同时被设定为“1”时，端口将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P0端口输入数据寄存器

POPRD (0x000D)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	POPRD1	POPRD0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	*	*
功能							设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”	

8.3.2 P1 端口(P10)寄存器

P1 端口是个 1 位 I/O 端口 (P10) , 可设定为输入或输出。

P1 端口在 VDD 端有个可编程的上拉电阻 , 且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。

复位后 , P10 引脚设定为 I/O 端口。要使用 P10 引脚为外部复位输入功能 , 参考“5.1 复位控制线路”。

端口	P10
选择功能	RESETB

表 8.4 P1 端口

P1端口输出锁存寄存器

P1DR (0x0001)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	P10
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							输出模式下输出低电平
	1							输出模式下输出高电平

P1端口输入输出控制寄存器

P1CR (0x0F1B)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	P1CR0
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							输入模式 (端口输入)
	1							输出模式 (端口输出)

P1端口内置上拉电阻控制寄存器

P1PU (0x0F28)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	P1PU0
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							内置电阻不连接
	1							连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定‘1’都不会连接此内置电阻。

P1端口输入数据寄存器

P1PRD (0x000E)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	-	P1PRD0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	*
功能								设定于输入模式下可读取该端口的内容。非输入模式下的读取值为‘0’。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3.3 P2 端口寄存器

P2 端口是个 4 位 I/O 端口，可设定为输入或输出。此端口也可作 I²C 传输引脚与唤醒输入使用。

P2 端口在 VDD 端有个可编程的上拉电阻，且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。

端口	P24	P23	P21	P20
选择功能	KWI8 SCL	SDA	TXD0 RXD0	RXD0 TXD0

表 8.5 P2 端口

P2端口输出锁存寄存器

P2DR (0x0002)	7	6	5	4	3	2	1	0
位符号	-	-	-	P24	P23	-	P21	P20
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P2端口输入输出控制寄存器

P2CR (0x0F1C)	7	6	5	4	3	2	1	0	
位符号	-	-	-	P2CR4	P2CR3	-	P2CR1	P2CR0	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
复位后	0	0	0	0	0	0	0	0	
功能	0:	输入模式(端口输入)							
								RXD0 (I)	RXD0 (I)
功能	1:	输出模式(端口输出)							
					SCL (I/O)	SDA (I/O)		TXD0 (O)	TXD0 (O)

注 1：符号“1”表示选择输入功能。符号“0”表示选择输出功能。符号“I/O”表示选择双向 I/O 功能。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P2端口功能控制寄存器

P2FC (0x0F36)	7	6	5	4	3	2	1	0
位符号	-	-	-	P2FC4	P2FC3	-	P2FC1	P2FC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	端口功能						
	1	-	-	-	SCL (I/O)	SDA (I/O)	-	TXD0 (O) TXD0 (O)

注：P2FC寄存器的第7到第6位为系统保留位，请勿变更默认值。

P2端口内置上拉电阻控制寄存器

P2PU (0x0F29)	7	6	5	4	3	2	1	0
位符号	-	-	-	P2PU4	P2PU3	-	P2PU1	P2PU0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。只有在唤醒输入KWli(i=8)被允许或端口处于输入模式下(P2FCi="0"与P2CRI="0")会连接内置电阻。在其他条件下设定"1"都不会连接此内置电阻。						

P2端口内置下拉电阻控制寄存器

P2PD (0x0F02)	7	6	5	4	3	2	1	0
位符号	-	-	-	P2PD4	P2PD3	-	P2PD1	P2PD0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。只有在唤醒输入KWli(i=8)被允许或端口处于输入模式下(P2FCi="0"与P2CRI="0")会连接内置电阻。在其他条件下设定"1"都不会连接此内置电阻。						

注1：如果P2PUx与P2PDx同时被设定为"1"时，端口将只连接至上拉电阻。(x = 0,1,3,4)

P2端口输入数据寄存器

P2PRD (0x000F)	7	6	5	4	3	2	1	0
位符号	-	-	-	P2PRD4	P2PRD3	-	P2PRD1	P2PRD0
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	0	0	0
功能	如果端口处于输入模式，端口的内容可被读出。否则读出数值为"0"。							

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P2端口开漏输出寄存器

P2OUTCR (0x0F43)	7	6	5	4	3	2	1	0
位符号	-	-	-	P2OUTCR4	P2OUTCR3	-	-	-
读/写	R	R	R	R/W	R/W	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	0	端口功能						
	1				Open Drain output	Open Drain output		

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3.4 P4 端口寄存器

P4 端口是个 5 位 I/O 端口，每位可被个别设定为输入或输出。此端口也可作唤醒输入与 AD 转换器模拟信号输入使用。

P4 端口在 VDD 端有个可编程的上拉电阻，且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。另请注意，KW10~4 唤醒开启后将无下拉电阻。

端口	P44	P43	P42	P41	P40
选择功能	AIN4 KW14	AIN3 KW13 VREF	AIN2 KW12	AIN1 KW11	AIN0 KW10

表 8.6 P4 端口

P4 端口输出锁存寄存器

P4DR (0x0004)	7	6	5	4	3	2	1	0
位符号	-	-	-	P44	P43	P42	P41	P40
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P4端口输入输出控制寄存器

P4CR (0x0F1E)	7	6	5	4	3	2	1	0
位符号	-	-	-	P4CR4	P4CR3	P4CR2	P4CR1	P4CR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
				AIN4 (I)	AIN3 (I) VREF (I)	AIN2 (I)	AIN1 (I)	AIN0 (I)
	1	输出模式 (端口输出)						

注 1：符号“I”表示选择输入功能。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P4端口功能控制寄存器

P4FC (0x0F38)	7	6	5	4	3	2	1	0
位符号	-	-	-	P4FC4	P4FC3	P4FC2	P4FC1	P4FC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	端口功能						
	1	-	-	-	AIN4 (I)	AIN3 (I) VREF (I)	AIN2 (I)	AIN1 (I)

P4端口内置上拉电阻控制寄存器

P4PU (0x0F2B)	7	6	5	4	3	2	1	0
位符号	-	-	-	P4PU4	P4PU3	P4PU2	P4PU1	P4PU0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。只有在唤醒输入KWli(i=0~4)被允许或端口处于输入模式下(P4FCi="0"与P4CRI="0")会连接内置电阻。其他条件下，设定"1"仍不会连接内置电阻。						

P4 端口内置下拉电阻控制寄存器

P4PD (0x0F04)	7	6	5	4	3	2	1	0
位符号	-	-	-	P4PD4	P4PD3	P4PD2	P4PD1	P4PD0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此下拉电阻。当唤醒输入KWli (i=0~4)被允许时，下拉电阻会被关闭。						

注 1：如果 P4PUx 与 P4PDx 同时被设定为"1"时，端口将只连接至上拉电阻。(x = 4 到 0)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P4端口输入数据寄存器

P4PRD (0x0011)	7	6	5	4	3	2	1	0
位符号	-	-	-	P4PRD4	P4PRD3	P4PRD2	P4PRD1	P4PRD0
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	*	*	*
功能	如果端口处于输入模式，端口的内容可被读出。否则读出数值为“0”。							

设定条件		P4PRDi 读取数值
P4CRi	P4FCi	
0	0	端口内容
0 或 1	1	“0”
1	0 或 1	“0”

表 8.7 P4PRD 读取数值

注 1: * : 0 或 1。

注 2: i = 4~0。

8.3.5 P5 端口寄存器

端口	P56	P53	P51
选择功能	TCC1	AIN15	AIN13

P5端口输出锁存寄存器

P5DR (0x0005)	7	6	5	4	3	2	1	0
位符号	-	P56	-	-	P53	-	P51	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P5端口输入输出控制寄存器

P5CR (0x0F1F)	7	6	5	4	3	2	1	0
位符号	-	P5CR6	-	-	P5CR3	-	P5CR1	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	
功能	0:	输入模式(端口输入)						
	1:	输出模式(端口输出)						

注 1：符号“1”表示选择输入功能。符号“0”表示选择输出功能。

P5端口功能控制寄存器

P5FC (0x0F39)	7	6	5	4	3	2	1	0
位符号	-	P5FC6	-	-	P5FC3	-	P5FC1	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
复位后	0	0	0	0	0	0	0	
功能	0	端口功能						
	1	AIN15, AIN13						

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P5端口内置上拉电阻控制寄存器

P5PU (0x0F2C)	7	6	5	4	3	2	1	0
位符号	-	P5PU6	-	-	P5PU3	-	P5PU1	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	
功能	0	内置电阻未连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此电阻。						

P5 端口内置下拉电阻控制寄存器

P5PD (0x0F05)	7	6	5	4	3	2	1	0
位符号	-	P5PD6	-	-	P5PD3		P5PD1	
读/写	R/W	R	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	
功能	0	内置电阻未连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

注：如果 P5PUx 与 P5PDx 同时被设定为“1”时，端口将只连接至上拉电阻。(x = 1,3,6)

P5端口输入数据寄存器

P5PRD (0x0012)	7	6	5	4	3	2	1	0
位符号	-	P5PRD6	-	-	P5PRD3	-	P5PRD1	-
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	*	*	*
功能	如果端口处于输入模式，端口的内容可被读出。否则读出数值为“0”。							

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3.6 P7 端口寄存器

P7 端口是个 7 位 I/O 端口，每位可被个别设定为输入或输出。此端口也可作外部中断输入、分频器输出、SIO 引脚、AD 转换器模拟信号输入、唤醒输入与定时器计数器的输入/输出等功能使用。

P7 端口在 VDD 端有个可编程的上拉电阻，且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。

端口	P76	P75	P74	P73	P72	P71	P70
选择功能	INT3 KWI15 SCLK0 EMG1B	INT2 KWI14 SO0	KWI13 SIO DVOB AIN8	KWI12 PPGA01B TCA1	PPGA00B TCA0	TC01 PWM01B PPG01B	TC00 PWM00B PPG00B

表 8.8 P7 端口

P7 端口输出锁存寄存器

P7DR (0x0007)	7	6	5	4	3	2	1	0
位符号	-	P76	P75	P74	P73	P72	P71	P70
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P7 端口输入输出控制寄存器

P7CR (0x0F21)	7	6	5	4	3	2	1	0
位符号	-	P7CR6	P7CR5	P7CR4	P7CR3	P7CR2	P7CR1	P7CR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0:	输入模式(端口输入)						
		-	INT3 (I) SCLK0 (I)	INT2 (I)	AIN8 (I) SIO (I)	TCA1 (I)	TAC0 (I)	
功能	1:	输出模式(端口输出)						
		-	SCLK0 (O)	SO0 (O)	DVOB (O)	PPGA01B (O)	PPGA00B (O)	PMW01B (O)

注 1：符号“1”表示选择输入功能。符号“0”表示选择输出功能。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P7端口功能控制寄存器

P7FC (0x0F3B)	7	6	5	4	3	2	1	0
位符号	-	P7FC6	P7FC5	P7FC4	P7FC3	P7FC2	P7FC1	P7FC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	端口功能						
	1	SCLK0(O)	SO0 (O)	DVOB (O) AIN8 (I) SIO (I)	PPGA01B (O)	PPGA0B (O)	PWM01B (O)	PWM00B (O)

注：当 P7CR4 设定为 0 时，则为 AIN8 输入功能；当 P7CR4 设定为 1 时，则为 DVOB 输出功能。

P7端口内置上拉电阻控制寄存器

P7PU (0x0F2E)	7	6	5	4	3	2	1	0
位符号	-	P7PU6	P7PU5	P7PU4	P7PU3	P7PU2	P7PU1	P7PU0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。只有在唤醒输入KWli(i=12~15)被允许或端口处于输入模式下(P7FCi="0"与P7CRi="0")会连接内置电阻。在其他条件下设定"1"都不会连接此内置电阻。						

P7端口内置下拉电阻控制寄存器

P7PD (0x0F07)	7	6	5	4	3	2	1	0
位符号	-	P7PD6	P7PD5	P7PD4	P7PD3	P7PD2	P7PD1	P7PD0
读/写	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻未连接						
	1	连接内置电阻。只有在唤醒输入KWli(i=12~15)被允许或端口处于输入模式下(P7FCi="0"与P7CRi="0")会连接内置电阻。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果 P7Pux 与 P7PDx 同时被设定为"1"时，端口将只连接至上拉电阻。(x = 6 到 0)

P7端口输入数据寄存器

P7PRD (0x0014)	7	6	5	4	3	2	1	0
位符号	-	P7PRD6	P7PRD5	P7PRD4	P7PRD3	P7PRD2	P7PRD1	P7PRD0
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	*	*	*
功能	如果端口处于输入模式，端口的内容可被读出。否则读出数值为"0"。							

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3.7 P8 端口寄存器

P8 端口是个 4 位 I/O 端口，其中 P81 与 P80 为纯输出引脚，其它引脚则可被个别设定为输入或输出，此端口也可作定时器计数器的输入/输出使用。

端口	P85	P84	P81	P80
选择功能			PPGC12B	PPGC11B

表 8.9 P8 端口

P8端口输出锁存寄存器

P8DR (0x0008)	7	6	5	4	3	2	1	0
位符号	-	-	P85	P84	-	-	P81	P80
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							输出模式下输出低电平
	1							输出模式下输出高电平

P8端口输入输出控制寄存器

P8CR (0x0F22)	7	6	5	4	3	2	1	0
位符号	-	-	P8CR5	P8CR4	-	-	P8CR1	P8CR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							输入模式(端口输入) 勿使用输入功能
	1							输出模式 (端口输出) PPGC12B (O) PPGC11B (O)

注 1：符号“O”表示选择输出功能。

P8端口功能控制寄存器

P8FC (0x0F3C)	7	6	5	4	3	2	1	0
位符号	-	-	P8FC5	P8FC4	-	-	P8FC1	P8FC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0							
	1							PPGC12B (O) PPGC11B (O)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P8端口内置上拉电阻控制寄存器

P8PU (0x0F2F)	7	6	5	4	3	2	1	0	
位符号	-	-	P8PU5	P8PU4	-	-	-	-	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
复位后	0	0	0	0	0	0	0	0	
功能	0	内置电阻不连接							
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。							

P8端口内置下拉电阻控制寄存器

P8PD (0x0F08)	7	6	5	4	3	2	1	0	
位符号	-	-	P8PD5	P8PD4	-	-	-	-	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
复位后	0	0	0	0	0	0	0	0	
功能	0	内置电阻不连接							
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。							

P8端口输入数据寄存器

P8PRD (0x0015)	7	6	5	4	3	2	1	0
位符号	-	-	P8PRD5	P8PRD4	-	-	P8PRD1	P8PRD0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	*	*	0	0
功能	如果端口处于输入模式或是漏极开路输出模式，端口的内容可被读出。否则读出数值为“0”。							

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

8.3.8 P9 端口寄存器

P9 端口是个 4 位 I/O 端口，每位可被个别设定为输入或输出。此端口也可作 UART 功能使用。

P9 端口在 VDD 端有可编程的上拉电阻，且在 VSS 端有可编程的下拉电阻。此上拉电阻与下拉电阻在端口设定为输入模式下可供使用。

端口	P93	P92	P91	P90
选择功能	INT1	INT0	RXD1 TXD1	TXD1 RXD1

表 8.10 P9 端口

P9 端口输出锁存寄存器

P9DR (0x0009)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P93	P92	P91	P90
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0					输出模式下输出低电平		
	1					输出模式下输出高电平		

P9 端口输入输出控制寄存器

P9CR (0x0F23)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P9CR3	P9CR2	P9CR1	P9CR0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
						INT1(I)	INT0(I)	RXD1(I)
	1	输出模式 (端口输出)						
								TXD1(O)

注 1：符号“1”表示选择功能输入。符号“0”表示选择功能输出。若要设定 UART TX/RX 脚位功能，也要配合去设定「UART 输入输出控制寄存器(UATCNG)」。

P9端口功能控制寄存器

P9FC (0x0F3D)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P9FC3	P9FC2	P9FC1	P9FC0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						端口功能	
	1						TXD0 (O)	TXD0 (O)

P9端口内置上拉电阻控制寄存器

P9PU (0x0F30)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P9PU3	P9PU2	P9PU1	P9PU0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						内置电阻不连接	
	1						连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。	

P9端口内置下拉电阻控制寄存器

P9PD (0x0F09)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P9PD3	P9PD2	P9PD1	P9PD0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0						内置电阻不连接	
	1						连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。	

注：如果P9PU_x与P9PD_x同时被设定为“1”时，端口将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

P9端口输入数据寄存器

P9PRD (0x0016)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	P9PRD3	P9PRD2	P9PRD1	P9PRD0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	*	*	*	*
功能	如果端口处于输入模式或是漏极开路输出模式，端口的内容可被读出。否则读出数值为“0”。							

UART 输入输出控制寄存器

UATCNG (0x0E97)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	UAT2IO	UAT1IO	UAT0IO
读/写	R	R	R	R	R	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0					设定P90與P91为UART功能	當Bit 2(UAT2IO)=0, 设定P90为TXD1; P91为RXD1	设定P20为TXD0; P21为RXD0
	1						當Bit 2(UAT2IO)=0, 设定P90为RXD1; P91为TXD1	设定P20为RXD0; P21为TXD0

注：Bit0 (UAT0IO) 用于设定 P20/P21 这组 UART。Bit 2(UAT2IO)用于设定 P90/P91。若 Bit2=0 表示设定 P90/P91 为 UART, 搭配 Bit1(UAT1IO)可分别设定 P90 与 P91 为 TXD1 或 RXD1。

9. 10 位 AD 转换器

MQ6823 具有一个准 10 位的 SAR 型 AD 转换器，共有 8 个输入端口(AIN0~AIN4,AIN8,AIN13,AIN15)，及 1 个内部 1/4 VDD 电池量测输入。

9.1 AD 转换器架构

MQ6823 内置的 10 位 AD 转换器架构如图 9.1 所示。此 AD 转换器包含控制寄存器 ADCCR1 和 ADCCR2，转换数值寄存器 ADCDRL 和 ADCDRH，一个数模转换器 DAC，一个取样保留(sample-hold)线路，一个比较器与一个连续比较线路等。

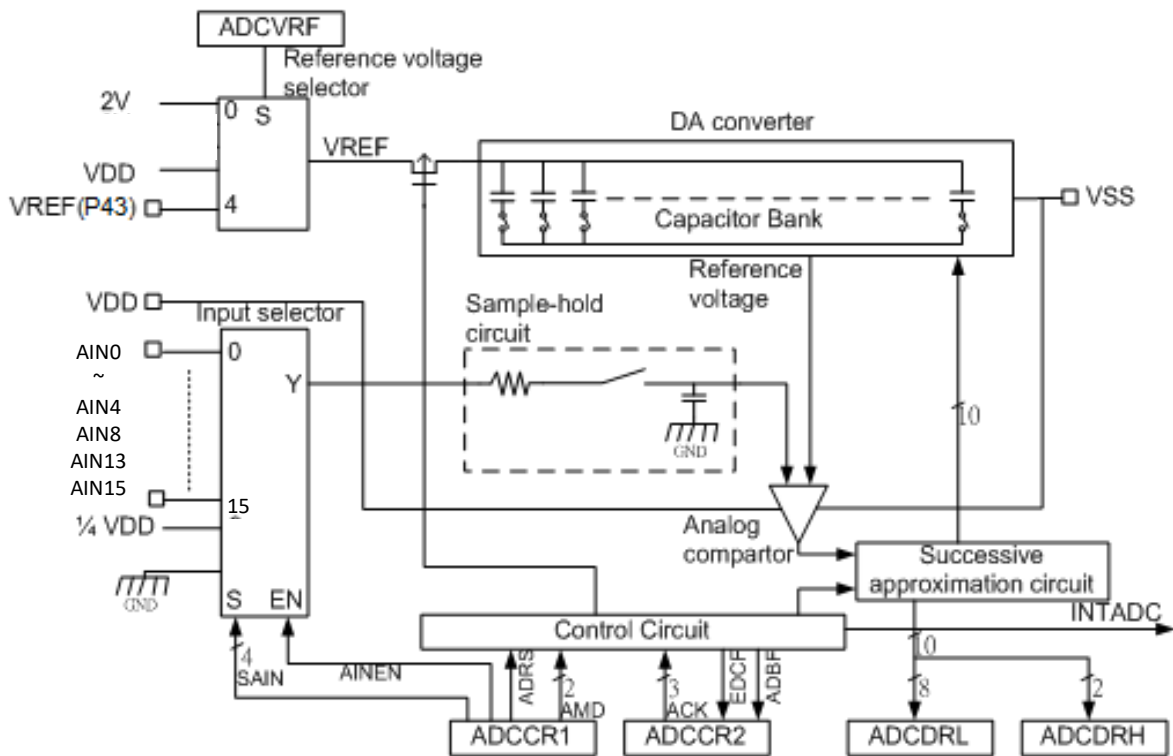


图 9.1 10 位 AD 转换器

注：使用 AD 转换器前，须设定适当的 I/O 端口寄存器。详细资料请参考“8 I/O 端口”章节。

9.2 AD 转换器控制

AD 转换器具备以下 4 个寄存器:

1. ADC 控制寄存器 1 (ADCCR1)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 ADCCR1 寄存器以选取要进行模数转换的模拟信号通道，选取 AD 转换工作模式，并控制 AD 转换器的工作开始。

2. ADC 控制寄存器 2 (ADCCR2)

设定 ADCCR2 寄存器以选取 AD 转换时间，并监控 AD 转换器的工作状态。

3. ADC 参考电压寄存器 (ADCVRF)

设定 ADCVRF 寄存器以选取 ADC 参考电压来源。

4. AD 转换数值寄存器 (ADCDRH 和 ADCDRL)

ADCDRH 和 ADCDRL 寄存器储存 AD 转换器所产生的数字数值。

ADC控制寄存器1

ADCCR1 (0x0034)	7	6	5	4	3	2	1	0
位符号	ADRS	AMD		AINEN	SAIN			
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

ADRS	AD 转换开始	0: - 1: AD 转换开始
AMD	AD 工作模式	00: 禁止 AD 工作，或强迫 AD 停止工作 01: 单次模式 10: 系统保留 11: 重复模式
AINEN	模拟信号输入控制	0: 禁止模拟信号输入 1: 允许模拟信号输入
SAIN	模拟信号输入通道选择	0000: AIN0 输入 0001: AIN1 输入 0010: AIN2 输入 0011: AIN3 输入 0100: AIN4 输入 1000: AIN8 输入 1001: 1/4 VDD 输入 1100: 接地 1101: AIN13 输入 1111: AIN15 输入 其他: 系统保留

注 1：在模数转换进行中(ADCCR2<ADBF>="1")，不要进行以下 ADCCR1 的操作:

- 改变模拟信号输入通道的选择 SAIN
- 设定模拟信号输入控制 AINEN 为"0"
- 改变 AD 工作模式 AMD (除非要强制 ADC 停止工作，设定 AMD 为"00")
- 设定 AD 转换开始 ADRS 为"1"

注 2：要关闭所有模拟信号输入通道，设定 AINEN 为"0"即可。

注 3：尽管模拟信号输入引脚也可作 I/O 端口使用，但为了维持模拟转换的准确性，建议在模数转换进行中不要执行输入输出指令。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

此外，不要在模拟信号输入引脚的相邻端口输入电平振荡幅度大的信号。

注 4：在切换至停止、空闲 0 或是低速模式时，ADRS、AMD 和 AINEN 被初设定为“0”。如果在回复普通模式后要使用 AD 转换器，必须再设定 ADRS、AMD 和 AINEN。

注 5：在启动模数转换后，ADRS 会自动被清除为“0”（读取数值为“0”）。

注 6：P74 脚位若作为 AIN 功能(AIN8)，且与其他 AIN 同时使用时，进入 STOP 模式会增加额外功耗；故在 AIN 通道数量足够的状况下，请尽量避免使用 P74 的 AIN 功能(AIN8)。

ADC控制寄存器2

ADCCR2 (0x0035H)	7	6	5	4	3	2	1	0
位符号	EOCF	ADBF	-	-	-	ACK		
读/写	R	R	R	R	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

EOCF	AD 转换完成标帜	0: 转换前或转换进行中 1: 转换完成
ADBF	AD 转换进行中(BUSY)标帜	0: AD 转换中止 1: AD 转换进行中
ACK	AD 时间选取	参考表 9.1

注 1：AD 转换中止(ADCCR2<ADBF>=“0”)时，确认 ACK 被正确设定

注 2：确认 ADCCR2 的第 3 位写入值为“0”。

注 3：在切换至停止、空闲 0 或是低速模式时，EOCF 和 ADBF 被初设定为“0”。

注 4：读取 AD 转换数值寄存器 ADCDRH 后，EOCF 会被清除为“0”。另一个 EOCF 会被清除为“0”的条件是，完成单次模式 AD 转换后，没有读取 ADCDRH 就开始进行 AD 转换。

注 5：执行 ADCCR2 的读取时，第 3 位到第 5 位读取的数值为 0。

		Frequency (fcgck)						
ACK setting	Conversion time	16MHz	8MHz	4MHz	2MHz	1MHz	0.5MHz	0.25MHz
000	32/fcgck	-	-	-	16.0 us	32.0 us	64.0 us	128.0 us
001	64/fcgck	-	-	16.0 us	32.0 us	64.0 us	128.0 us	-
010	128/fcgck	-	16.0 us	32.0 us	64.0 us	128.0 us	-	-
011	256/fcgck	16.0 us	32.0 us	64.0 us	128.0 us	-	-	-
100	512/fcgck	32.0 us	64.0 us	128.0 us	-	-	-	-
101	1024/fcgck	64.0 us	128.0 us	-	-	-	-	-
11*	Reserved							

表 9.1 ACK 设定与各齿轮时钟 fcgck 对应的 AD 转换时间

注 1：上表中“-”代表无法在该条件下完成 AD 转换。fcgck: 高速时钟(Hz)

注 2：不同模拟信号参考电压(VREF)所对应之最短 AD 转换时间如下:

- VREF = 2.7V 到 5.5V，转换时间应大于等于 12.8μs

- VREF = 2.0V 到 2.7V，转换时间应大于等于 25.6μs

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 3 : 若使用其他 fcgck, 请自行设定 ACK 以计算 conversion time, 但请保持 conversion time 大于等于 16us。

注 4 : 以上 AD 转换时间不包含以下时间: (表 9.2 为最长 AD 启动时间与 ACK 设定之间的关系)

- 由 ADCCR1<ADRS>被设定为 1 起、到 AD 转换开始为止的时间
- 由 AD 转换完成起、到转换数值存入 ADCDRL 与 ADCDRH 为止的时间

ACK Setting					
000	001	010	011	100	101
32/fcgck	64/fcgck	128/fcgck	256/fcgck	512/fcgck	1024/fcgck

表 9.2ACK 设定与所对应的 AD 启动时间

AD转换参考电压寄存器

ADCVRP (0x0EE7)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	VRFSEL		
读/写	R	R	R	R	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	1	1

VRFSEL	AD 转换参考电压选择	000:ADC 参考电压 = 2.0V, 该电压由内部线路产生
		001: 系统保留
		010: 系统保留
		011:ADC 参考电压 = VDD, 该电压由内部线路产生
		100: ADC 参考电压 = 外部参考电压(VREF)输入
		101:系统保留
		110:系统保留
		111:系统保留

注 1 : Bit 0,1,2,3 仅在上电复位时, 复位数值。

AD转换数值寄存器 (低位)

ADCDRL (0x0036)	7	6	5	4	3	2	1	0
位符号	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

AD转换数值寄存器 (高位)

ADCDRH (0x0037)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	-	AD09	AD08
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

注 1 : 在 INTADC 中断或 ADCCR2<EOCF>变“1”之后, 必须进行 ADCDRL 或 ADCDRH 的读取。

注 2 : 在单次模式中, 不要在 AD 转换进行中读取 ADCDRL 或 ADCDRH。若单次 AD 转换在读取 ADCDRL 和读取 ADCDRH 的操作间完成, INTADC 中断要求会被取消, 造成转换结果遗失。

注 3 : 在切换至停止、空闲 0 或是低速模式时, ADCDRL 和 ADCDRH 被初设定为“0”。

注 4 : 若设定 ADCCR1<AMD>为“00”, ADCDRL 和 ADCDRH 被初设定为“0”。

注 5 : ADCDRH 的第 2 位到第 7 位读取数值为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 6：在重复模式中，若 AD 转换在读取 ADCDRL 和读取 ADCDRH 的操作间完成，前一次的转换数值会保留在 AD 转换数值寄存器中而不会被改写。此时，INTADC 中断要求会被取消，造成转换结果遗失。

9.3 AD 转换器功能

MQ6823 内置的 10 位 AD 转换器具有两种操作模式：单次模式以及连续模式。

9.3.1 单次模式

单次模式下，AD 转换器只对指定模拟信号输入引脚的电压进行一次 AD 转换。

设定 ADCCR<AMD>为“01”后，设定 ADCCR<ADRS>为“1”可启动 AD 转换。AD 转换启动后，ADCCR1<ADRS>便自动被清除。AD 转换启动后，ADCCR2<ADBF>被设定为“1”。在 AD 转换完成或 AD 转换被强制停止的条件下，ADCCR2<ADBF>会被清除为“0”。

AD 转换完成后，转换结果会被储存在 AD 转换数值寄存器 ADCDRL 和 ADCDRH 中。同时，ADCCR2<EOCF>会被设定为“1”，并产生 AD 转换完成中断(INTADC)。进行 AD 转换时，应该时常依 INTADC 中断处理程序读取 AD 转换数值寄存器。读取 ADCDRH 后，ADCCR2<EOCF>会被清除为“0”。

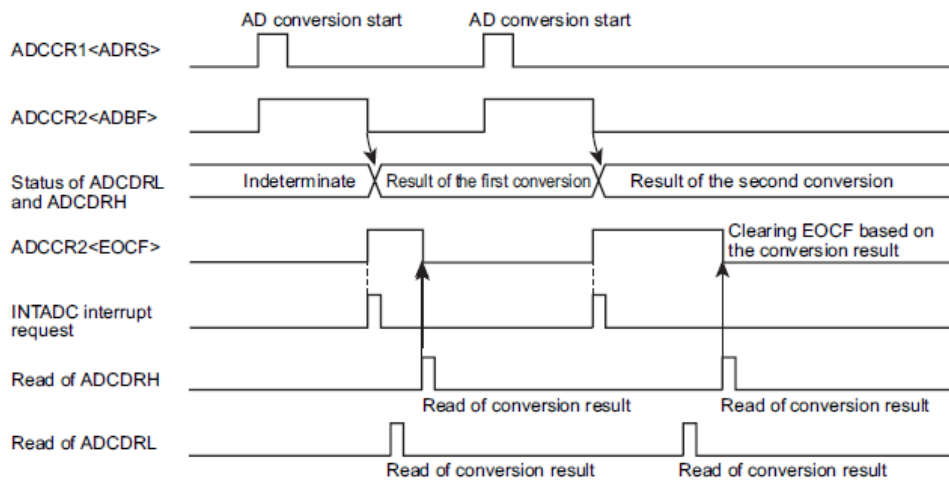


图 9.2 单次模式

注：在 AD 转换进行中(ADCCR2<ADBF>="1")不要对 ADCCR1 寄存器进行以下操作，否则 AD 转换可能无法正确完成：

- 改变 ADCCR1<SAIN>设定
- 设定 ADCCR1<AINEN>为“0”
- 改变 ADCCR1<AMD>设定(除非要强制 ADC 停止工作，设定 AMD 为“00”)
- 设定 ADCCR1<ADRS>为“1”

9.3.2 重复模式

重复模式下，AD 转换器重复对 ADCCR1<SAIN>指定模拟信号输入引脚的电压进行 AD 转换。

设定 ADCCR1<AMD>为“11”后，设定 ADCCR1<ADRS>为“1”可启动 AD 转换。AD 转换启动后，ADCCR1<ADRS>便自动被清除。第一次 AD 转换完成后，转换结果会被存在 AD 转换数值寄存器 ADCDRL 和 ADCDRH 中，同时 ADCCR2<EOCF>会被设定为“1”，并产生 AD 转换完成中断(INTADC)。在此中断产生后，第二次(下一个)AD 转换随即开始。

AD 转换数值寄存器 ADCDRL 和 ADCDRH 必须在下一次 AD 转换结束前读取。如果下一个 AD 转换在读取 ADCDRL 和读取 ADCDRH 间完成，前一次的转换数值会保留在 AD 转换数值寄存器中而不会被改写。此时，INTADC 中断要求会被取消，造成转换结果遗失(如图 9.3 所示)。

要停止 AD 转换，设定 ADCCR1<AMD>为“00”。此时，转换数值不会被存在 AD 转换数值寄存器中。AD 转换开始时，ADCCR2<ADBF>会被设定为“1”。如果 AMD 设定为“00”，ADCCR2<ADBF>会被清除为“0”。

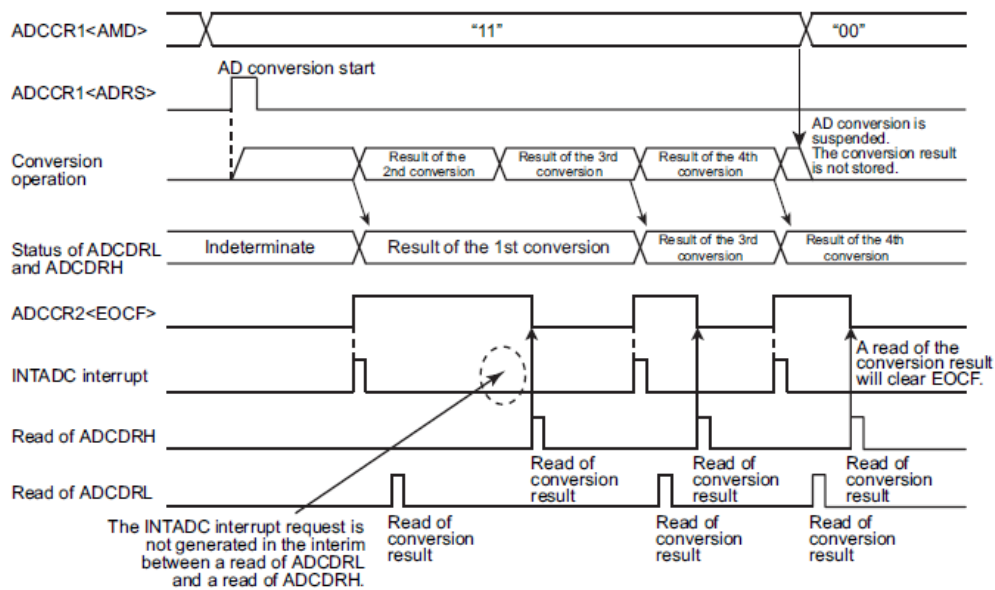


图 9.3 重复模式

9.3.3 禁止 AD 操作与强制 AD 操作停止

设定 ADCCR1<AMD>为“00”，即可在单次模式下强制停止进行中的 AD 转换操作，或是在重复模式下停止进行中的 AD 转换操作。

设定 ADCCR1<AMD>为“00”，则寄存器 ADCCR2<EOCF>、ADCCR2<ADBF>、ADCDRL 和 ADCDRH 都会被初设定为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

9.4 AD 转换器寄存器设定

- 依以下方式设定 AD 转换器控制寄存器 1 (ADCCR1):
 - 设定 SAIN, 选择进行 AD 转换的模拟信号输入通道。
 - 设定模拟信号输入控制 AINEN 为"允许模拟信号输入"。
 - 设定 AMD, 选择 AD 转换模式为单次或重复模式。
- 依以下方式设定 AD 转换器控制寄存器 2 (ADCCR2):
 - 设定 ACK, 选择 AD 转换时间。关于如何设定转换时间的信息, 参考 AD 转换器控制寄存器 2 和表 9.1。
- 完成以上设定后, 设定 AD 转换器控制寄存器 1(ADCCR1)的 AD 转换开始(ADRS)为"1", 则单次模式下的 AD 转换会立即开始。
- AD 转换完成后, AD 转换控制寄存器 2(ADCCR2)的 AD 转换终止标帜 EOCF 会被设定为"1", AD 转换结果会被存在 AD 转换数值寄存器 ADCDRH 和 ADCDRL 内, 并产生 INTADC 中断要求。
- 读取 ADCDRH 后, ADCCR2<EOCF>会被清除为"0"。如果在读取 AD 转换数值寄存器 ADCDRH 前再次执行 AD 转换, EOCF 并不会被清除为"0", 前次转换结果会被保留至 AD 转换完成。

9.5 启动停止/空闲 0/低速模式

启动停止/空闲 0/低速模式时, 寄存器 ADCCR1<ADRS,AMD,AINEN>、ADCCR2<EOCF,ADBF>、ADCDRL 和 ADCDRH 会被初设定为"0"。如果在 AD 转换过程中启动以上模式, AD 转换操作会暂停, AD 转换器会停止工作, 相关寄存器也会回复初始设定。脱离停止/空闲 0/低速模式后, AD 不会自动恢复操作。若需要操作 AD 转换, 须重新设定相关寄存器。

若在 AD 转换过程中启动停止/空闲 0/低速模式, 模拟信号参考电压会自动中断供应。

9.6 模拟信号输入电压与 AD 转换结果

模拟信号输入电压与经过 AD 转换器转换产生的 10 位数字数值关系图, 如图 9.4 所示。

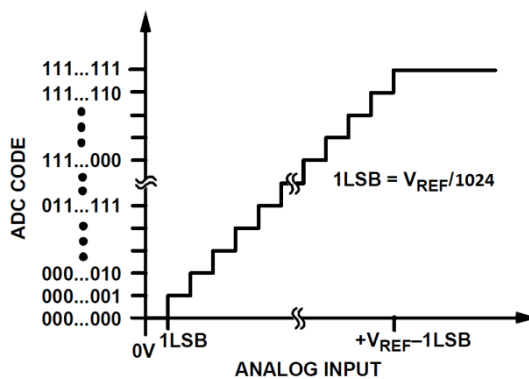


图 9.4 模拟信号输入电压与 AD 转换数值(典型数值)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

9.7 注意事项

9.7.1 模拟信号输入引脚电压范围

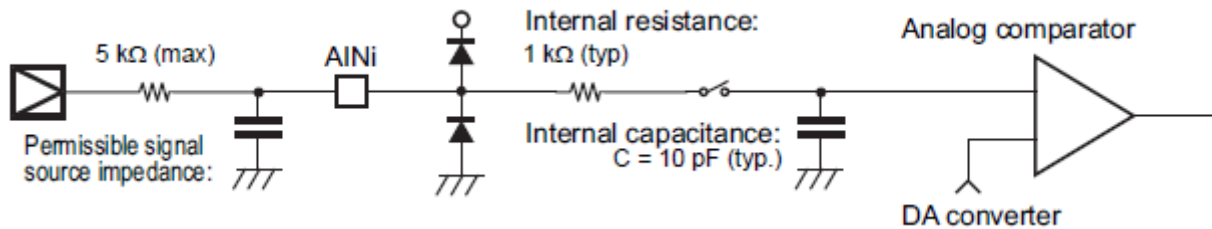
模拟信号输入引脚 AINi 的电平必须控制在 VREF 和 VSS 之间。若任何单一模拟信号输入引脚的输入电平超过此范围，除该引脚的 AD 转换数值不正确外，其他模拟信号输入引脚的转换数值也会受到影响。

9.7.2 模拟信号输入引脚作 I/O 端口用

模拟信号输入引脚 AINi 可作 I/O 端口用。使用任何单一模拟信号输入引脚(端口)作 AD 转换时，不可在其他模拟信号输入引脚(端口)执行输入输出指令，否则可能会造成 AD 转换精度下降。此现象也适用模拟信号输入引脚之外的其他引脚；任一引脚接收外界输入或产生输出信号时都可能产生噪声，并影响相邻引脚的特性。

9.7.3 噪声抑制

图 9.5 是模拟信号输入引脚的内部等效线路。模拟信号输入源的外部阻抗越高，受噪声的影响就越严重。为了减少噪声问题的发生，请确认信号源的输出阻抗小于 5KΩ。建议加上外部电容器。



注：i= 8 到 0

图 9.5 模拟信号输入等效线路及输入引脚设计范例

10. 定时器/计数器

10.1 看门狗定时器(WDT)

看门狗定时器是个防止系统故障的系统，用于快速检测 CPU 的故障如由噪声造成的死循环等，并使 CPU 恢复正常状态。

看门狗定时器信号可设定成看门狗中断要求信号，或是看门狗定时器复位信号。

注：看门狗定时器可能因噪声干扰或其他因素无法正常工作，进行系统设计时需务必特别注意。

10.1.1 看门狗定时器架构

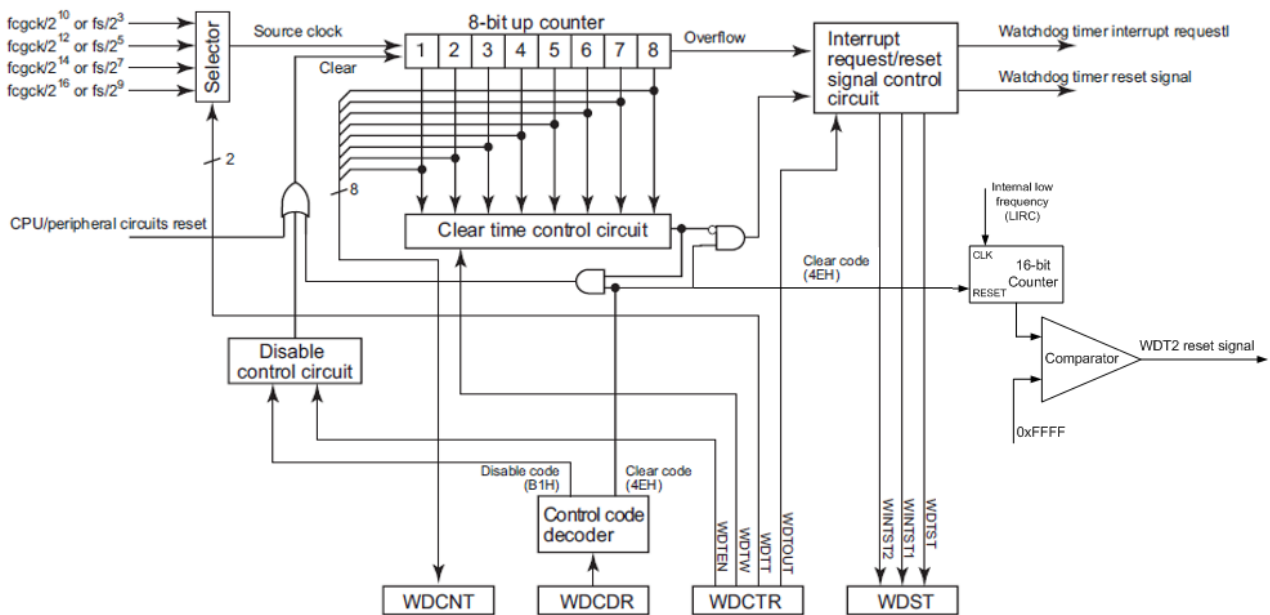


图 10.1 看门狗定时器架构

10.1.2 看门狗定时器控制

看门狗定时器由看门狗定时器控制寄存器 WDCTR，看门狗定时器控制码寄存器 WDCDR，看门狗定时器计数器监控 WDCNT 和看门狗定时器状态 WDST 所控制。

在系统复位及唤醒操作完成后，看门狗定时器会自动被启动。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

看门狗定时器控制寄存器

WDCTR (0x0FD4)	7	6	5	4	3	2	1	0
位符号	-	-	WDTEN	WDTW		WDTT		WDTOUT
读/写	R	R	R/W	R/W		R/W		R/W
复位后	1	0	1	0	0	1	1	0

WDTEN	允许/禁止看门狗定时器	0: 禁止 1: 允许			
WDTW	设定 8 位上数计数器清空时间	00: 于 8 位上数计数器溢位时间的全时段内·写入清空码会清除 8 位上数计数器。 01: 于 8 位上数计数器溢位时间的前 1/4 时段内·写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/4 时间后·写入清空码会清除 8 位上数计数器。 10: 于 8 位上数计数器溢位时间的前 1/2 时段内·写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/2 时间后·写入清空码会清除 8 位上数计数器。 11: 于 8 位上数计数器溢位时间的前 3/4 时段内·写入清空码以产生看门狗定时器中断要求。超过溢位时间的 3/4 时间后·写入清空码会清除 8 位上数计数器。			
WDTT	设定 8 位上数计数器溢位时间	普通模式		低速模式	
			DV9CK=0	DV9CK=1	
		00:	$2^{18}/fcgck$	$2^{11}/fs$	$2^{11}/fs$
		01:	$2^{20}/fcgck$	$2^{13}/fs$	$2^{13}/fs$
	10:	$2^{22}/fcgck$	$2^{15}/fs$	$2^{15}/fs$	
	11:	$2^{24}/fcgck$	$2^{17}/fs$	$2^{17}/fs$	
WDTOUT	选择 8 位上数计数器的溢位检测信号	0: 看门狗定时器中断要求信号 1: 看门狗定时器复位要求信号			

注 1 : fcgck 为齿轮时钟(Hz)·fs 为低速时钟(Hz)。

注 2 : WDCTR<WDTEN>为“1”的情况下·WDCTR<WDTW>·WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器设定无法改变。若要禁止看门狗定时器的操作·清除 WDCTR<WDTEN>为“0”并且将禁止码(0xB1)写入看门狗定时器控制码寄存器 WDCDR 内。在设定 WDCTR<WDTEN>为“1”时·可以同时设定 WDCTR<WDTW>·WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器。

注 3 : WDCTR 的第 7 位和第 6 位读出数值分别为“1”和“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

看门狗定时器控制码寄存器

WDCDR (0x0FD5)	7	6	5	4	3	2	1	0
位符号	WDTCR2							
读/写	W							
复位后	0	0	0	0	0	0	0	0

WDTCR2	写入看门狗定时器控制码	0x4E: 清空码·清除看门狗定时器 0xB1: 禁止码·当 WDCTR<WDTEN>为“0”时·禁止看门狗定时器操作同时清除 8 位上数计数器 其他: 无效
--------	-------------	---

8位上数计数器监控

WDCNT (0x0FD6)	7	6	5	4	3	2	1	0
位符号	WDCNT							
读/写	R							
复位后	0	0	0	0	0	0	0	0

WDCNT	监控 8 位上数计数器监控数值	读取 8 位上数计数器数值
-------	-----------------	---------------

注：WDCNT 寄存器仅适用于看门狗定时器 (WDT)。

看门狗定时器状态

WDST (0x0FD7)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	WINTST2	WINTST1	WDTST
读/写	R	R	R	R	R	R	R	R
复位后	0	1	0	1	1	0	0	1

WINTST2	看门狗定时器中断要求信号因素状态 2	0: 无看门狗定时器中断要求信号产生 1: 有看门狗定时器中断要求信号产生·原因为 8 位上数计数器发生溢位
WINTST1	看门狗定时器中断要求信号因素状态 1	0: 无看门狗定时器中断要求信号产生 1: 有看门狗定时器中断要求信号产生·原因为清空时间外的 8 位上数计数器释放
WDTST	看门狗定时器操作状态	0: 操作禁止 1: 操作允许

注 1：藉由读取 WDST 将 WDST<WINTST2>和 WDST<WINTST1>清除为“0”。

注 2：复位后的数值可由 WDST 的第 7 位到第 3 位读出。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.1.3 看门狗定时器功能

藉由检测 8 位上数计数器的溢位以及在清空时间之外的 8 位上数计数器释放，看门狗定时器可检测中央处理器 CPU 的故障和死循环。

藉由随机读取 8 位上数计数器的计数值并和上一次读取数值比较，可检测看门狗定时器的停止与其他异常状态。

10.1.3.1 看门狗定时器操作的允许/禁止设定

设定 WDCTR<WDTEN>为“1”可允许看门狗定时器的操作，8 位上数计数器会开始进行源时钟的计数。

在系统复位及唤醒操作完成后，WDCTR<WDTEN>会被初始设定为“1”。此时看门狗定时器被启动。

若要禁止看门狗定时器操作，将 WDCTR<WDTEN>清除为“0”并将 0xB1 写入看门狗定时器控制码寄存器 WDCDR。要禁止看门狗定时器操作，将 8 位上数计数器清除为“0”。

注：在 WDCTR<WDTEN>为“1”的情况下，若将禁止码 0xB1 写入 WDCDR 的同时发生 8 位上数计数器的溢位，看门狗定时器操作会优先被禁止，而不会执行溢位检测。

要重新允许看门狗定时器操作，设定 WDCTR<WDTEN>为“1”即可。不需写入控制码进 WDCDR 寄存器。

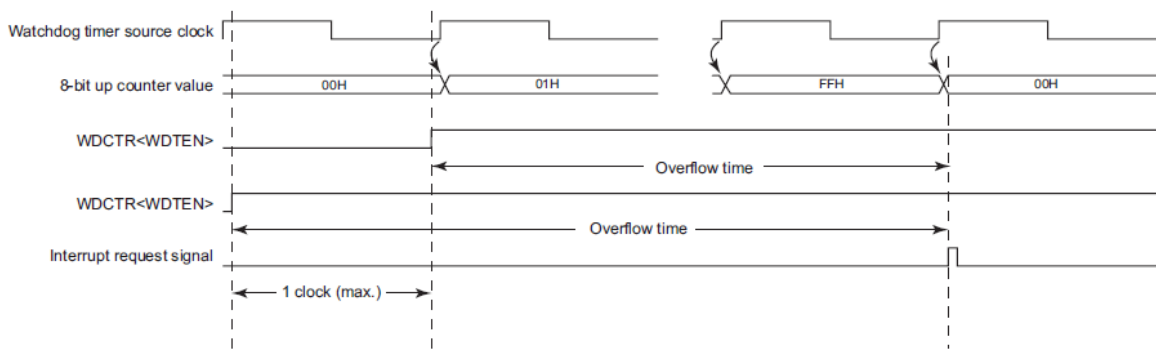


图 10.2 WDCTR<WDTEN>设定时序和溢位时间

注：8 位上数计数器的源时钟的工作和 WDCTR<WDTEN>并不同步。因此，8 位上数计数器在 WDCTR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.1.3.2 设定 8 位上数计数器清空时间

用 WDCTR<WDTW>寄存器设定 8 位上数计数器的清空时间。

WDCTR<WDTW>设定为"00"时，清空时间等同于 8 位上数计数器的溢位时间，可于任意时间进行 8 位上数计数器的清除。

WDCTR<WDTW>设定不为"00"时，清空时间被定在 8 位上数计数器溢位时间内的某特定时段。在清空时间外进行 8 位上数计数器的操作释放，会产生看门狗定时器中断要求信号。

此时，看门狗定时器不会被清空而是继续计数。若 8 位上数计数器没有在清空时间内被清空，依据 WDCTR<WDTOUT>的设定，计数器发生溢位时会产生看门狗定时器复位要求信号或是看门狗定时器中断要求信号。

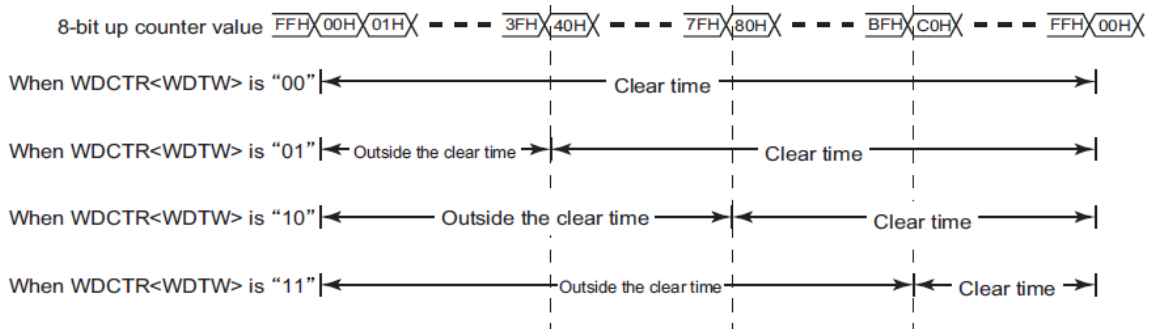


图 10.3 WDCTR<WDTW>与 8 位上数计数器清空时间

10.1.3.3 设定 8 位上数计数器溢位时间

用 WDCTR<WDTT>寄存器设定 8 位上数计数器的溢位时间。

8 位上数计数器发生溢位时，依据 WDCTR<WDTOUT>的设定，会产生看门狗定时器复位要求信号或看门狗定时器中断要求信号。

若选择看门狗定时器中断要求信号为故障检测信号，看门狗定时器不会停止计数，甚至在发生溢位后仍继续。

在停止模式(包括唤醒)中或空闲/睡眠模式中，看门狗定时器会暂时停止计数，并且在系统脱离停止/空闲/睡眠模式后继续计数。为避免 8 位上数计数器在系统脱离停止/空闲/睡眠模式后发生即刻溢位的状况，建议在进行工作模式切换前，先清空 8 位上数计数器。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

WDTT	Watchdog timer overflow time [s]		
	NORMAL mode		SLOW mode
	DV9CK = 0	DV9CK = 1	
00	32.77 m	62.50 m	62.50 m
01	131.1 m	250.0 m	250.0 m
10	524.3 m	1.000	1.000
11	2.097	4.000	4.000

表 10.1 看门狗定时器溢位时间 (以 $f_{cgck} = 8\text{MHz}$; $f_s = 32.768\text{KHz}$ 为范例)

注: 8 位上数计数器的源时钟的工作和 $WDCTR<WDTEN>$ 并不同步。因此, 8 位上数计数器在 $WDCTR<WDTEN>$ 设定为“1”之后第一次的溢位时间, 可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器, 必须在溢位时间减去一个源时钟周期的时间内进行。

10.1.3.4 设定 8 位上数计数器溢位检测信号

用 $WDCTR<WDTOUT>$ 选择 8 位上数计数器的溢位被检测到后所产生的信号种类。

(a) 选择看门狗定时器中断要求信号($WDCTR<WDTOUT>$ 为“0”)

$WDCTR<WDTOUT>$ 为“0”时, 8 位上数计数器发生溢位时会产生看门狗定时器中断要求信号。

看门狗定时器中断属于非屏蔽中断, 不管中断主允许标帜 IMF 的设定为何, 系统都会接受看门狗定时器中断要求。

注: 看门狗定时器中断产生时, 另一个中断(包括另一个看门狗定时器中断)如果已先被系统接受, 系统会接受新的看门狗定时器中断并保留先前的中断。若看门狗定时器中断在没有执行 $RETN$ 指令的情况下连续产生, 单片机可能会因多层的中断交错发生故障。

(b) 选择看门狗定时器复位要求信号($WDCTR<WDTOUT>$ 为“1”)

设定 $WDCTR<WDTOUT>$ 为“1”时, 8 位上数计数器发生溢位时会产生看门狗定时器复位要求信号。

看门狗定时器复位要求信号会引起系统复位与后续的唤醒操作。

10.1.3.5 写入看门狗定时器控制码

将看门狗定时器控制码写入看门狗定时器控制码寄存器 $WDCDR$ 。

于 $WDCDR$ 写入清空码 $0x4E$, 则 8 位上数计数器会被清除为“0”并继续源时钟的计数。

$WDCTR<WDTEN>$ 为“0”时, 于 $WDCDR$ 写入禁止码 $0xB1$, 会禁止看门狗定时器的操作。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

为避免 8 位上数计数器发生溢位现象，在短于 8 位上数计数器溢位时间也同时是清空时间的时段内，清空 8 位上数计数器。

藉由设计不会发生计数器溢位的程序，程序的故障及死循环可藉由看门狗定时器中断要求信号所引起的中断进行检测。

利用看门狗定时器复位要求信号进行单片机的复位，可以在发生故障和死循环后使 CPU 恢复正常操作。

10.1.3.6 读取 8 位上数计数器

读取 WDCNT 可读出 8 位上数计数器的计数数值。

藉由随机读取 8 位上数计数器的计数值并和上一次读取数值比较，可检测看门狗定时器的停止与其他异常状态。

10.1.3.7 读取看门狗定时器状态

读取 WDST 可了解看门狗定时器状态。

允许看门狗定时器操作时，WDST<WDTST>读取值为“1”。禁止看门狗定时器操作时，WDST<WDTST>读取值为“0”。

8 位上数计数器发生溢位并产生看门狗定时器中断要求信号时，WDST<WINTST2>读取值为“1”。8 位上数计数器在清空时间外的释放产生看门狗定时器中断要求信号时，WDST<WINTST1>读取值为“1”。

在看门狗定时器中断服务程序中读取 WDST<WINTST2>和 WDST<WINTST1>，可了解引起看门狗定时器中断要求信号的因素。

读取 WDST 时，WDST<WINTST2>和 WDST<WINTST1>会被清空为“0”。如果 WDST<WINTST2>或 WDST<WINTST1>因条件吻合要转变成“1”的同时进行 WDST 的读取，WDST<WINTST2>或 WDST<WINTST1>会被设定为“1”，而不是被清空为“0”。

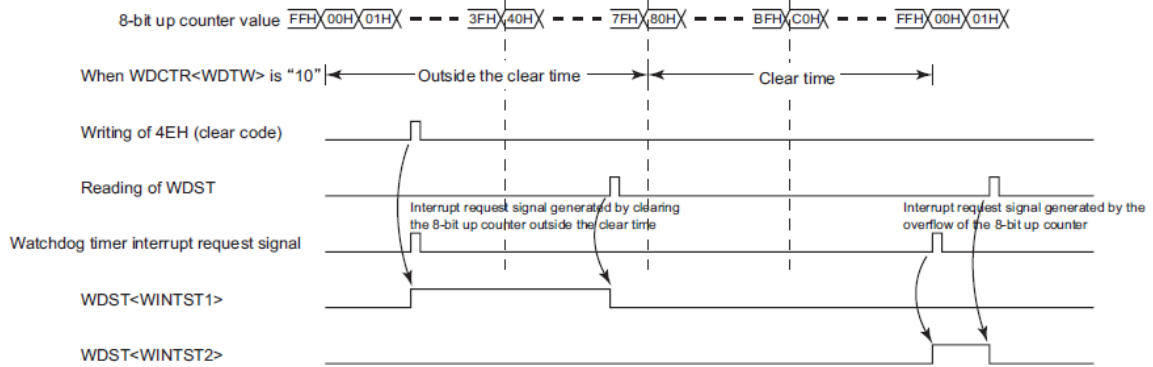


图 10.4 看门狗定时器状态

10.2 分频器输出(DVOB)

分频器输出电路可输出约 50%占空比的脉冲，可用于驱动压电式蜂鸣器或其他硬件。

10.2.1 分频器输出架构

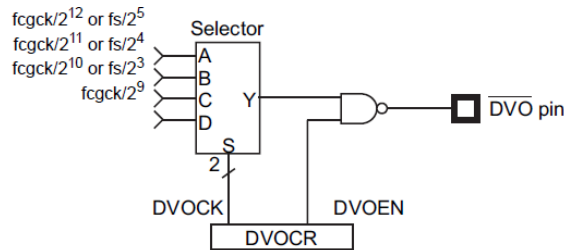


图 10.5 分频器输出架构

10.2.2 分频器输出控制

分频器输出是由分频器输出控制寄存器 DVOCR 所控制。

分频器输出控制寄存器

DVOCR (0x0038)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	DVOEN	DVOCK	
读/写	R	R	R	R	R	R/W	R/W	
复位后	0	0	0	0	0	0	0	0

DVOEN	允许/禁止分频器输出	0: 禁止 1: 允许			
DVOCK	选择分频器输出频率 单位: [Hz]	普通 1/2 · 空闲 1/2 模式		低速 1/2 模式	
			DV9CK=0	DV9CK=1	睡眠 1/2 模式
		00:	$fcgck/2^{12}$	$fs/2^5$	$fs/2^5$
		01:	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$
		10:	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$
11:	$fcgck/2^9$	系统保留	系统保留		

注 1 : $fcgck$ · 齿轮时钟[Hz] · fs · 低速时钟[Hz]。

注 2 : 系统切换至停止或空闲 0/睡眠 0 工作模式时， $DVOCR<DVOEN>$ 会被清空为“0”。 $DVOCR<DVOCK>$ 设定不变。

注 3 : 在普通 1/2 或空闲 1/2 工作模式下，若 $SYSCR1<DV9CK>$ 为“1”，DVO 频率会因为 fs 和 $fcgck$ 的同步而有些许振荡。

注 4 : $DVOCR$ 的第 7 位到第 3 位读出数值为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.2.3 分频器输出功能

设定 DVOCR<DVOCK>寄存器以选择分频器输出频率。

设定 DVOCR<DVOEN>为“1”以允许分频器输出。之后，由 DVOCR<DVOCK>所选择的方波信号会从 DVOB 引脚输出。

清除 DVOCR<DVOEN>为“0”以禁止分频器输出，同时保持 DVOB 引脚为高电平。

系统切换至停止或空闲 0/睡眠 0 模式时，DVOCR<DVOEN>被清除为“0”，同时保持 DVOB 引脚为高电平。

不论 DVOCR<DVOEN>设定为何，分频器输出源时钟维持工作。

因此，在设定 DVOCR<DVOEN>为“1”后，第一次分频器输出的频率不是 DVOCR<DVOCK>设定的频率。

系统切换至停止或空闲 0/睡眠 0 模式时，DVOCR<DVOEN>被清除为“0”，分频器输出频率不是 DVOCR<DVOCK>设定的频率。

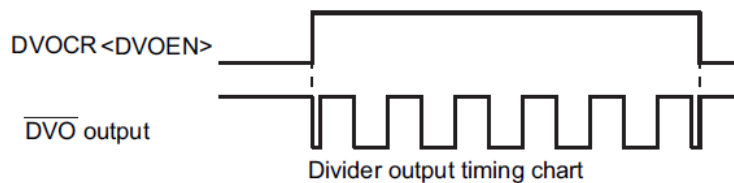


图 10.6 分频器输出时序

系统在普通模式和低速模式之间切换时，由于齿轮时钟 f_{cgck} 和低速时钟 f_s 之间的同步，分频器输出频率无法达到预期的数值。

DVOCK	Divider output frequency [Hz]		
	NORMAL 1/2, IDLE 1/2 mode		SLOW1/2, SLEEP1/2 mode
	DV9CK = 0	DV9CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	Reserved	Reserved

表 10.2 分频器输出频率

(范例: f_{cgck}=8.0MHz, f_s=32.768kHz)

10.3 时基定时器(TBT)

时基定时器 TBT 产生按键扫描，动态显示及其他处理所需的时基。时基定时器同时提供时基定时器中断 INTTBT。

10.3.1 时基定时器架构

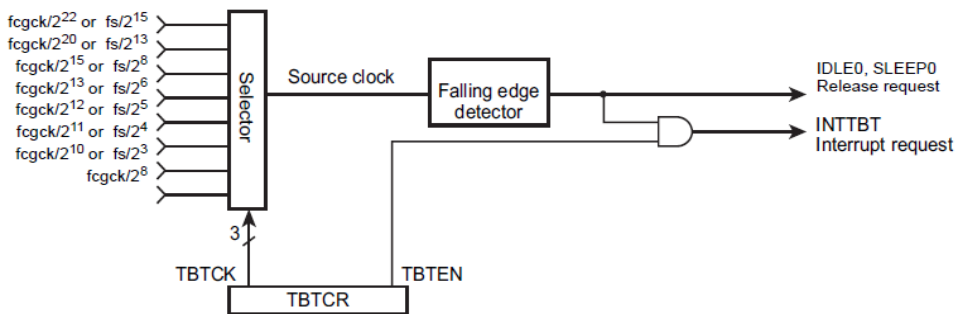


图 10.7 时基定时器架构

10.3.2 时基定时器控制

时基定时器由时基定时器控制寄存器 TBTCR 所控制。

时基定时器控制寄存器

TBTCR (0x0039)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	TBTEN	TBTC		
读/写	R	R	R	R	R/W	R/W		
复位后	0	0	0	0	0	0	0	0

TBTEN	允许/禁止时基定时器中断要求	0: 禁止 1: 允许			
TBTC	选择时基定时器中断频率 单位: Hz	普通 1/2 · 空闲 1/2 模式		低速 1/2 模式	
			DV9CK=0	DV9CK=1	睡眠 1/2 模式
		000:	$fcgck/2^{22}$	$fs/2^{15}$	$fs/2^{15}$
		001:	$fcgck/2^{20}$	$fs/2^{13}$	$fs/2^{13}$
		010:	$fcgck/2^{15}$	$fs/2^8$	系统保留
		011:	$fcgck/2^{13}$	$fs/2^6$	系统保留
		100:	$fcgck/2^{12}$	$fs/2^5$	系统保留
		101:	$fcgck/2^{11}$	$fs/2^4$	系统保留
		110:	$fcgck/2^{10}$	$fs/2^3$	系统保留
111:	$fcgck/2^8$	系统保留	系统保留		

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 1 : $fcgck \cdot \text{齿轮时钟[Hz]} \cdot fs \cdot \text{低速时钟[Hz]}$ 。

注 2 : 系统切换至停止模式时, $TBTCR<TBTEN>$ 会被清空为“0”, $TBTCR<TBTCCK>$ 设定不变。

注 3 : $TBTCR<TBTEN>$ 为“0”时, 必须设定 $TBTCR<TBTCCK>$ 。

注 4 : 在普通 1/2 或空闲 1/2 工作模式下, 若 $SYSCR1<DV9CK>$ 为“1”, 中断要求会因为 fs 和 $fcgck$ 的同步而有些许振荡。

注 5 : $TBTCR$ 的第 7 位到第 4 位读出数值为“0”。

10.3.3 时基定时器功能

设定 $TBTCR<TBTCCK>$ 以选择时基定时器的源时钟频率。改变 $TBTCR<TBTCCK>$ 的设定, 必须在 $TBTCR<TBTEN>$ 为“0”的情况下, 否则时基定时器中断 $INTTBT$ 要求的发生时序会不合预期。

设定 $TBTCR<TBTEN>$ 为“1”时, 中断要求信号会在原时钟的下降沿产生。清空 $TBTCR<TBTEN>$ 为“0”则不会产生任何中断要求信号。

系统切换至停止模式时, $TBTCR<TBTEN>$ 会被清空为“0”。

不论 $TBTCR<TBTEN>$ 设定为何, 时基定时器的源时钟维持工作。

允许时基定时器中断要求后, 在源时钟的第一个下降沿会产生一个时基定时器中断 $INTTBT$ 。因此, 设定 $TBTCR<TBTEN>$ 为“1”到第一个中断要求发生之间的时间, 会比 $TBTCR<TBTCCK>$ 设定的频率周期要短。

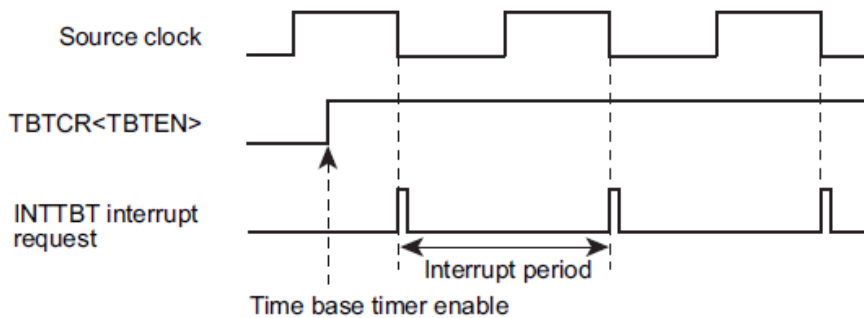


图 10.8 时基定时器中断

系统在普通模式和低速模式之间切换时, 由于齿轮时钟 $fcgck$ 和低速时钟 fs 之间的同步, 中断要求无法在预期的时间点发生。建议在 $TBTCR<TBTEN>$ 设定为“0”时进行进行系统工作模式的转换。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

TBTCK	Time base timer interrupt frequency [Hz]		
	NORMAL1/2, IDLE1/2 mode	NORMAL1/2, IDLE1/2 mode	SLOW1/2, SLEEP1/2 mode
	DV9CK = 0	DV9CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	Reserved
011	976.56	512	Reserved
100	1953.13	1024	Reserved
101	3906.25	2048	Reserved
110	7812.5	4096	Reserved
111	31250	Reserved	Reserved

表 10.3 时基定时器中断频率
(范例: fcgck=8.0MHz · fs=32.768kHz)

10.4 实时时钟(RTC)

实时时钟可利用低速时钟依特定间隔产生中断要求。

藉由软件计算中断产生的次数，可实现时钟功能。除了睡眠 0 模式外，实时时钟只能用于有低速时钟工作的工作模式下。

10.4.1 实时时钟架构

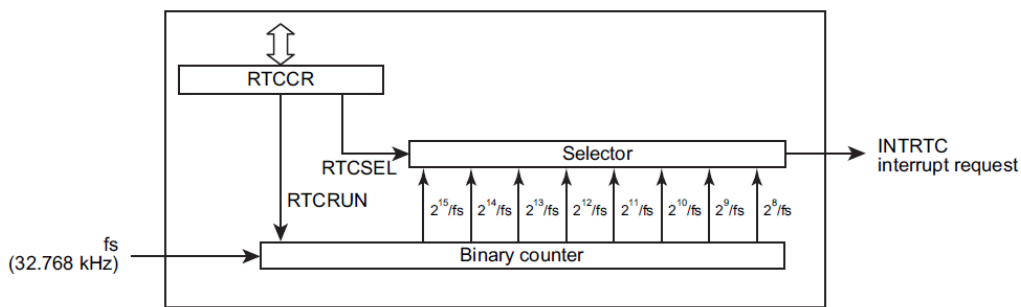


图 10.9 实时时钟架构

10.4.2 实时时钟控制

实时时钟是由以下寄存器控制。

低功耗寄存器 2

POFFCR2 (0x0F76)	7	6	5	4	3	2	1	0
位符号	-	-	RTCEN	-	-	-	-	SIO0EN
读/写	R/W	R	R/W	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

RTCEN	RTC 允许控制	0: 禁止 1: 允许
SIO0EN	SIO0 允许控制	0: 禁止 1: 允许

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

实时时钟控制寄存器

RTCCR (0x0FC8)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	RTCSEL			RTCRUN
读/写	R	R	R	R	R/W			R/W
复位后	0	0	0	0	0	0	0	0

RTCSEL	选择中断产生间隔	000: $2^{15}/fs(1.000[s]@fs=32.768kHz)$ 001: $2^{14}/fs(0.500[s]@fs=32.768kHz)$ 010: $2^{13}/fs(0.250[s]@fs=32.768kHz)$ 011: $2^{12}/fs(125.0[ms]@fs=32.768kHz)$ 100: $2^{11}/fs(62.50[ms]@fs=32.768kHz)$ 101: $2^{10}/fs(31.25[ms]@fs=32.768kHz)$ 110: $2^9/fs(15.62[ms]@fs=32.768kHz)$ 111: $2^8/fs(7.81[ms]@fs=32.768kHz)$
RTCRUN	允许/禁止实时时钟工作	0: 禁止 1: 允许

注 1 : fs: 低速时钟[Hz]。

注 2 : 只有在 RTCCR<RTCRUN>设定为“0”时，才可重复写入 RTCCR<RTCSEL>。如果在 RTCCR<RTCRUN>为“1”时再次设定 RTCCR<RTCSEL>，则原有设定依旧维持。启动实时时钟时可同时进行 RTCCR<RTCSEL>的设定，但停止实时时钟时无法同时进行 RTCCR<RTCSEL>的设定。

注 3 : 若允许实时时钟工作时，1) SYSCR2<XTEN>被清除为“0”造成低速时钟停止工作，或 2) 工作模式切换成停止模式或睡眠 0 模式，则 RTCCR<RTCSEL>设定值维持不变，RTCCR<RTCRUN>被清除为“0”。

10.4.3 实时时钟功能

10.4.3.1 低功耗功能

设定低功耗寄存器 POFFCR2 可在不使用实时时钟时节省系统耗电。设定 POFFCR2<RTCEN>为“0”可停止提供实时时钟工作所需的基本时钟并节省耗电。设定 POFFCR2<RTCEN>“1”则会允许提供实时时钟工作所需的基本时钟，允许实时时钟工作。

系统复位后，POFFCR2<RTCEN>会回复为初始设定值“0”，并使实时时钟工作停止。第一次使用实时时钟前，必须在程序初始设定中，设定 POFFCR2<RTCEN>为“1”(在实时时钟控制寄存器开始工作前)。

实时时钟工作时，不要改变 POFFCR2<RTCEN>寄存器的设定为“0”，否则实时时钟的操作可能会不合预期。

10.4.3.2 允许/禁止实时时钟工作

设定 RTCCR<RTCRUN>为"1"以允许实时时钟工作。设定 RTCCR<RTCRUN>为"0"以禁止实时时钟工作。在系统复位释放后，RTCCR<RTCRUN>会被清除为"0"。

10.4.3.3 选择中断产生间隔

设定 RTCCR<RTCSEL>选择中断产生间隔。只有在 RTCCR<RTCRUN>为"0"时才可重新设定 RTCCR<RTCSEL>。在 RTCCR<RTCRUN>为"1"时，就算改变 RTCCR<RTCSEL>的设置，原本的设置依旧有效。

启动实时时钟工作的同时，可重新设定 RTCCR<RTCSEL>。不过，在停止实时时钟工作的同时，无法重新设定 RTCCR<RTCSEL>。

10.4.4 实时时钟工作

10.4.4.1 允许实时时钟工作

于 RTCCR<RTCSEL>寄存器设定中断产生间隔，并同时设定 RTCCR<RTCRUN>为"1"。设定 RTCCR<RTCRUN>为"1"时，实时时钟的二进制计数器开始依低速时钟计数。计数数值达到 RTCCR<RTCSEL>所设定的中断产生间隔时，会产生实时时钟中断要求 INTRTC，而计数器会继续往上计数。

10.4.4.2 禁止实时时钟工作

将 RTCCR<RTCRUN>清除为"0"。RTCCR<RTCRUN>被清除为"0"时，实时时钟的二进制计数器也会被清除为"0"，同时停止低速时钟的计数。

10.5 8 位定时器计数器(TC0)

MQ6823 单片机具备 2 个高效能 8 位定时器计数器 TC00、TC01。每个定时器可用于时间测量和指定脉宽的脉冲输出。2 个 8 位定时器计数器可组合设定为 1 个 16 位定时器。

	16位模式	T0xREG (地址)	T0xPWM (地址)	T0xMOD (地址)	T0xxCR (地址)	低功耗寄存器
定时器计数器00	低8位	T00REG (0x0026)	T00PWM (0x0028)	T00MOD (0x002A)	T001CR (0x002C)	POFFCR0 <TC001EN>
定时器计数器01	高8位	T01REG (0x0027)	T01PWM (0x0029)	T01MOD (0x002B)		

表 10.4 SFR 地址

	定时器输入引脚	脉宽调制 PWM 输出引脚	脉宽调制 PWM 输出引脚
定时器计数器00	TC00	PWM00B	PPG00B
定时器计数器01	TC01	PWM01B	PPG01B

表 10.5 引脚名称

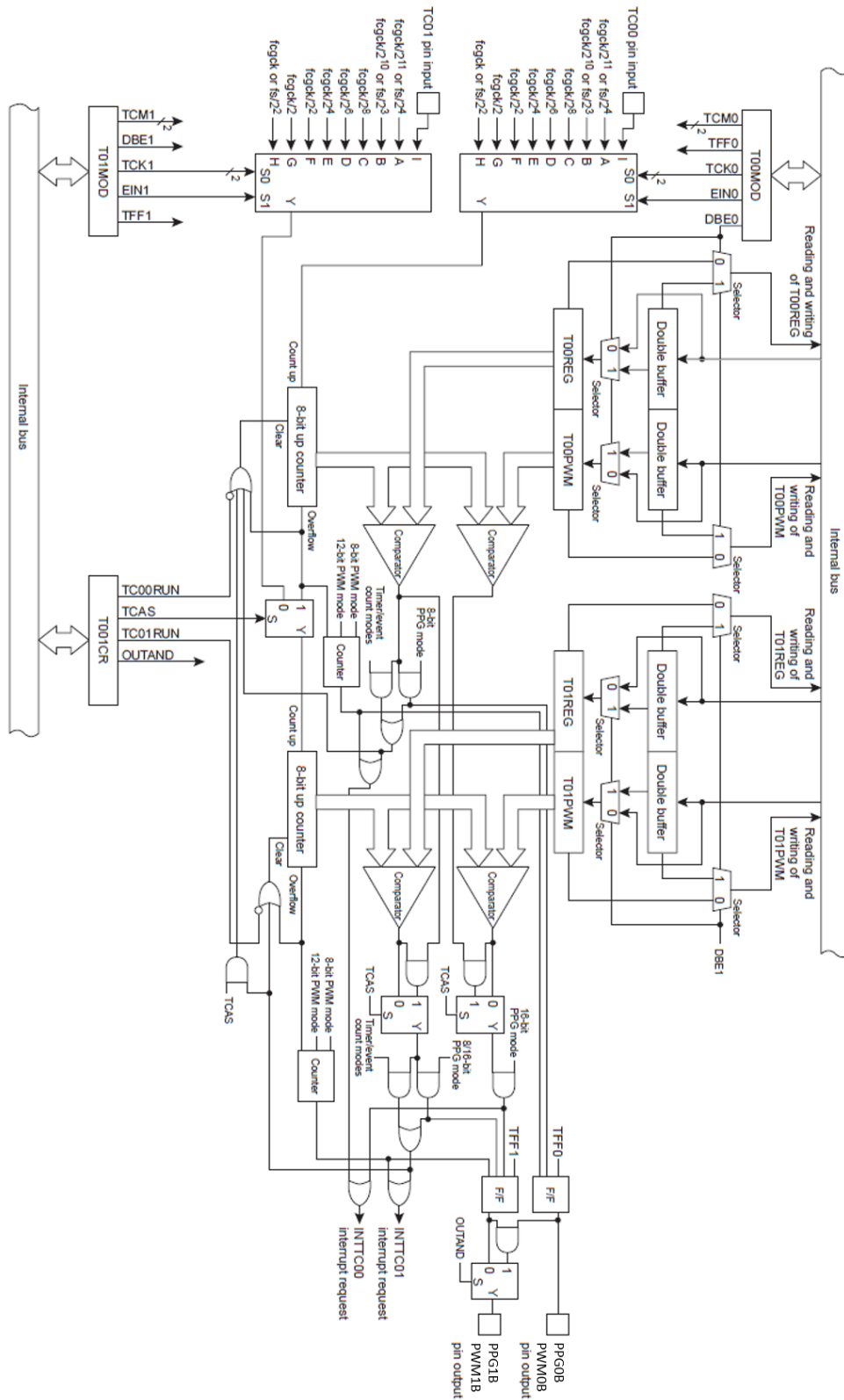


图 10.10 8 位定时器计数器

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.5.1 8 位定时器计数器控制

10.5.1.1 定时器计数器 00

定时器计数器 00 是由定时器计数器 00 模式寄存器 T00MOD 和 2 个 8 位定时器寄存器 T00REG 与 T00PWM 控制。

定时器寄存器00

T00REG (0x0026)	15	14	13	12	11	10	9	8
位符号	T00REG							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器寄存器00

T00PWM (0x0028)	7	6	5	4	3	2	1	0
位符号	T00PWM							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注: 关于 T00PWM 在 8 位和 12 位脉宽调制 PWM 模式的架构, 参考“10.5.3.3 8 位脉宽调制 PWM 输出模式”和“10.5.3.7 12 位脉宽调制 PWM 输出模式”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器计数器00模式寄存器

T00MOD (0x002A)	7	6	5	4	3	2	1	0
位符号	TFF0	DBE0	TCK0			EINO	TCM0	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	0	0	0	0	0	0

TFF0	定时器 F/F0 控制	0: 清除 1: 设定					
DBE0	双缓冲寄存器 控制	0: 禁止双缓冲寄存器 1: 允许双缓冲寄存器					
TCK0	工作时钟选择			普通 1/2 · 空闲 1/2 模式		低速 1/2 模式 睡眠 1 模式	
			SYSCR1 <DV9CK>=0	SYSCR1 <DV9CK>=1			
		000:	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$		
		001:	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$		
		010:	$fcgck/2^8$	$fcgck/2^8$	-		
		011:	$fcgck/2^6$	$fcgck/2^6$	-		
		100:	$fcgck/2^4$	$fcgck/2^4$	-		
		101:	$fcgck/2^2$	$fcgck/2^2$	-		
110:	$fcgck/2$	$fcgck/2$	-				
111:	$fcgck$	$fcgck$	$fs/2^2$				
EINO	源时钟选择	0: 选择内部时钟作为源时钟 1: 选择外部时钟作为源时钟(TC00 引脚的下降沿)					
TCM0	工作模式选择	00:	8 位定时器/事件计数器模式				
		01:	8 位定时器/事件计数器模式				
		10:	8 位脉宽调制 PWM 输出模式				
		11:	8 位可编程脉冲产生 PPG 模式				

注 1 : $fcgck$ · 齿轮时钟[Hz] · fs · 低速时钟[Hz]。

注 2 : 在定时器停止时才设定 T00MOD。定时器工作时设定 T00MOD 寄存器是无效的。

注 3 : 在 8 位定时器/事件计数器模式下，TFF0 设定无效；若 PWM00B 和 PPG00B 引脚被设定为功能输出引脚，该二引脚的输出为高电平。

注 4 : 设定 EINO 为“1”以选择外部时钟输入作为源时钟时，TCK0 的设定将被忽略。

注 5 : T001CR<TCAS>为“1”时，定时器 00 工作在 16 位模式下。此时 T00MOD 设定无效，无法在此模式下单独使用定时器 00。若 PWM00B 和 PPG00B 引脚被设定为功能输出引脚，该二引脚的输出为高电平。

注 6 : 以 T001CR<TCAS>选择 16 位模式时，设定 T001CR<T01RUN>寄存器以控制定时器的启动，此时写入 T001CR<T00RUN>并不会启动定时器 00。

10.5.1.2 定时器计数器 01

定时器计数器 01 是由定时器计数器 01 模式寄存器 T01MOD 和 2 个 8 位定时器寄存器 T01REG 与 T01PWM 控制。

定时器寄存器01

T01REG (0x0027)	15	14	13	12	11	10	9	8
位符号	T01REG							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器寄存器01

T01PWM (0x0029)	7	6	5	4	3	2	1	0
位符号	T01PWM							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注：关于 T01PWM 在 8 位和 12 位脉宽调制 PWM 模式的架构，参考“10.5.3.3 8 位脉宽调制 PWM 输出模式”和“10.5.3.7 12 位脉宽调制 PWM 输出模式”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器计数器01模式寄存器

T01MOD (0x002B)	7	6	5	4	3	2	1	0
位符号	TFF1	DBE1	TCK1			EIN1	TCM1	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	0	0	0	0	0	0

TFF1	定时器 F/F1 控制	0: 清除 1: 设定			
DBE1	双缓冲寄存器 控制	0: 禁止双缓冲寄存器 1: 允许双缓冲寄存器			
TCK1	工作时钟选择		普通 1/2 · 空闲 1/2 模式		低速 1/2 模式 睡眠 1 模式
			SYSCR1 <DV9CK>=0	SYSCR1 <DV9CK>=1	
		000:	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$
		001:	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$
		010:	$fcgck/2^8$	$fcgck/2^8$	-
		011:	$fcgck/2^6$	$fcgck/2^6$	-
		100:	$fcgck/2^4$	$fcgck/2^4$	-
		101:	$fcgck/2^2$	$fcgck/2^2$	-
		110:	$fcgck/2$	$fcgck/2$	-
111:	$fcgck$	$fcgck$	$fs/2^2$		
EIN1	源时钟选择	0: 选择内部时钟作为源时钟 1: 选择外部时钟作为源时钟(TC01 引脚的下降沿)			
TCM1	工作模式选择		T001CR <TCAS>="0" (8 位模式)	T001CR <TCAS>="1" (16 位模式)	
		00:	8 位定时器/事件计数器模式	16 位定时器/事件计数器模式	
		01:	8 位定时器/事件计数器模式	16 位定时器/事件计数器模式	
		10:	8 位脉宽调制 PWM 模式	12 位脉宽调制 PWM 模式	
		11:	8 位可编程脉冲产生 PPG 模式	16 位可编程脉冲产生 PPG 模式	

注 1 : $fcgck \cdot \text{齿轮时钟}[\text{Hz}] \cdot fs \cdot \text{低速时钟}[\text{Hz}]$ 。

注 2 : 在定时器停止时才设定 T01MOD。定时器工作时设定 T01MOD 寄存器是无效的。

注 3 : 在 8 位定时器/事件计数器模式下，TFF1 设定无效；若 PWM01B 和 PPG01B 引脚被设定为功能输出引脚，该二引脚的输出为高电平。

注 4 : 设定 EIN1 为“1”以选择外部时钟输入作为源时钟时，TCK1 的设定将被忽略。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.5.1.3 定时器计数器 00 与 01 共享寄存器

定时器计数器 00 和 01 共享低耗电寄存器 POFFCR0 与定时器 00/01 控制寄存器。

低耗电寄存器0

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
位符号	-	TCC1EN	-	TC001EN	-	-	TCA1EN	TCA0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCC1EN	TCC1 控制	0: 禁止 1: 允许
TC001EN	TC00,TC01 控制	0: 禁止 1: 允许
TCA1EN	TCA1 控制	0: 禁止 1: 允许
TCA0EN	TCA0s 控制	0: 禁止 1: 允许

定时器00/01控制寄存器

T001CR (0x002C)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	OUTAND	TCAS	T01RUN	T00RUN
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

OUTAND	定时器 00/01 输出控制	0: PWM00B 和 PPG00B 引脚输出来自定时器 00 · PWM01B 和 PPG01B 引脚输出来自定时器 01 1: PWM01B 和 PPG01B 输出来自定时器 00 和定时器 01 输出经过 AND 逻辑运算后的结果 · 而 PWM00B 和 PPG00B 引脚输出则仍来自定时器 00
TCAS	定时器 00/01 组合控制	0: 独立使用定时器 00 和定时器 01 (8 位模式) 1: 组合定时器 00 和 01 (16 位模式)
T01RUN	定时器 01 控制 定时器 00/01 控制(16 位模式)	0: 停止并清除定时器 1: 开始
T00RUN	定时器 00 控制	0: 停止并清除定时器 1: 开始

注 1: 系统切换至停止模式时, T00RUN 和 T01RUN 寄存器会被清空为“0”并停止定时器。系统脱离停止模式后, 需再次设定 T001CR 以使用定时器 00 和 01。

注 2: T001CR 寄存器的第 7 位到第 4 位读出数值为“0”。

注 3: OUTAND 设定为“1”时, 只有 PWM01B 和 PPG01B 引脚会有输出, PWM00B 和 PPG00B 引脚不会有定时器输出。若 PWM00B 和 PPG00B 引脚被设定为功能输出引脚, 这些引脚的输出维持在高电平。

注 4: 只有在 T01RUN 与 T00RUN 设定皆为“0”时, 才可改变 OUTAND 与 TCAS 的设定。若 T01RUN 或 T00RUN 其一为“1”或两者皆为“1”, 无法改变 OUTAND 与 TCAS 的设定。改变 T01RUN 和 T00RUN 设定从“0”到“1”时, 可以同时进行 OUTAND 和 TCAS 的设定改变。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.5.1.4 工作模式与可用源时钟

下表整理了 8 位定时器的工作模式与可用源时钟。

TCK0		000	001	010	011	100	101	110	111	TC0i pin input
Operation mode		fcgck/2 ¹¹ or fs/2 ⁴	fcgck/2 ¹⁰ or fs/2 ³	fcgck/2 ⁸	fcgck/2 ⁶	fcgck/2 ⁴	fcgck/2 ²	fcgck/2	fcgck	
8-bit timer modes	8-bit timer	0	0	0	0	0	0	0	0	-
	8-bit event counter	-	-	-	-	-	-	-	-	0
	8-bit PWM	0	0	0	0	0	0	0	0	-
	8-bit PPG	0	0	0	0	0	0	0	0	-
16-bit timer modes	16-bit timer	0	0	0	0	0	0	0	0	-
	16-bit event counter	-	-	-	-	-	-	-	-	0
	12-bit PWM	0	0	0	0	0	0	0	0	0
	16-bit PPG	0	0	0	0	0	0	0	0	0

表 10.6 工作模式与可用源时钟(普通 1/2 和空闲 1/2 模式)

注 1 : 0: 可用 · -: 不可用。

注 2 : 于 TC01 端进行 16 位模式中源时钟的设定。

注 3 : 低速时钟 fs 停止工作时 · 不可选 fs 为源时钟 · 否则定时器将无法工作并维持停止。

注 4 : i=0 · 1 · 在 16 位模式下 · i=0。

TCK0		000	001	010	011	100	101	110	111	TC0i pin input
Operation mode		fs/2 ⁴	fs/2 ³	-	-	-	-	-	fs/2 ²	
8-bit timer modes	8-bit timer	0	0	-	-	-	-	-	0	-
	8-bit event counter	-	-	-	-	-	-	-	-	0
	8-bit PWM	0	0	-	-	-	-	-	0	-
	8-bit PPG	0	0	-	-	-	-	-	0	-
16-bit timer modes	16-bit timer	0	0	-	-	-	-	-	0	-
	16-bit event counter	-	-	-	-	-	-	-	-	0
	12-bit PWM	0	0	-	-	-	-	-	0	0
	16-bit PPG	0	0	-	-	-	-	-	0	0

表 10.7 工作模式与可用源时钟(低速 1/2 和睡眠 1 模式)

注 1 : 0: 可用 · -: 不可用。

注 2 : 于 TC01 端进行 16 位模式中源时钟的设定。

注 3 : i=0 · 1 · 在 16 位模式下 · i=0。

10.5.2 低功耗功能

设定定时器计数器 00 和 01 的低耗电寄存器 POFFCR0<TC001EN>为“0”，在不需使用定时器时停止定时器计数器 00 和 01 的基本时钟供应，以节省系统耗电；此时定时器无法使用。设定 POFFCR0<TC001EN>为“1”可启动定时器计数器 00 和 01 的基本时钟供应，并启动定时器工作。

复位后，POFFCR0<TC001EN>会被回复至初始设定“0”，定时器的的工作停止。第一次使用定时器前，必须在程序初始设定中，设定 POFFCR0<TC001EN>为“1”（在定时器控制寄存器工作前）。

不要在定时器工作时改变 POFFCR0<TC001EN>的设定为“0”，否则定时器计数器 00 和 01 的工作可能会不合预期。

10.5.3 定时器功能

定时器计数器 TC00 和 TC01 在 8 位模式下可分别独立使用，或组合设定为 16 位模式。

8 位模式包括 4 种工作模式: 8 位定时器模式，8 位事件计数器模式，8 位脉宽调制 PWM 输出模式，以及 8 位可编程脉冲产生 PPG 输出模式。

16 位模式包括 4 种工作模式: 16 位定时器模式，16 位事件计数器模式，12 位脉宽调制 PWM 输出模式，以及 16 位可编程脉冲产生 PPG 输出模式。

10.5.3.1 8 位定时器模式

在 8 位定时器模式中，计数器会依内部时钟往上计数，并于特定的时间点规律地产生中断。TC00 的工作叙述如下，这些叙述也同样适用于 TC01（将 TC00 换成 TC01 即可）。

(a) 设定

设定 T00MOD<TCM0>为“00”或“01”，并设定 T001CR<TCAS>与 T00MOD<EIN0>为“0”，将 TC00 设置为 8 位定时器模式。设定 T00MOD<TCK0>选择源时钟。以定时器寄存器 T00REG 设定符合检测的 8 位计数数值。

设定 T00MOD<DBE0>为“1”以使用双缓冲寄存器。

设定 T001CR<T00RUN>为“1”以启动定时器工作。定时器启动后，T00MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 T001CR<T00RUN>为"1"，让 8 位计数器依选择的内部源时钟往上计数。当计数器数值达到 T00REG 的设定数值时，INTTC00 中断要求会被产生，计数器会被清空为"0x00"。清空后，计数器会再度开始计数。定时器工作时，若设定 T001CR<T00RUN>为"0"，计数器停止工作同时被清除为"0x00"。

(c) 双缓冲寄存器

设定 T00MOD<DBE0>让 T00REG 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T00MOD<DBE0>为"1"和"0"。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 T00REG 寄存器的新设定值写入，新设定值会先存储于双缓冲寄存器中，而不会立即改变 T00REG 的设定。T00REG 会比较计数器数值与原设定值。当计数器数值达到 T00REG 的原设定值时，INTTC00 中断要求会被产生，双缓冲寄存器存储的新设定值会被存入 T00REG。后续的定时器比对检测工作就会依新的设定值进行。

若于定时器停止时执行 T00REG 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 T00REG 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 T00REG 寄存器的新设定值写入，新设定值会直接改变 T00REG 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T00REG 的新设定值小于计数器数值，比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。

若 T00REG 的新设定值等于该值写入时的计数器数值，比对检测会在 T00REG 设定值写入后即刻执行。因此，中断要求间隔可能不会是源时钟的整数倍(图 10.11)。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 T00REG 寄存器的新设定值写入，新设定值会直接存储于 T00REG 寄存器内。

不管 T00MOD<DBE0>的设定为何，读取 T00REG 得到的数值都会是最近一次写入 T00REG 的设定值。

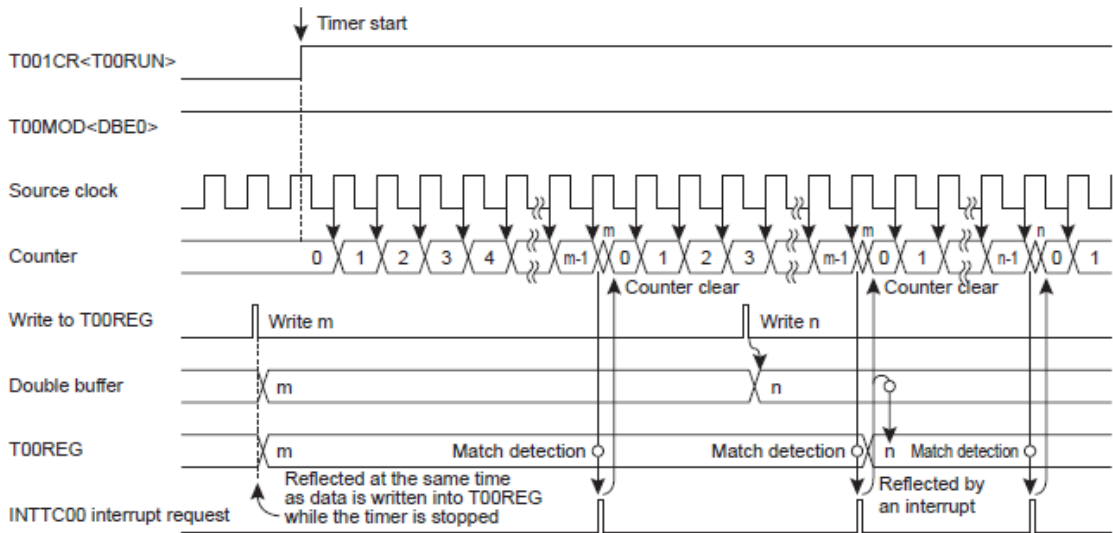
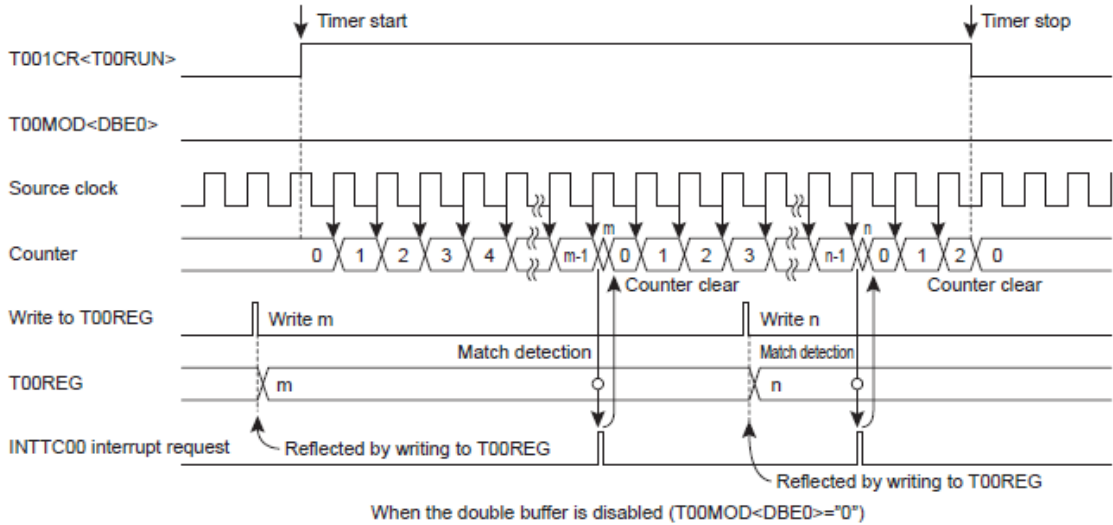


图 10.11 定时器模式时序图

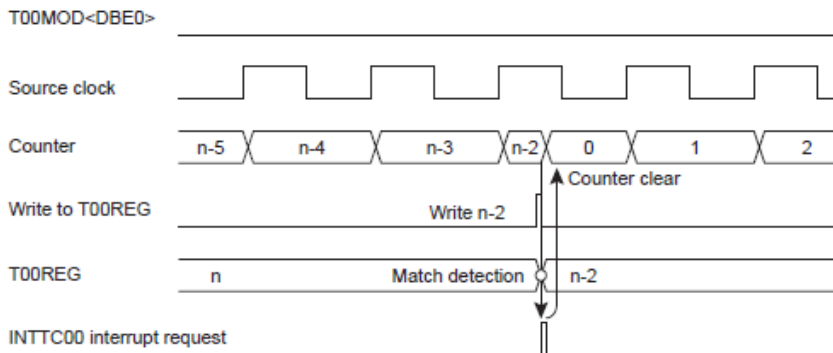


图 10.12 当 T00REG 设定值和计数器数值相同时的定时器工作

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

T00MOD <TCK0>	Source clock [Hz]			Resolution		Maximum time setting	
	NORMAL 1/2 or IDLE 1/2 mode		SLOW 1/2 or SLEEP1 mode	fcgck=8MHz	fs=32.768KHz	fcgck=8MHz	fs=32.768KHz
	SYSCR1<DV9CK>="0"	SYSCR1<DV9CK>="1"					
000	fcgck/2 ¹¹	fs/2 ⁴	fs/2 ⁴	256us	488.2us	65.2ms	124.5ms
001	fcgck/2 ¹⁰	fs/2 ³	fs/2 ³	128us	244.1us	32.6ms	62.3ms
010	fcgck/2 ⁸	fcgck/2 ⁸	-	32us	-	8.2ms	-
011	fcgck/2 ⁶	fcgck/2 ⁶	-	8us	-	2.0ms	-
100	fcgck/2 ⁴	fcgck/2 ⁴	-	2us	-	510us	-
101	fcgck/2 ²	fcgck/2 ²	-	500ns	-	127.5us	-
110	fcgck/2	fcgck/2	-	250ns	-	63.8us	-
111	fcgck	fcgck	fs/2 ²	125ns	122.1us	31.9us	31.1ms

表 10.8 8 位定时器模式分辨率与最长时间设定

10.5.3.2 8 位事件计数器模式

在 8 位计数器模式中，计数器会依 TC00 和 TC01 引脚的输入信号下降沿往上计数。TC00 的工作叙述如下，这些叙述也同样适用于 TC01 (将 TC00 换成 TC01 即可)。

(a) 设定

用定时器寄存器 T00REG 设定比对检测所需的 8 位计数数值。T00MOD<TCM0>为“00”，设定 T001CR<TCAS>为“0”，并设定 T00MOD<EIN0>为“1”，将 TC00 设置为 8 位事件计数器模式。设定 T00MOD<TCK0>选择源时钟，以定时器寄存器 T00REG 设定符合检测的 8 位计数数值。

设定 T00MOD<DBE0>为“1”以使用双缓冲寄存器。

设定 T001CR<T00RUN>为“1”以启动定时器工作。定时器启动后，T00MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

设定 T001CR<T00RUN>为“1”，让 8 位计数器依 TC00 引脚的下降沿往上计数。当计数器数值达到 T00REG 的设定数值时，INTTC00 中断要求会被产生，计数器会被清空为“0x00”。清空后，计数器会再度开始计数。定时器工作时，若设定 T001CR<T00RUN>为“0”，计数器停止工作同时被清除为“0x00”。

最高工作频率是 fcgck [Hz](普通 1/2 或空闲 1/2 模式)，或 fs/2²[Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

参考“10.5.3.1 - (c) 双缓冲寄存器”。

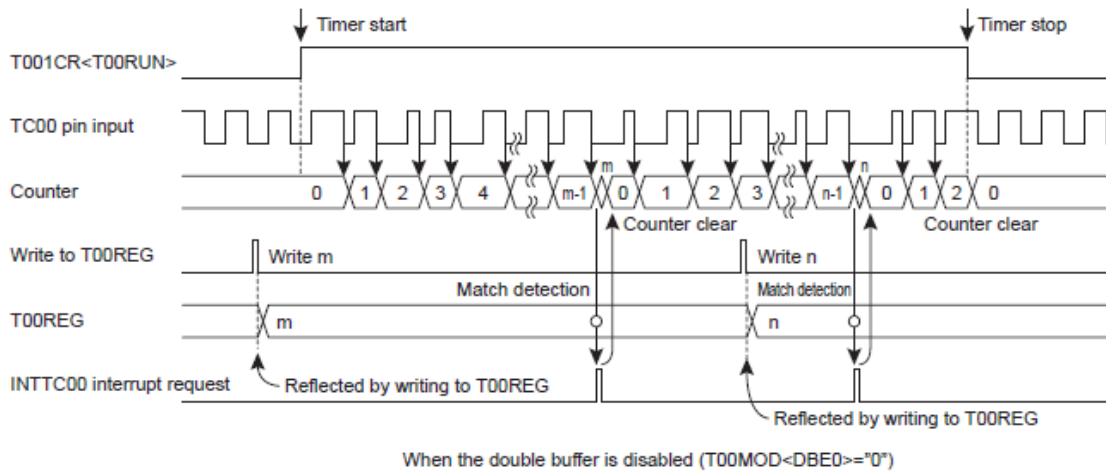


图 10.13 事件计数器模式时序图

10.5.3.3 8 位脉宽调制 PWM 输出模式

8 位脉宽调制 PWM 输出模式下，会输出分辨率达 7 位且经脉宽调制的脉冲。在第 $2 \times n$ 个责任脉冲后可再嵌入一个额外脉冲，如此脉宽调制 PWM 输出分辨率可接近 8 位。

TC00 的工作叙述如下，这些叙述也同样适用于 TC01 (将 TC00 换成 TC01 即可)。

(a) 设定

设定 T00MOD<TCM0>为“10”并设定 T001CR<TCAS>为“0”，可将 TC00 设定在 8 位脉宽调制 PWM 模式。若要使用内部时钟作源时钟，设定 T00MOD<EIN0>为“0”并设定 T00MOD<TCK0>寄存器。若要使用外部时钟作源时钟，设定 T00MOD<EIN0>为“1”。以 PWM 寄存器 T00PWM 设定符合检测的计数数值和额外脉冲数值。

设定 T00MOD<DBE0>为“1”以使用双缓冲寄存器。

设定 T001CR<T00RUN>为“1”以启动 PWM 输出工作。定时器启动后，T00MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

在 8 位 PWM 模式中，T00PWM 寄存器的设定方式如下：

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器寄存器00

T00PWM (0x0028)	7	6	5	4	3	2	1	0
位符号	PWMDUTY							PWMAD
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器寄存器01

T01PWM (0x0029)	7	6	5	4	3	2	1	0
位符号	PWMDUTY							PWMAD
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

7 位寄存器 PWMDUTY 用于设定一个周期(128 个源时钟计数)内的责任脉冲宽度(在第一次输出改变前的时间)。

PWMAD 寄存器用于设定额外脉冲。PWMAD 设定为“1”时，1 个源时钟计数的额外脉冲会被加在 $2 \times n$ 责任脉冲($n=1, 2, 3, \dots$)后。换句话说，第 $2 \times n$ 个责任脉冲为 PWMDUTY+1 输出。

若 PWMAD 设定为“0”，设定的责任脉冲后不会有额外脉冲。

于 T00MOD<TFF0>设定 PWM00B 引脚的初始状态。设定 T00MOD<TFF0>为“0”时，PWM00B 引脚的初始状态为低电平。设定 T00MOD<TFF0>为“1”时，PWM00B 引脚的初始状态为高电平。若于定时器停止工作时设定 PWM00B 引脚为功能输出引脚，PWM00B 引脚会输出 T00MOD<TFF0>的设定数值。表 10.9 所列为 PWM00B 引脚的输出电平。

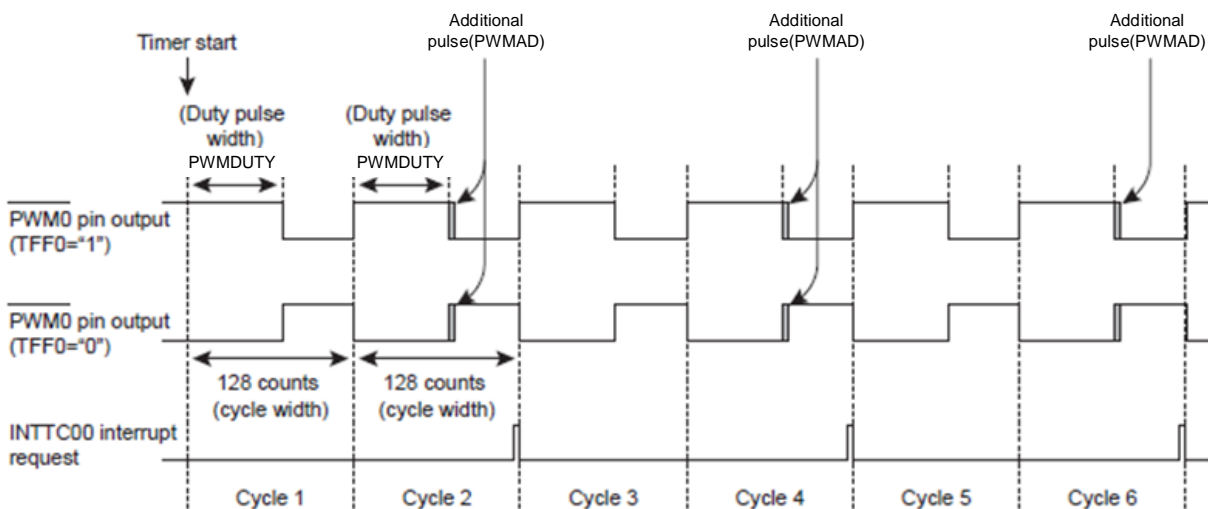


图 10.14 PWM00B 脉冲输出

TFF0	PWM0 pin output level			
	Before the start of operation (initial state)	T00PWM <PWMDUTY> matched (after the additional pulse)	Overflow	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.9 PWM00B 引脚输出电平表

设定 T001CR<OUTAND>为"1"时，PWM00B 引脚会输出 TC00 和 TC01 输出的逻辑乘积(AND) 脉冲。藉此功能，用户可轻易产生遥控波形信号。

(b) 工作

设定 T001CR<T00RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值的低 7 位达到 T00PWM<PWMDUTY>的设定数值，PWM00B 引脚的输出会反向。若 T00MOD<TFF0> 设定为"0"，PWM00B 引脚由低电平改变成高电平。若 T00MOD<TFF0>设定为"1"，PWM00B 引脚由高电平改变成低电平。

若 T00PWM<PWMAD>设定为"1"，1 个源时钟计数的额外脉冲会被加在 2 × n 责任脉冲(n=1，2，3...)后。换句话说，PWM00B 引脚输出会在 T00PWM<PWMDUTY>+1 的时点上反向。若 T00MOD<TFF0>设定为"0"，低电平的时段会比 T00PWM<PWMDUTY>设定的数值要长 1 个源时钟。若 T00MOD<TFF0>设定为"1"，高电平的时段会比 T00PWM<PWMDUTY>设定的数值要长 1 个源时钟。藉此功能，两个周期的输出脉冲可具备接近 8 位的分辨率。

T00PWM<PWMAD>设定为"0"时，设定的责任脉冲后不会有额外脉冲。而后，计数器继续往上计数。计数器数值达到 128 时，计数器会发生溢位并被清除为"0x00"，同时 PWM00B 引脚的输出反向。若 T00MOD<TFF0>设定为"0"，PWM00B 引脚从高电平改变成低电平。若 T00MOD<TFF0>设定为"1"，PWM00B 引脚从低电平变成高电平。如果第 2 × n 个溢位于此发生时，会产生 INTTC00 中断要求(第 2 × n-1 溢位不会产生中断要求)。其后计数器继续往上计数。

定时器工作时，若设定 T001CR<T00RUN>为"0"，计数器会停止工作并被清除为"0x00"。PWM00B 引脚恢复为 T00MOD<TFF0>设定的电平。

选择使用外部源时钟时，最高工作频率是 f_{cgck} [Hz] (普通 1/2 或空闲 1/2 模式) 或 f_s/2² [Hz] (低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

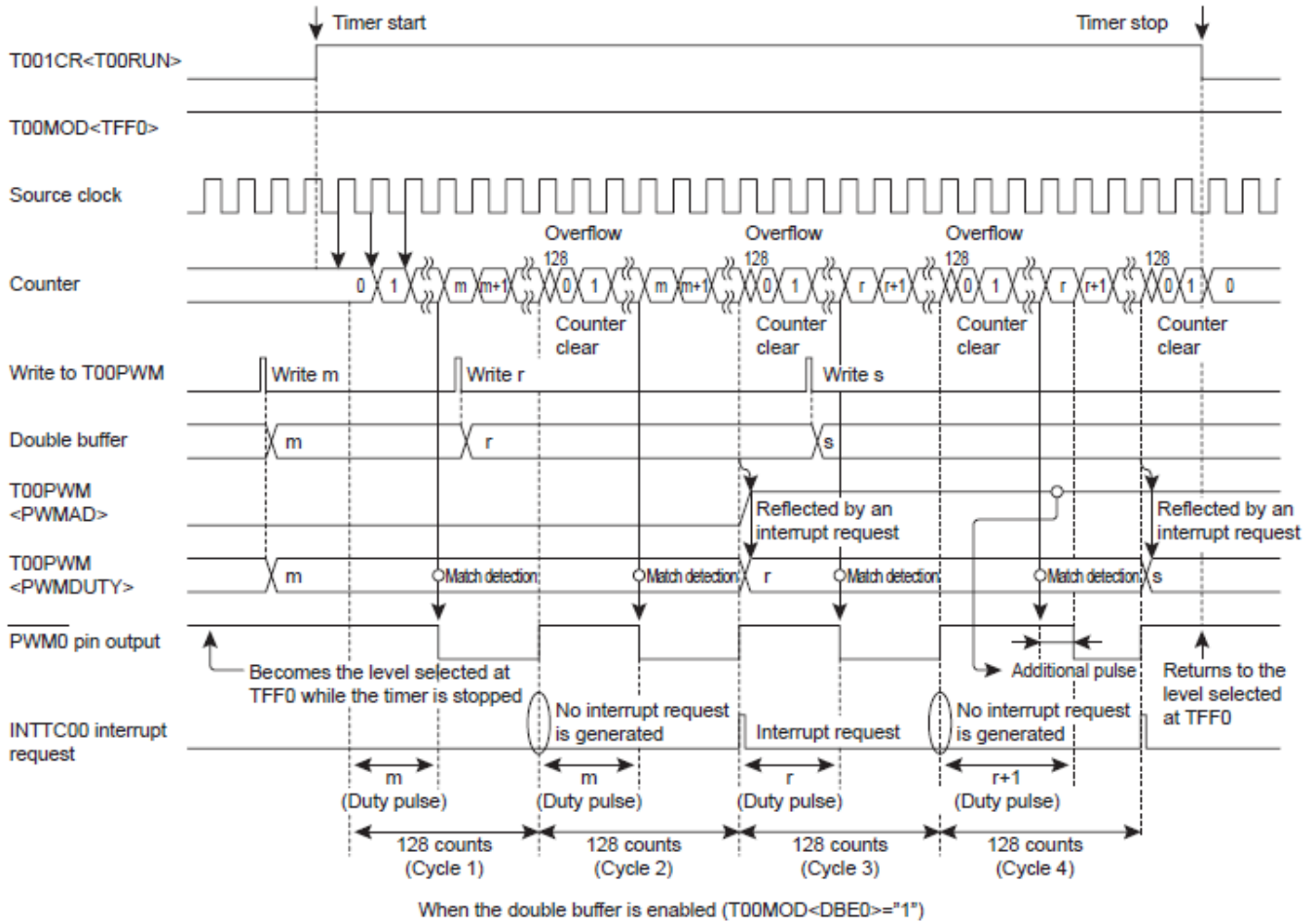


图 10.15 8 位 PWM 模式时序图

(c) 双缓冲寄存器

设定 T00MOD<DBE0>让 T00PWM 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T00MOD<DBE0>为“1”和“0”。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 T00PWM 寄存器的新设定值写入，则新设定值会先存储于双缓冲寄存器中，而不会立即改变 T00PWM 的设定。T00PWM 会比较计数器数值与原设定值。当第 2xn 个溢位发生时，INTTC00 中断要求会被产生，双缓冲寄存器存储的新设定值会被存入 T00PWM。后续的检测工作就会依新的设定值进行。

读取 T00PWM 时，读出的数值会是双缓冲寄存器内的数值(最近的设定数值)，而不是 T00PWM 的数值(现在有效数值)。若于定时器停止时执行 T00PWM 寄存器的新设定值写入，则新设定值会直接存储于双缓冲寄存器与 T00PWM 寄存器内。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 T00PWM 寄存器的新设定值写入，则新设定值会直接改变 T00PWM 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T00PWM 的新设定值小于计数器数值，PWM00B 引脚反向会在计数器的计数溢位后，比对检测符合之后才执行。

若 T00PWM 的新设定值等于该值写入时的计数器数值，比对检测会在 T00PWM 设定值写入后即刻执行，因此，PWM00B 引脚转变的时序可能不会是源时钟的整数倍(图 10.15)。若在额外脉冲输出时设定 T00PWM，PWM00B 引脚转变的时序也可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 T00PWM 寄存器的新设定值写入，新设定值会直接存储于 T00PWM 寄存器内。

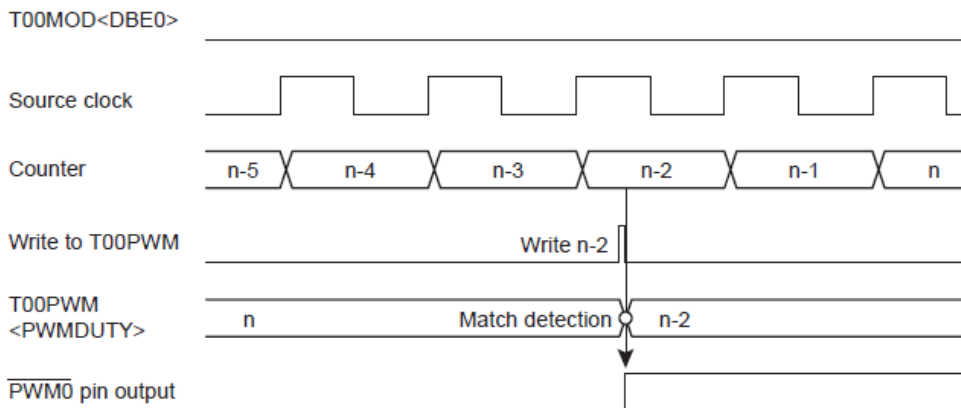


图 10.16 当 T00PWM 和计数器数值相同时的的工作

T00MOD <TCK0>	Source clock [Hz]			Resolution		7-bit cycle (period × 2)	
	NORMAL 1/2 or IDLE 1/2 mode		SLOW 1/2 or SLEEP 1 mode	fcgck=8MHz	fs=32.768KHz	fcgck=8MHz	fs=32.768KHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$	256us	488.2us	32.8ms (65.5ms)	62.5ms (125ms)
001	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	128us	244.1us	16.4ms (32.8ms)	31.3ms (62.5ms)
010	$fcgck/2^8$	$fcgck/2^8$	-	32us	-	4.1ms (8.2ms)	-
011	$fcgck/2^6$	$fcgck/2^6$	-	8us	-	1.0ms (2.0ms)	-
100	$fcgck/2^4$	$fcgck/2^4$	-	2us	-	256us (512us)	-
101	$fcgck/2^2$	$fcgck/2^2$	-	500ns	-	64us (128us)	-
110	$fcgck/2$	$fcgck/2$	-	250ns	-	32us (64us)	-
111	$fcgck$	$fcgck$	$fs/2^2$	125ns	122.1us	16us (32us)	15.6ms (31.3ms)

表 10.10 8 位 PWM 模式中的分辨率与周期

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.5.3.4 8 位可编程脉冲产生 PPG 输出模式

在 8 位 PPG 模式中设定 T00REG 和 T00PWM 寄存器可产生任意占空比和周期的脉冲。

设定 T001CR<OUTAND>寄存器可于 TC01 引脚输出 TC00 和 TC01 输出的逻辑乘积(AND)脉冲。藉此功能，藉此功能，用户可轻易产生遥控波形信号。

TC00 的工作叙述如下，这些叙述也同样适用于 TC01 (将 TC00 换成 TC01 即可)。

(a) 设定

设定 T00MOD<TCM0>为"11"并设定 T001CR<TCAS>为"0"，可将 TC00 设定在 8 位可编程脉冲产生 PPG 模式。若要使用内部时钟作源时钟，设定 T00MOD<EIN0>为"0"，并设定 T00MOD<TCK0>寄存器。若要使用外部时钟作源时钟，设定 T00MOD<EIN0>为"1"。用 T00PWM 设定工作脉冲宽度，并用 T00REG 设定周期宽度。

设定 T00MOD<DBE0>为"1"以使用双缓冲寄存器。

设定 T001CR<T00RUN>为"1"以启动 PPG 输出工作。定时器启动后，T00MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

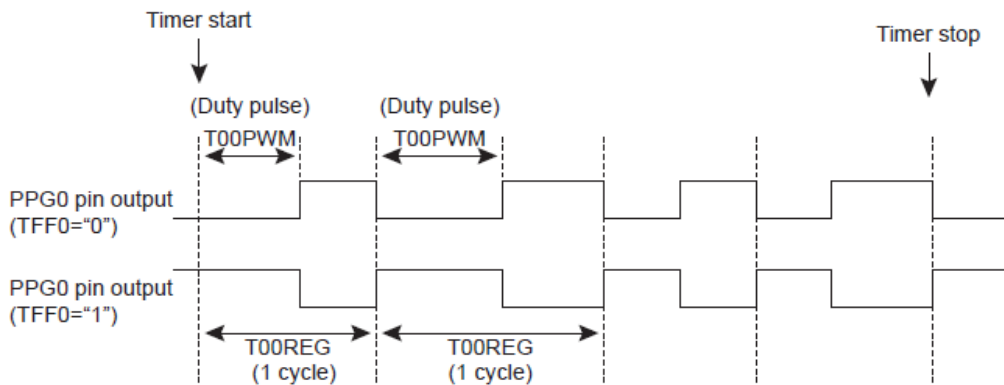


图 10.17 PPG00B 脉冲输出

于 T00MOD<TFF0>设定 PPG00B 引脚的初始状态。设定 T00MOD<TFF0>为"0"时，PPG00B 引脚的初始状态为低电平。设定 T00MOD<TFF0>为"1"时 PPG00B 引脚的初始状态为高电平。若于定时器停止工作时设定 PPG00B 引脚为功能输出引脚，PPG00B 引脚会输出 T00MOD<TFF0>的设定数值。表 10.11 所列为 PPG00B 引脚的输出电平。

设定 T001CR<OUTAND>为"1"时，PPG00B 引脚会输出 TC00 和 TC01 输出的逻辑乘积(AND)脉冲。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

TFF0	PPG0 pin output level			
	Before the start of operation (initial state)	T00PWM matched	T00REG matched	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.11 PPG00B 引脚输出电平表

(b) 工作

设定 T001CR<T00RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值达到 T00PWM 的设定数值，PPG00B 引脚的输出会反向。若 T00MOD<TFF0>设定为"0"，PPG00B 引脚由低电平改变成高电平。若 T00MOD<TFF0>设定为"1"，PPG00B 引脚由高电平改变成低电平。

而后，计数器继续往上计数。计数器数值达到 T00REG 设定值时，PPG00B 引脚的输出再次反向。若 T00MOD<TFF0>设定为"0"，PPG00B 引脚从高电平改变成低电平。若 T00MOD<TFF0>设定为"1"，PPG00B 引脚从低电平变成高电平。此时会产生 INTTC00 中断要求。

计数器工作时，若设定 T001CR<T00RUN>为"0"，计数器会停止工作并被清除为"0x00"。PPG00B 引脚恢复为 T00MOD<TFF0>设定的电平。

使用外部源时钟时，最高工作频率是 f_{cgck} [Hz](普通 1/2 或空闲 1/2 模式)，或 f_s/2²[Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

设定 T00MOD<DBE0>让 T00PWM 与 T00REG 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T00MOD<DBE0>为"1"和"0"。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 T00PWM(T00REG)寄存器的新设定值写入，则设定值会先存储于双缓冲寄存器中，而不会立即改变 T00PWM(T00REG)的设定。T00PWM(T00REG)会比较计数器数值与原设定值。INTTC00 中断要求产生时，双缓冲寄存器 存储的新设定值会被存入 T00PWM(T00REG)。后续的检测工作就会依新的设定值进行。

读取 T00PWM(T00REG)时，读出的数值会是双缓冲寄存器 内的数值(最近的设定数值)，而不是 T00PWM(T00REG)的数值(现在有效数值)。若于定时器停止时执行 T00PWM(T00REG)寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器 与 T00PWM(T00REG)寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 T00PWM(T00REG)寄存器的新设定值写入，则新设定值会直接改变 T00PWM(T00REG)的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T00PWM(T00REG)的新设定值小于计数器数值，PPG00B 引脚反向会在计数器的计数溢位后，比对检测符合之后才执行。

若 T00PWM(T00PPG)的新设定值等于该值写入时的计数器数值，比对检测会在 T00PWM(T00PPG)设定值写入后即刻执行。因此，PPG00B 引脚转变的时序可能不是源时钟的整数倍(图 10.18)。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 T00PWM(T00PPG)寄存器的新设定值写入，新设定值会直接存储于 T00PWM(T00PPG)寄存器内。

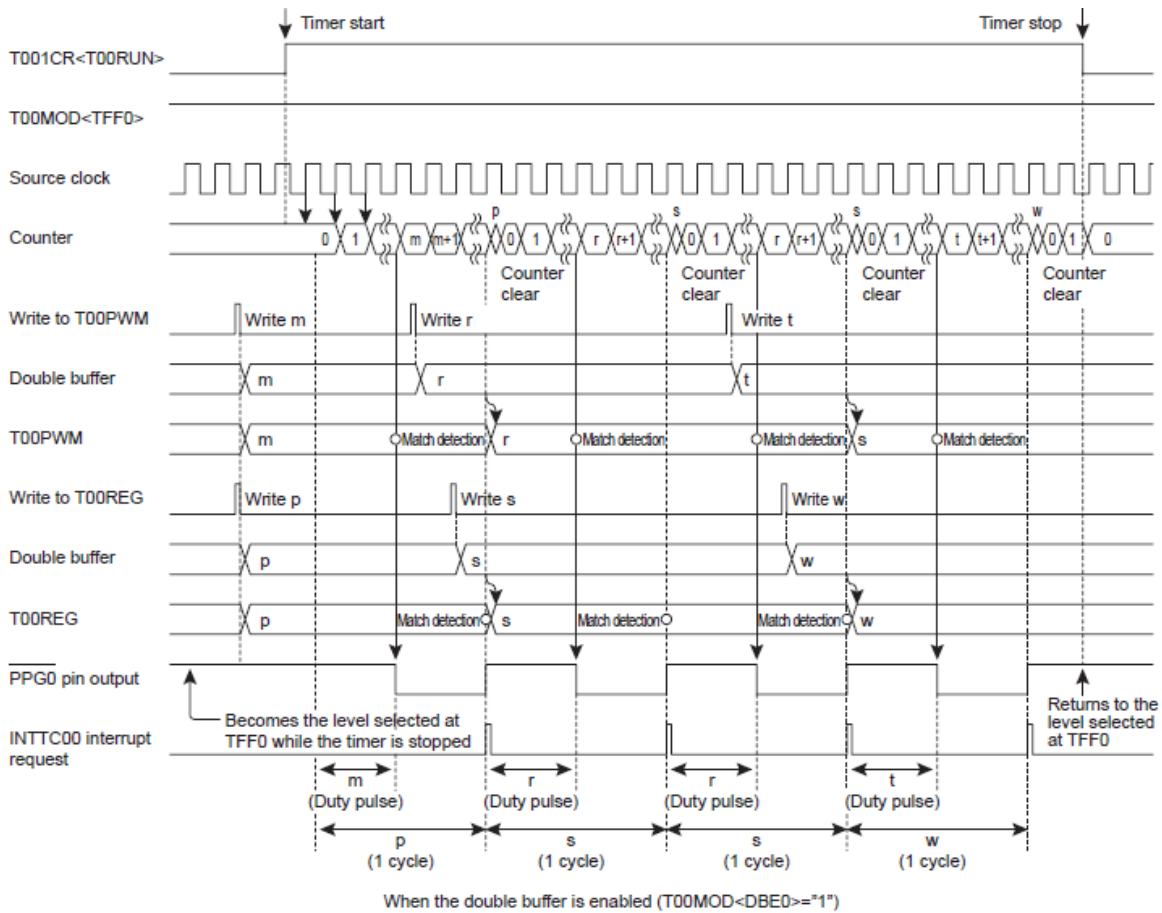


图 10.18 8 位 PPG 模式时序图

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

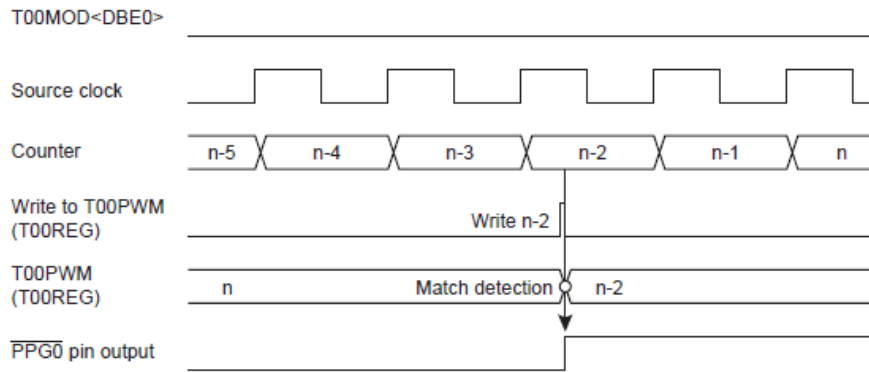


图 10.19 当 T00PWM(T00REG)和计数器数值相同时的工作

10.5.3.5 16 位定时器模式

16 位定时器模式中，TC00 和 TC01 组合成一个 16 位定时器计数器，可用来测量更长的时间。

(a) 设定

设定 T001CR<TCAS>为“1”，可连结 TC00 和 TC01 以启动 16 位模式。在 16 位模式下，所有 TC00 相关的设定失效，只剩 TC01 的设定有效。

设定 T01MOD<TCM1>为“00”或“01”并设定 T01MOD<EIN1>为“0”以启动 16 位定时器模式。以 T01MOD<TCK1>选择源时钟。

用定时器寄存器 T00REG 和 T01REG 设定比对检测所需的 16 位计数数值。T00REG 为低 8 位，T01REG 为高 8 位。以下叙述中，由 T00REG 和 T01REG 组合而成的 16 位数值设定皆以 T01+00REG 表示。进行 T01REG 的设定写入时，定时器寄存器的设定会对应地在双缓冲寄存器或 T01+00REG 寄存器。务必以 T00REG 为先、T01REG 为后的次序进行设定。写入高 8 位寄存器时，低 8 位寄存器和高 8 位寄存器的设定会同时生效。

设定 T01MOD<DBE1>为“1”以使用双缓冲寄存器。

设定 T001CR<T01RUN>为“1”以启动 16 位定时器工作。定时器启动后，T01MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定(于 T001CR<T00RUN>和<T01RUN>为“0”时进行设定)。

(b) 工作

设定 T001CR<T01RUN>为“1”，让 16 位计数器依选择的源时钟往上计数。当计数器数值达到 T00+01REG 的设定数值时，会产生 INTTC01 中断要求，同时计数器被清除为“0x0000”。之后，计数器继续往上计数。定时器工作时，若设定 T001CR<T01RUN>为“0”，计数器会停止工作并且被清除为“0x0000”。

(c) 双缓冲寄存器

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 T01MOD<DBE1>让 T01+00REG 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T01MOD<DBE1>为“1”和“0”。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 T00REG 和 T01REG 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器中，而不会立即改变 T01+00REG 的设定。T01+00REG 会比较计数器数值与原设定值。两数值相同时会产生 INTTC01 中断要求，双缓冲寄存器存储的新设定值会被存入 T01+00REG。后续的检测工作就会依新的设定值进行。

若于定时器停止时执行 T00REG 和 T01REG 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 T01+00REG 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 T00REG 和 T01REG 寄存器的新设定值写入，则新设定值会直接改变 T01+00REG 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T01+00REG 的新设定值小于计数器数值，在计数器的计数溢位后，比对检测符合之后才会依新的设定值执行。因此，中断要求间隔可能会比选择的时间要长。若 T01+00REG 的新设定值等于该值写入时的计数器数值，比对检测会于 T01+00REG 设定值写入后即刻执行。如此，中断要求间隔可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 T00REG 和 T01REG 寄存器的新设定值写入，新设定值会直接存储于 T01+00REG 寄存器内。不管 T01MOD<DBE1>的设定为何，读取 T01+00REG 得到的数值都会是最近一次写入 T01+00REG 的设定值。

T01MOD <TCK1>	Source clock [Hz]			Resolution		Maximum time setting	
	NORMAL 1/2 or IDLE 1/2 mode		SLOW 1/2 or SLEEP1 mode	fcgck=8MHz	fs=32.768KHz	fcgck=8MHz	fs=32.768KHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	fcgck/2 ¹¹	fs/2 ⁴	fs/2 ⁴	256us	488.2us	16.8s	32s
001	fcgck/2 ¹⁰	fs/2 ³	fs/2 ³	128us	244.1us	8.4s	16s
010	fcgck/2 ⁸	fcgck/2 ⁸	-	32us	-	2.1s	-
011	fcgck/2 ⁶	fcgck/2 ⁶	-	8us	-	524.3ms	-
100	fcgck/2 ⁴	fcgck/2 ⁴	-	2us	-	131.1ms	-
101	fcgck/2 ²	fcgck/2 ²	-	500ns	-	32.8ms	-
110	fcgck/2	fcgck/2	-	250ns	-	16.4ms	-
111	fcgck	fcgck	fs/2 ²	125ns	122.1us	8.2ms	8s

表 10.12 16 位定时器模式分辨率与最长时间设定

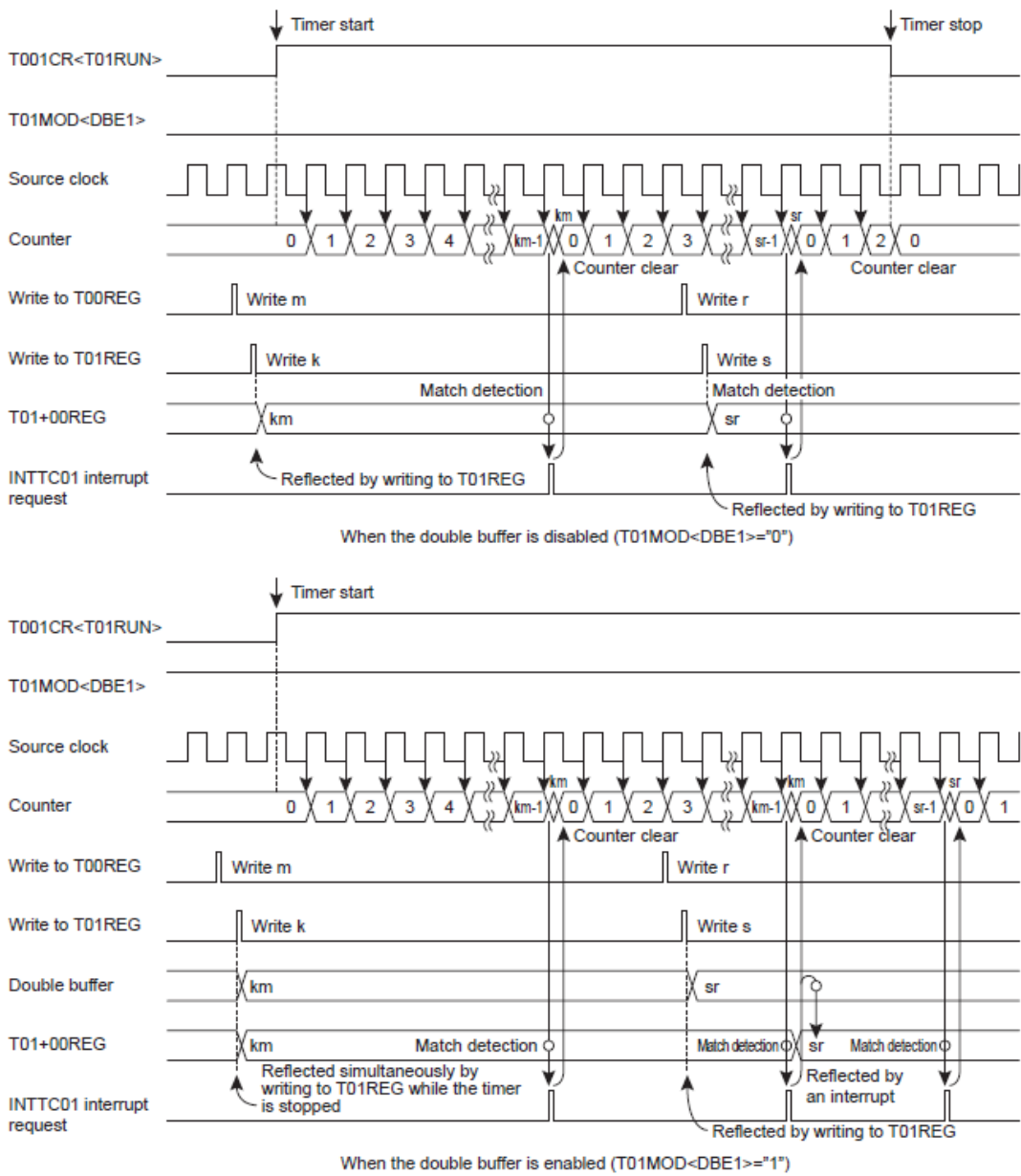


图 10.20 16 位定时器计数器时序图

10.5.3.6 16 位事件计数器模式

在 16 位计数器模式中，计数器会依 TC00 引脚的输入信号下降沿往上计数。TC00 和 TC01 组合成一个 16 位定时器计数器，可用来测量更长的时间。

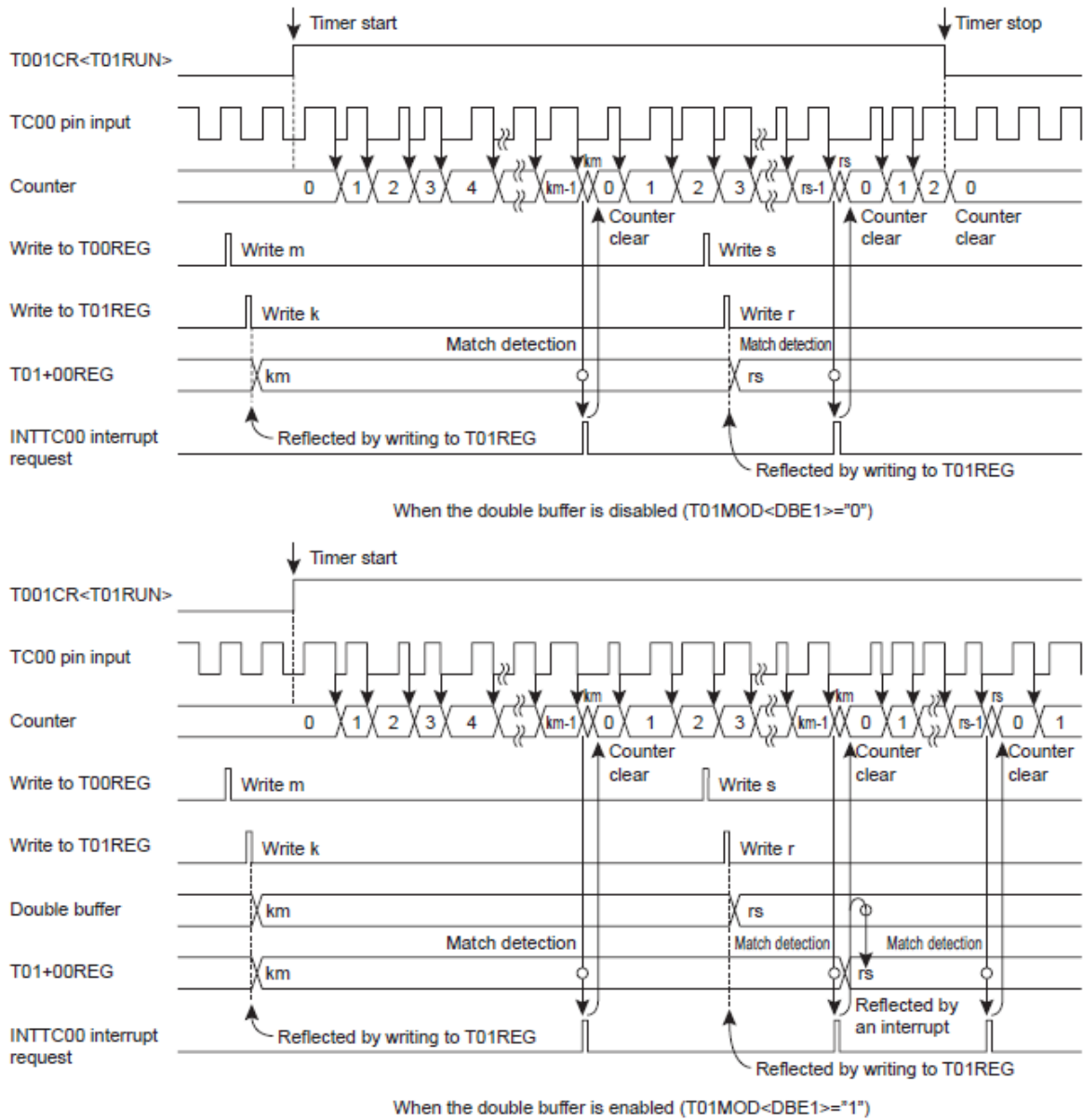


图 10.21 16 位事件计数器模式时序图

(a) 设定

设定 T001CR<TCAS>为“1”，可连结 TC00 和 TC01 以启动 16 位模式。在 16 位模式下，所有 TC00 相关的设定失效，只剩 TC01 的设定有效。

设定 T01MOD<TCM1>为“00”或“01”并设定 T01MOD<EIN1>为“0”以启动 16 位定时器模式。

用定时器寄存器 T00REG 和 T01REG 设定比对检测所需的 16 位计数数值。T00REG 为低 8 位，T01REG 为高 8 位。以下叙述中，由 T00REG 和 T01REG 组合而成的 16 位数值设定皆以 T01+00REG 表示。进行 T01REG 的设定写入时，定时器寄存器的设定会对应地在双缓冲寄存器

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

或 T01+00REG 寄存器。务必以 T00REG 为先、T01REG 为后的次序进行设定。写入高 8 位寄存器时，低 8 位寄存器和高 8 位寄存器的设定会同时生效。

设定 T01MOD<DBE1>为"1"以使用双缓冲寄存器。

设定 T001CR<T01RUN>为"1"以启动 16 位计数器工作。定时器启动后，T01MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定(于 T001CR<T00RUN>和<T01RUN>为"0"时进行设定)。

(b) 工作

设定 T001CR<T01RUN>为"1"，让 16 位计数器依 T00 引脚信号的下降沿往上计数。当计数器数值达到 T00+01REG 的设定数值时，会产生 INTTC01 中断要求，同时计数器被清除为"0x0000"。之后，计数器继续往上计数。定时器工作时，若设定 T001CR<T01RUN>为"0"，计数器会停止工作并且被清除为"0x0000"。

最高工作频率是 f_{cgck} [Hz](普通 1/2 或空闲 1/2 模式)，或 f_s/2²[Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

参考"10.5.3.5 - (c) 双缓冲寄存器"。

10.5.3.7 12 位脉宽调制 PWM 输出模式

在 12 位 PWM 输出模式中，TC00 和 TC01 组合以输出分辨率为 8 位，经脉宽调制的脉冲。在 8 位之外可再额外嵌入 4 位，让 PWM 成为 12 位且具有主频 1/16 的分辨率。

(a) 设定

设定 T001CR<TCAS>为"1"，可连结 TC00 和 TC01 以启动 16 位定时器模式。在 16 位模式下，所有 TC00 相关的设定失效，只剩 TC01 的设定有效。

设定 T01MOD<TCM1>为"10"以启动 12 位 PWM 模式。要使用内部时钟作源时钟，设定 T01MOD<EIN1>为"0"并设定 T01MOD<TCK1>。要使用外部时钟作源时钟，设定 T01MOD<EIN1>为"1"。

设定 T01MOD<DBE1>为"1"以使用双缓冲寄存器。

设定 T001CR<T01RUN>为"1"以启动定时器工作。定时器启动后，T01MOD 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定(于 T001CR<T00RUN>和<T01RUN>为"0"时进行设定)。

用定时器寄存器 T00PWM 和 T01PWM 设定比对检测所需的 12 位计数数值。用 T01PWM 设定第 11 位到第 8 位，用 T00PWM 设定第 7 位到第 0 位。相关寄存器架构请参考下表。以下

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

叙述中，由 T00PWM 和 T01PWM 组合而成的 12 位数值设定皆以 T01+00PWM 表示。进行 T01PWM 的设定写入时，定时器寄存器的设定会对应应在双缓冲寄存器 或 T01+00PWM 寄存器。务必以 T00PWM 为先、T01PWM 为后的次序进行设定。写入高位寄存器时，低位寄存器和高位寄存器的设定会同时生效。

定时器寄存器00

T00PWM (0x0028)	7	6	5	4	3	2	1	0
位符号	PWMDUTYL				PWMAD3	PWMAD2	PWMAD1	PWMAD0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器寄存器01

T01PWM (0x0029)	7	6	5	4	3	2	1	0
位符号	-				PWMDUTYH			
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

12 位 PWM 模式并没有利用 T01PWM 的第 7 位到第 4 位数值。尽管如此，使用者仍可对这几位数值进行写入与读取。一般建议将这几位设定为"0"。

PWMDUTYH 和 PWMDUTYL 为 4 位寄存器 这两个寄存器组合后可设定长度为一个周期(256 次源时钟计数)的一个 8 位工作脉冲宽度。以下叙述中，由 PWMDUTYH 和 PWMDUTYL 组合而成的 8 位数值设定皆以 PWMDUTY 表示。

PWMAD3 到 PWMAD0 为额外脉冲设定寄存器。设定每一位的数值为"1"，可将额外脉冲嵌入工作脉冲的特定周期内。额外脉冲可被嵌入表 10.13 所列的周期位置内。利用 PWMAD3 到 PWMAD0 的组合(PWMAD0 嵌入 1 个额外脉冲、PWMAD1 嵌入 2 个额外脉冲...)，用户可在 16 个周期内嵌入为数 1 到 16 的额外脉冲。图 10.21 显示一个嵌入额外脉冲的例子。

	Cycles in which additional pulses are inserted among cycles 1 to 16
PWMAD0="1"	9
PWMAD1="1"	5, 13
PWMAD2="1"	3, 7, 11, 15
PWMAD3="1"	2, 4, 6, 8, 10, 12, 14, 16

表 10.13 嵌入额外脉冲的周期列表

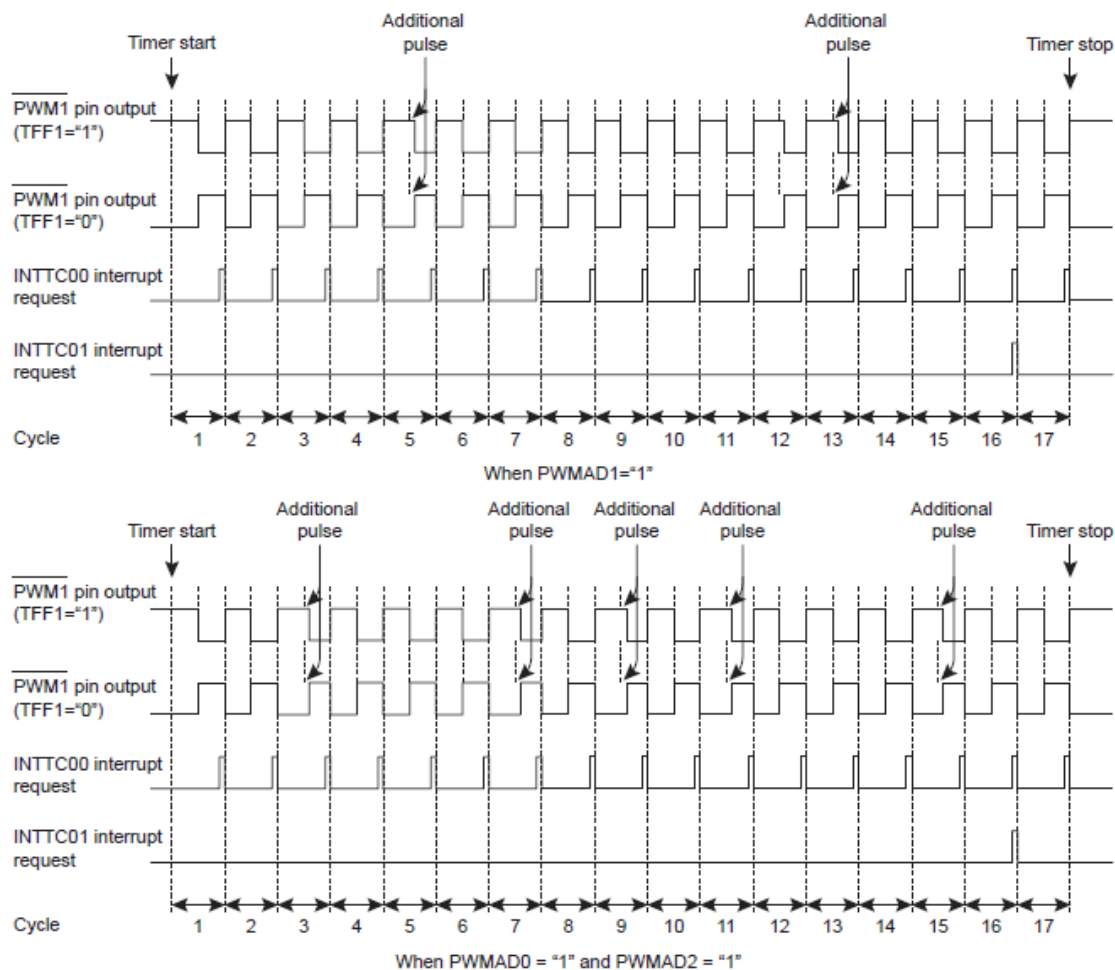


图 10.22 嵌入额外脉冲范例

于 T01MOD<TFF1>设定 PWM01B 引脚的初始状态。设定 T01MOD<TFF1>为"0"时，PWM01B 引脚的初始状态为低电平。设定 T01MOD<TFF1>为"1"时，PWM01B 引脚的初始状态为高电平。若于定时器停止工作时设定 PWM01B 引脚为功能输出引脚，PWM01B 引脚会输出 T01MOD<TFF1>的设定数值。表 10.14 所列为 PWM01B 引脚的输出电平。

TFF1	PWM1pin output level			
	Before the start of operation (initial state)	PWMDUTY matched (after the additional pulse)	Overflow	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.14 PWM01B 引脚输出电平表

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(b) 工作

设定 T001CR<T00RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值的低 8 位达到 PWMDUTY 的设定数值，PWM01B 引脚的输出会反向。若 T01MOD<TFF1>设定为"0"，PWM01B 引脚由低电平改变成高电平。若 T01MOD<TFF1>设定为"1"，PWM01B 引脚由高电平改变成低电平。

设定 PWMAD3 到 PWMAD0 之中的任何一个寄存器为"1"，可将宽度为 1 次源时钟计数的额外脉冲嵌入工作脉冲的特定周期内。换句话说，PWM01B 引脚输出在 PWMDUTY+1 的时点上会反向。若设定 T00MOD<TFF0>为"0"，低电平的时段会比 PWMDUTY 设定的数值要长 1 个源时钟。若 T00MOD<TFF0>设定为"1"，高电平的时段会比 PWMDUTY 设定的数值要长 1 个源时钟。藉此功能，16 个周期的输出脉冲可具备接近 12 位的分辨率。

PWMAD3 到 PWMAD0 设定皆为"0"时，设定的责任脉冲中不会有任何额外脉冲嵌入。

而后，计数器继续往上计数。计数器数值达到 256 时，计数器发生溢位并被清除为"0x00"，同时 PWM01B 引脚的输出反向。若 T01MOD<TFF1>设定为"0"，PWM01B 引脚从高电平改变成低电平。若 T01MOD<TFF1>设定为"1"，PWM01B 引脚从低电平变成高电平。此时会产生 INTTC00 中断要求(每次溢位发生都会产生一个 INTTC00 中断要求)。第 16 x n 个溢位(n=1, 2, 3...)会产生 INTTC01 中断要求。之后计数器继续往上计数。

定时器工作时，若设定 T001CR<T00RUN>为"0"，计数器会停止工作并被清除为"0x00"。PWM01B 引脚恢复为 T01MOD<TFF1>设定的电平。

使用外部源时钟时，于 TC00 引脚输入时钟。最高供应频率是 $fcgck/2$ [Hz](普通 1/2 或空闲 1/2 模式)，或 $fs/2^4$ [Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

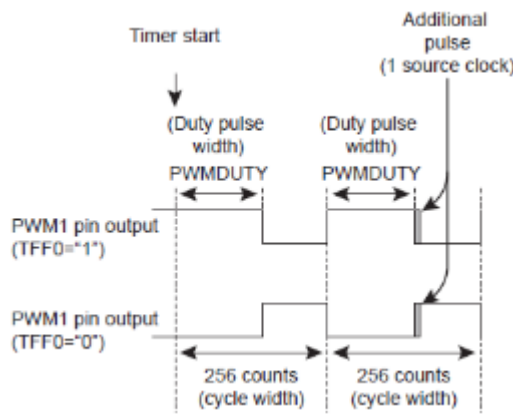


图 10.23 PWM01B 引脚输出

(c) 双缓冲寄存器

设定 T01MOD<DBE1>让 T01+00PWM 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T01MOD<DBE1>为“1”和“0”。

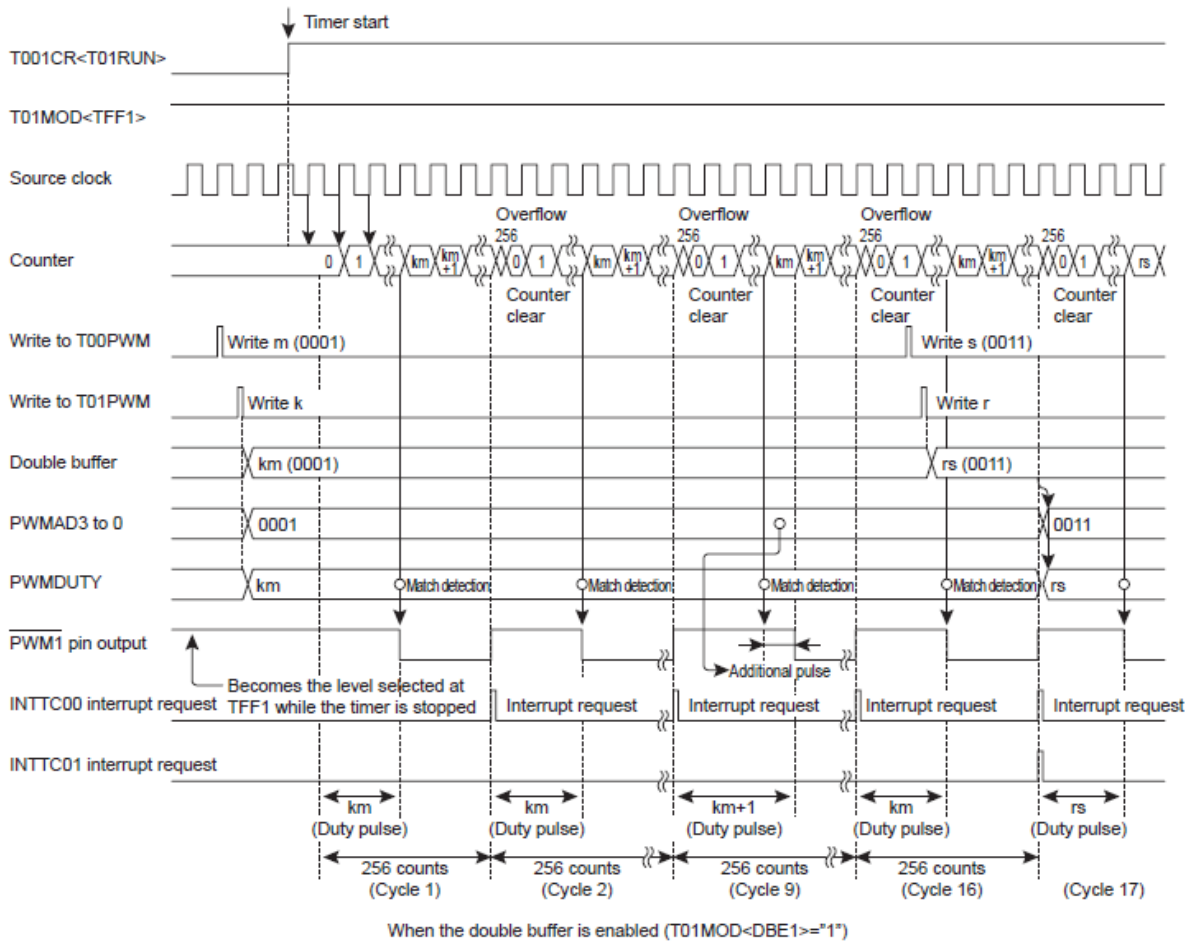


图 10.24 12 位 PWM 模式时序图

1. 允许双缓冲寄存器 时

若于定时器工作时执行 T00PWM 和 T01PWM 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器中，而不会立即改变 T01+00PWM 的设定。T01+00PWM 会比较计数器数值与原设定值。第 16 x n 个溢位发生时会产生 INTTC01 中断要求，双缓冲寄存器存储的新设定值会被存入 T01+00PWM。后续的检测工作就会依新的设定值进行。

读取 T01+00PWM(T00REG)时，读出的数值会是双缓冲寄存器内的数值(最近的设定数值)，而不是 T01+00PWM 的数值(现在有效数值)。

若于定时器停止时执行 T00PWM 和 T01PWM 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 T01+00PWM 寄存器内。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 T00PWM 和 T01PWM 寄存器的新设定值写入，则新设定值会直接改变 T01+00PWM 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T01+00PWM 的新设定值小于计数器数值，PWM01B 引脚的输出要在计数器溢位且依据新设定值的比对检测符合之后才会反向。若 T01+00PWM 的新设定值等于该值写入时的计数器数值，比对检测会于 T01+00PWM 设定值写入后即刻执行。如此，PWM01B 引脚输出的反向时点可能不会是源时钟的整数倍。若 T01+00PWM 在额外脉冲输出期间进行设定，PWM01B 引脚输出的反向时点也可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 T00PWM 和 T01PWM 寄存器的新设定值写入，新设定值会直接存储于 T01+00PWM 寄存器内。

T01MOD <TCK1>	Source clock [Hz]			Resolution		8-bit cycle (period × 16)	
	NORMAL 1/2 or IDLE 1/2 mode		SLOW 1/2 or SLEEP 1 mode	f _{cgclk} =8MHz	f _s =32.768KHz	f _{cgclk} =8MHz	f _s =32.768KHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	f _{cgclk} /2 ¹¹	f _s /2 ⁴	f _s /2 ⁴	256us	488.2us	65.5ms (1048.6ms)	125ms (2000ms)
001	f _{cgclk} /2 ¹⁰	f _s /2 ³	f _s /2 ³	128us	244.1us	32.8ms (524.3ms)	62.5ms (1000ms)
010	f _{cgclk} /2 ⁸	f _{cgclk} /2 ⁸	-	32us	-	8.2ms (131.1ms)	-
011	f _{cgclk} /2 ⁶	f _{cgclk} /2 ⁶	-	8us	-	2.0ms (32.8ms)	-
100	f _{cgclk} /2 ⁴	f _{cgclk} /2 ⁴	-	2us	-	512us (8192us)	-
101	f _{cgclk} /2 ²	f _{cgclk} /2 ²	-	500ns	-	128us (2048us)	-
110	f _{cgclk} /2	f _{cgclk} /2	-	250ns	-	64us (1024us)	-
111	f _{cgclk}	f _{cgclk}	f _s /2 ²	125ns	122.1us	32us (512us)	31.3ms (500ms)

表 10.15 12 位 PWM 模式分辨率与周期

10.5.3.8 16 位可编程脉冲产生 PPG 输出模式

在 16 位 PPG 模式中，TC00 和 TC01 两者组合、输出分辨率达 16 位的任意占空比和周期的脉冲。用两个 16 位寄存器 T01+00REG 和 T01+00PWM 输出 16 位 PPG 模式脉冲。如此可输出更长的脉冲。(TC02 与 TC03 亦相同)

(a) 设定

设定 T001CR<TCAS>为"1"，将 TC00 和 TC01 组合成并启动 16 位模式。在此模式下，所有 TC00 相关的设定失效，只剩 TC01 的设定有效。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 T01MOD<TCM1>为"11"以选择 16 位 PPG 模式。要使用内部时钟作为源时钟，设定 T01MOD<EIN1>为"0"并设定 T01MOD<TCK1>。要使用外部时钟作为源时钟，设定 T01MOD<EIN0>为"1"。

设定 T01MOD<DBE1>为"1"以使用双缓冲寄存器。

用定时器寄存器 T01REG 和 T00REG 设定一个周期对应的 16 位计数数值。用 T01PWM 和 T00PWM 设定工作脉冲对应的 16 位计数数值。以下叙述中，由 T01REG 和 T00REG 组合而成的 16 位数值设定皆以 T01+00REG 表示；由 T01PWM 和 T00PWM 组合而成的 16 位数值设定皆以 T01+00PWM 表示。进行 T01PWM 的设定写入时，定时器寄存器的设定会对应于双缓冲寄存器或 T01+00REG 与 T01+00PWM 寄存器。务必在写入 T01PWM 前，先进行 T00REG、T01REG 与 T00PMW 的设定。写入 T01PWM 后，所有寄存器的设定会同时生效。

于 T01MOD<TFF1>设定 PPG01B 引脚的初始状态。设定 T01MOD<TFF1>为"0"时，PPG01B 引脚的初始状态为低电平。设定 T01MOD<TFF1>为"1"时，PPG01B 引脚的初始状态为高电平。若于定时器停止工作时设定 PPG01B 引脚为功能输出引脚，PPG01B 引脚会输出 T01MOD<TFF1>的设定数值。表 10.16 所列为 PWM01B 引脚的输出电平。

TFF1	PPG1 pin output level			
	Before the start of operation (initial state)	T01+00PWM matched	T01+00REG matched	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.16 PPG01B 引脚输出电平表

(b) 工作

设定 T001CR<T00RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值达到 T01+00PWM 的设定数值，PPG01B 引脚的输出会反向。若 T01MOD<TFF1>设定为"0"，PPG01B 引脚由低电平改变成高电平。若 T01MOD<TFF1>设定为"1"，PPG01B 引脚由高电平改变成低电平。此时会产生 INTTC00 中断要求。

而后，计数器持续往上计数。计数器数值达到 T01+00REG 的设定数值时，PPG01B 引脚的输出会再次反向。若 T01MOD<TFF1>设定为"0"，PPG01B 引脚由高电平改变成低电平。若 T01MOD<TFF1>设定为"1"，PPG01B 引脚由低电平改变成高电平。此时会产生 INTTC01 中断要求，同时计数器会被清除为"0x0000"。

定时器工作时，若设定 T001CR<T00RUN>为"0"，计数器会停止工作并被清除为"0x0000"。PPG01B 引脚恢复为 T01MOD<TFF1>设定的电平。

使用外部源时钟时，于 TC00 引脚输入时钟。最高供应频率是 $f_{cgck}/2$ [Hz](普通 1/2 或空闲 1/2 模式)，或 $f_s/2^4$ [Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

设定 $T01MOD<DBE1>$ 让 $T01+00PWM$ 和 $T01+00REG$ 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 $T01MOD<DBE1>$ 为“1”和“0”。

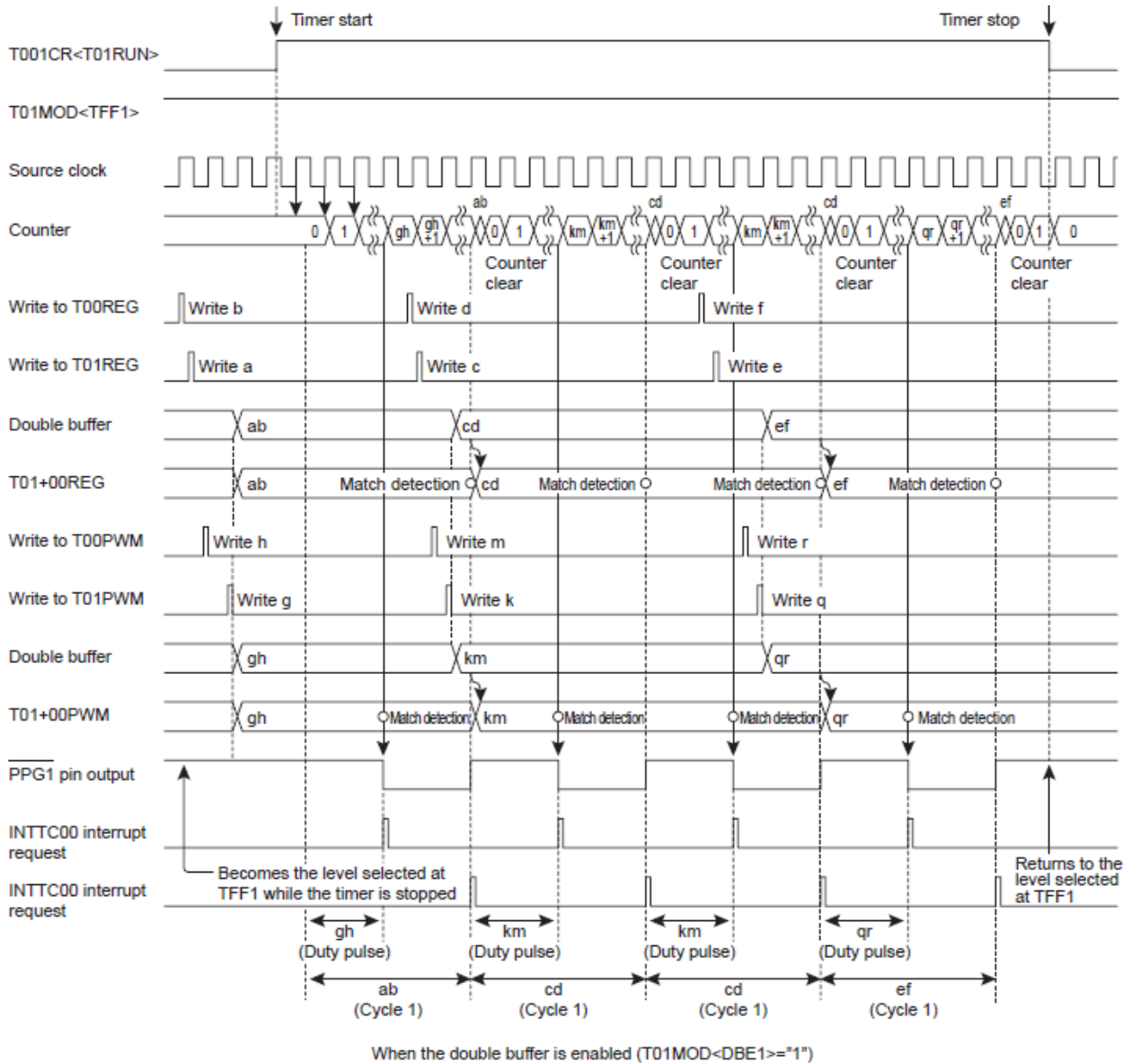


图 10.25 16 位 PPG 输出模式时序图

1. 允许双缓冲寄存器 时

若于定时器工作时，于执行完 T00REG、T01REG 和 T00PWM 的设定后执行 T01PWM 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器 中，而不会立即改变 T01+00PWM 与 T01+00REG 的设定。T01+00PWM 和 T01+00REG 会比较计数器数值与原设定值。计数器数值达到 T01+00REG 的设定数值时会产生 INTTC01 中断要求，双缓冲寄存器 存储的新设定值会被存入 T01+00PWM 和 T01+00REG，后续的检测工作就会依新的设定值进行。

若于定时器停止时，于执行完 T00REG、T01REG 和 T00PWM 的设定后执行 T01PWM 的新设定值写入，所有新设定值会直接存储于双缓冲寄存器 与 T01+00PWM、T00+01REG 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时，于执行完 T00REG、T01REG 和 T00PWM 的设定后执行 T01PWM 的新设定值写入，则新设定值会直接改变 T01+00PWM 和 T01+00REG 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 T01+00PWM 或 T01+00REG 的新设定值小于计数器数值，PPG01B 引脚的输出要在计数器溢位且依据新设定值的比对检测符合之后才会反向。若 T01+00PWM 或 T01+00REG 的新设定值等于该值写入时的计数器数值，比对检测会在 T01+00PWM 与 T01+00REG 设定值写入后即刻执行。如此，PPG01B 引脚输出的反向时点可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时，于执行完 T00REG、T01REG 和 T00PWM 的设定后执行 T01PWM 的新设定值写入，所有新设定值会直接存储于双缓冲寄存器 与 T01+00PWM、T00+01REG 寄存器内。

不管 T00MOD<DBE1>的设定为何，读取 T01+00PWM 和 T01+00REG 得到的数值都会是最近一次写入 T01+00REG 的设定值。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.6 10 位定时器/计数器(TCC)

MQ6823 单片机具备 1 个高效能 10 位定时器/计数器 TCC1。每个定时器可用于时间测量和指定脉宽的脉冲输出。

10位定时器/计数器C1 具触发输入TCC1，可用于计数器之启动/停止/清除/撷取；定时器具两个PPG输出 (PPGC11、PPGC12)可同步操作或是独立使用；定时器具紧急输入信号(EMG1)可停止PPG输出。

	TCxCR1 (地址)	TCxCR2 (地址)	TCxCR3 (地址)
定时器计数器C1	TC1CR1 (0x0F9C)	TC1CR2 (0x0F9D)	TC1CR3 (0x0F9E)

	TCxDRA (地址)	TCxDRB (地址)	TCxDRC (地址)	TCxDRD (地址)	TCxDRE (地址)	TCxCAPA (地址)	TCxCAPB (地址)	低功耗寄存器
定时器计数器C1	TC1DRAH (0x0FA0)	TC1DRBH (0x0FA2)	TC1DRCH (0x0FA4)	TC1DRDH (0x0FA6)	TC1DREH (0x0FA8)	TC1CAPAH (0x0FAA)	TC1CAPBH (0x0FAC)	POFFCR0 <TCC1EN>
	TC1DRAL (0x0F9F)	TC1DRBL (0x0FA1)	TC1DRCL (0x0FA3)	TC1DRDL (0x0FA5)	TC1DREL (0x0FA7)	TC1CAPAL (0x0FA9)	TC1CAPBL (0x0FAB)	

表 10.17 SFR 地址

	定时器输入引脚	PPG 输出引脚	PPG 输出引脚	EMG 输入引脚
定时器计数器C1	TCC1IN	PPGC11B	PPGC12B	EMG1B

表 10.18 引脚名称

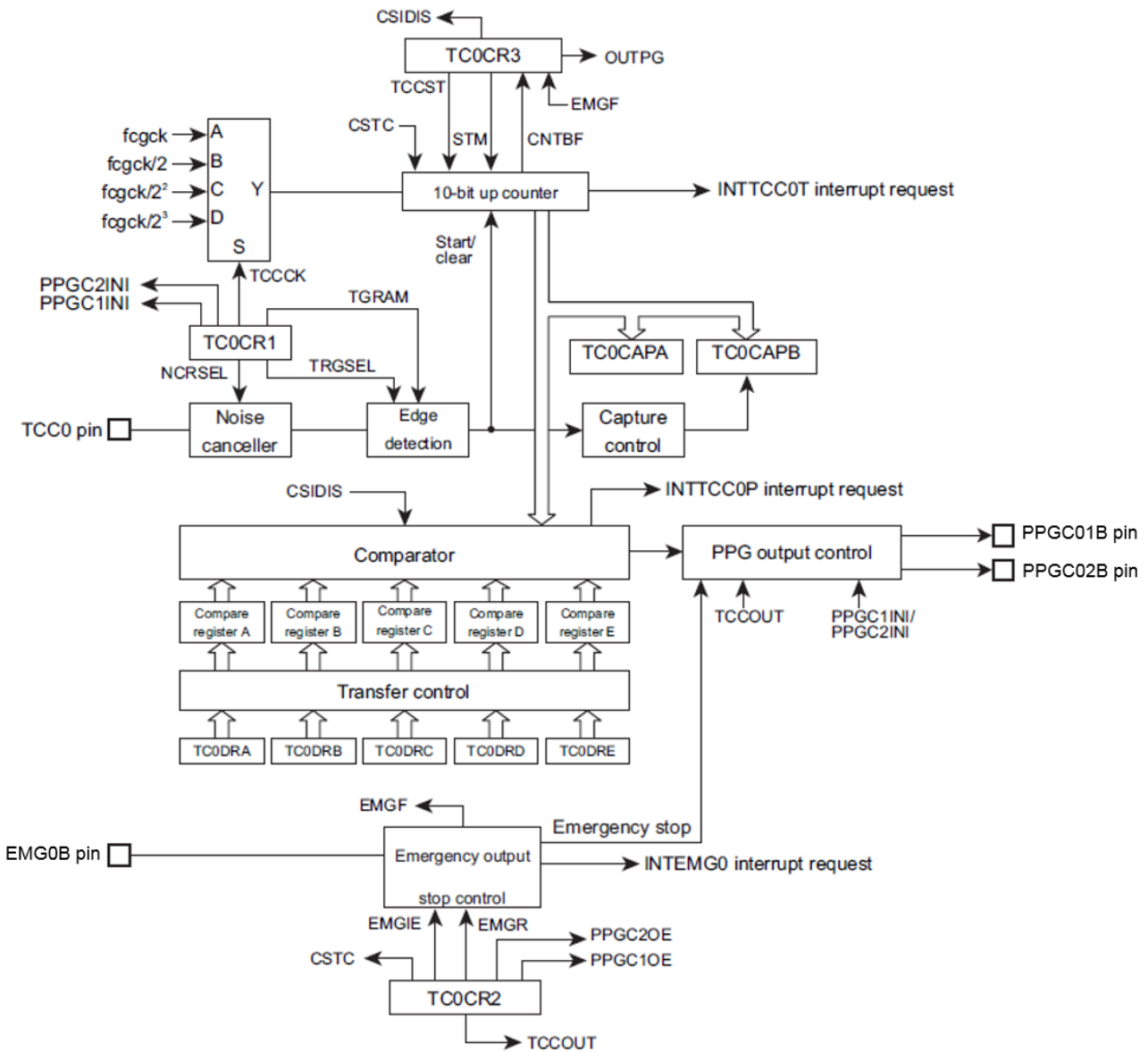


图 10.26 10 位定时器计数器

10.6.1 10 位定时器计数器控制

10.6.1.1 定时器计数器 C1

定时器计数器 C1 是由低功耗寄存器(POFFCR0)、定时器计数器控制寄存器(TC1CR1、TC1CR2、TC1CR3)、10 位死区 1 设置寄存器(TC1DRA)、脉宽 1 设置寄存器(TC1DRB)、周期设置寄存器(TC1DRC)、死区 2 设置寄存器(TC1DRD)、脉宽 2 设置寄存器(TC1DRE)和两个摄取寄存器(TC1CAPA、TC1CAPB)所控制。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

低功耗寄存器 0

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
位符号	-	TCC1EN	-	TC001EN	-	-	TCA1EN	TCA0EN
读/写	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCC1EN	TCC1 允许控制	0: 禁止 1: 允许
TC001EN	TC00,TC01 允许控制	0: 禁止 1: 允许
TCA1EN	TCA1 允许控制	0: 禁止 1: 允许
TCA0EN	TCA0 允许控制	0: 禁止 1: 允许

定时器/计数器C1控制寄存器- TC1CR1

TC1CR1 (0x0F9C)	7	6	5	4	3	2	1	0
位符号	TRGAM	TRGSEL	PPGC2INI	PPGC1INI	NCRSEL		TCCCK	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TRGAM	触发沿接受控制	0:	永远接受触发沿
		1:	(参考 TC1CR2<PPGC2OE、PPFC1OE 的设定值>)
TRGSEL	选择启动之触发起始沿	0:	下降沿启动, 高准位停止
		1:	上升沿启动, 低准位停止
PPGC2INI	定义 PPG2 输出初始值	0:	低准位(正逻辑)
		1:	高准位(负逻辑)
PPGC1INI	定义 PPG1 输出起始值	0:	低准位(正逻辑)
		1:	高准位(负逻辑)
NCRSEL	为 TCC1 输入·选择噪声抑制的时间长度(通过 flip-flop 后)	00:	将小于 16/fcgck[s]的脉冲视为噪声消除
		01:	将小于 8/fcgck[s]的脉冲视为噪声消除
		10:	将小于 4/fcgck[s]的脉冲视为噪声消除
		11:	不清除任何噪声 (注)
TCCCK	选择源时钟	00:	fcgck [Hz]
		01:	fcgck/2 [Hz]
		10:	fcgck/2 ² [Hz]
		11:	fcgck/2 ³ [Hz]

注: 因电路配置不同, 短于 1/fcgck 的脉冲将可能被视为噪声消除或是被接受为触发。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器/计数器C1控制寄存器2- TC1CR2

TC1CR2 (0x0F9D)	7	6	5	4	3	2	1	0
位符号	EMGR	EMGIE	PPGC2OE	PPGC1OE	CSTC		TCCOUT	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

EMGR	取消紧急停止输出的状态	0:	-	
		1:	取消紧急停止输出的状态(依据取消状态·此位将自动清除为“0”)	
EMGIE	允许/禁止 EMG1 脚位之输入	0:	禁止输入	
		1:	允许输入	
PPGC2OE	PPGC12 输出时·触发沿接受控制		当 TC1CR1<TRGAM>为“0”	当 TC1CR1<TRGAM>为“1”
		0:	随时接受触发沿	随时接受触发沿
		1:	随时接受触发沿	在运作期间不接受触发沿
PPGC1OE	PPGC11 输出时·触发沿接受控制	0:	随时接受触发沿	随时接受触发沿
		1:	随时接受触发沿	在运作期间不接受触发沿
CSTC	选取开始计数模式	00:	指令启动与撷取模式	
		01:	指令启动与触发启动模式	
		10:	触发启动模式	
		11:	系统保留	
TCCOUT	Select an output waveform mode. 选取波形输出模式	00:	PPGC11/PPGC12独立输出	
		01:	系统保留	
		10:	输出占空比可调	
		11:	输出占空比固定 50%	

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器/计数器C1控制寄存器3 – TC1CR3

TC1CR3 (0x0F9E)	7	6	5	4	3	2	1	0
位符号	-	-	EMGF	CNTBF	CSIDIS	STM		TCCST
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

EMGF	紧急停止输出旗标	0:	正常运作	
		1:	紧急停止输出	
CNTBF	计数状态旗标	0:	停止计数	
		1:	进行计数	
CSIDIS	当命令开始时禁止第一中断	0:	当第一周期指令开始时，允许周期性中断 (INTTCC1P)	
		1:	当第一周期指令开始时，不允许周期性中断 (INTTCC1P)	
STM	选取停止状态 选取连续输出或一次输出		TCCST = "0"	TCCST = "1"
		00:	立即停止且清除计数，回到初始输出	持续输出
		01:	立即停止且清除计数，维持输出状态	持续输出
		10:	完成当周期的输出再停止计数	一次输出
		11:	系统保留	
TCCST	选择计数启动模式	0:	停止	
		1:	启动	

注1: TC1CR1与TC1CR2寄存器在定时器启动后(TCCST为"1")，不应被重新写入。

注2: 在修改TC1CR1 或 TC1CR2之前先停止计数器，清除TCCST且确认CNTBF为"0"来判断计时器是停止状态。

注3: TCCST位只设定定时器该启动或停止，并不代表目前的计数器的运作状态。当计数启动或停止时，该值不会自动改变。

注4:当指令开始且互补模式或指令开始且触发起始模式时，将"1"写入TCCST，定时器将立即重新启动。这表示，在开始后重新写任何在TC1CR3内TCCST以外之位，都将使计数器重新开始(PPG输出将从初始状态开始)。当TCCST设为"1"，重新写入TC1CR3(不管是使用位操作或LD指令)将清除定时器并重新启动定时器。

注5: TC1CR2<EMGR>永远被读为"0"，即使是刚刚写入"1"之后。

注6:仅仅修改TC1CR2<TCCOUT>寄存器改变输出模式并不会更新其他相关寄存器，在修改后须重新配置TC1DRA到TC1CRE等寄存器，配置以上寄存器时必须以适当顺序完成，直到TC1DRC的高位写入后才会被设定值才会有效。

注7:当读取指令执行"TC1CR3，第七位与第6位被读为"0"。

死区时间设定寄存器(高位)AH – TC1DRAH

TC1DRAH (0x0FA0)	15	14	13	12	11	10	9	8
位符号	TC1DRAH							
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

死区时间设定寄存器(低位)AL – TC1DRAL

TC1DRAL (0x0F9F)	7	6	5	4	3	2	1	0
位符号	TC1DRAL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

脉宽设定寄存器(高位)BH – TC1DRBH

TC1DRBH (0x0FA2)	15	14	13	12	11	10	9	8
位符号	TC1DRBH							
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

脉宽1设定寄存器(低位)BL – TC1DRBL

TC1DRBL (0x0FA1)	7	6	5	4	3	2	1	0
位符号	TC1DRBL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

周期设定寄存器(高位)CH – TC1DRCH

TC1DRCH (0x0FA4)	15	14	13	12	11	10	9	8
位符号	TC1DRCH							
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

周期设定寄存器(低位)CL – TC1DRCL

TC1DRCL (0x0FA3)	7	6	5	4	3	2	1	0
位符号	TC1DRCL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

死区时间设定寄存器(高位)DH – TC1DRDH

TC1DRDH (0x0FA6)	15	14	13	12	11	10	9	8
位符号	TC1DRDH							
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

死区时间设定寄存器(低位)DL – TC1DRDL

TC0DRDL (0x0FA5)	7	6	5	4	3	2	1	0
位符号	TC1DRDL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

脉宽2设定寄存器(高位)EH – TC1DREH

TC1DREH (0x0FA8)	15	14	13	12	11	10	9	8
位符号	TC1DREH							
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

脉宽2设定寄存器(低位)EL – TC1DREL

TC1DREL (0x0FA7)	7	6	5	4	3	2	1	0
位符号	TC1DREL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注1:参数资料寄存器TC1DRA到TC1DRE具两阶段的架构，由两个寄存器组成；数据寄存器储存透过指令写入之值，比较器寄存器储存要与计数器比对之值。

注2:当写入寄存器TC1DRA到TC1DRE等16位寄存器，须先写入低字节再写入高字节。

注3:未使用的位(10到15位)在TC1DRA与TC1DRE的高位并无寄存器功能。读取这些位置将读到“0”，即便写入“1”时也会读到“0”。

注4:，因为两阶段的架构关系，寄存器TC1DRA到TC1DRE的读取值，可能会与当下PPG输出波形有差异。

注5: 仅仅修改TC0CR2<TCCOUT>寄存器改变输出模式并不会更新其他相关寄存器，在修改后须重新配置TC0DRA到TC0CRE等寄存器，配置以上寄存器时必须以适当顺序完成，直到TC1DRC的高位写入后才会被设定值才会有效。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器计数器C1寄存器AH – TC1CAPAH

TC1CAPAH (0x0FAA)	15	14	13	12	11	10	9	8
位符号	TC1CAPAH							
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	*	*

定时器计数器C1寄存器AL- TC1CAPAL

TC1CAPAL (0x0FA9)	7	6	5	4	3	2	1	0
位符号	TC1CAPAL							
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	*	*	*

定时器计数器C1寄存器BH – TC1CAPBH

TC1CAPBH (0x0FAC)	15	14	13	12	11	10	9	8
位符号	TC1CAPBH							
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	*	*

定时器计数器C1寄存器BL- TC1CAPBL

TC1CAPBL (0x0FAB)	7	6	5	4	3	2	1	0
位符号	TC1CAPBL							
读/写	R	R	R	R	R	R	R	R
复位后	*	*	*	*	*	*	*	*

注1:抓取寄存器 (TC1CAPA与TC1CAPB) 必须依以下顺序读取：TC1CAPA低字节、TC1CAPA高字节、TC1CAPB字节、TC1CAPB字节。

注2:若只读取TC1CAPA，下一个抓取值将不会被更新；TC1CAPB也必须被读取，才会更新下一个抓取值。

注3: 可以只读取TC1CAPB，请从低位开始读取。

注4:若在一个周期中，未侦测到抓取沿，前一个抓取值将维持到下一个周期。

注5:若在同一周期内，侦测到一个以上的抓取沿，则最后抓取沿取得的值将成为下一周期的有效值。

注6:当执行读取指令TC1CAPA与TC1CAPB，15位到10位被读取为“0”。

10.6.2 低功耗功能

在不需使用定时器时, 设定定时器计数器 C1 的低耗电寄存器 POFFCR0<TCC1EN>为"0", 停止定时器计数器 C1 的基本时钟供应, 以节省系统耗电; 此时定时器无法使用。设定 POFFCR0<TCC1EN>为"1" 可启动定时器计数器 C1 的基本时钟供应, 并启动定时器工作。

复位后, POFFCR0<TCC1EN>会被回复至初始设定"0", 定时器的工作停止。第一次使用定时器前, 必须在程序初始设定中, 设定 POFFCR0<TCC1EN>为"1" (在定时器控制寄存器工作前)。

不要在定时器工作时改变 POFFCR0<TCC1EN>的值为"0", 否则定时器计数器 C1 的工作可能会不正常运作。

10.6.3 配置控制及数据寄存器

使用以下流程配置控制与数据寄存器:

1. 模式配置: TC1CR1, TC1CR2
2. 死区时间及脉宽参数数据寄存器配置: TC1DRA, TC1DRB, TC1DRD, TC1DRE(只有当相关的模式被使用时才需要)
3. 周期参数数据寄存器配置: TC1DRC
4. 定时器/计数器启动/停止控制: TC1CR3
 - 参数数据寄存器具两阶段的架构, 由两个寄存器组成; 数据寄存器储存透过指令写入之值, 比较器寄存器储存要与计数器比对之值
 - 参数资料寄存器将依照 TC1CR2<TCCOUT>设定之输出模式进行处理, 传送到比较器寄存器, 然后与计数器值进行比对
 - 必须设定 TC1CR2<TCCOUT>选择输出模式, 再设定此模式所需的参数数据寄存器
 - 写入数据到 TC1DRC 的高字节时, 会产生 TC1DRA 到 TC1DRE 等参数数据寄存器之数据, 需要被传送到比较器寄存器之要求, 此后, 若发生计数器比对成功或有清除计数器行为时, 参数数据寄存器之数据会被上传到比较器寄存器并被用来与计数器之数值进行比对
 - 如果同一周期内寄存器被写入两次以上(假设为四次), 当 TC1DRC 高字节第一次被写入时, 当下存在于其他寄存器的值, 会是下一个周期的有效值, 第二与第三次会被第四次(最后一次)的值覆盖掉, 最后一次的值会是下一个周期的有效值

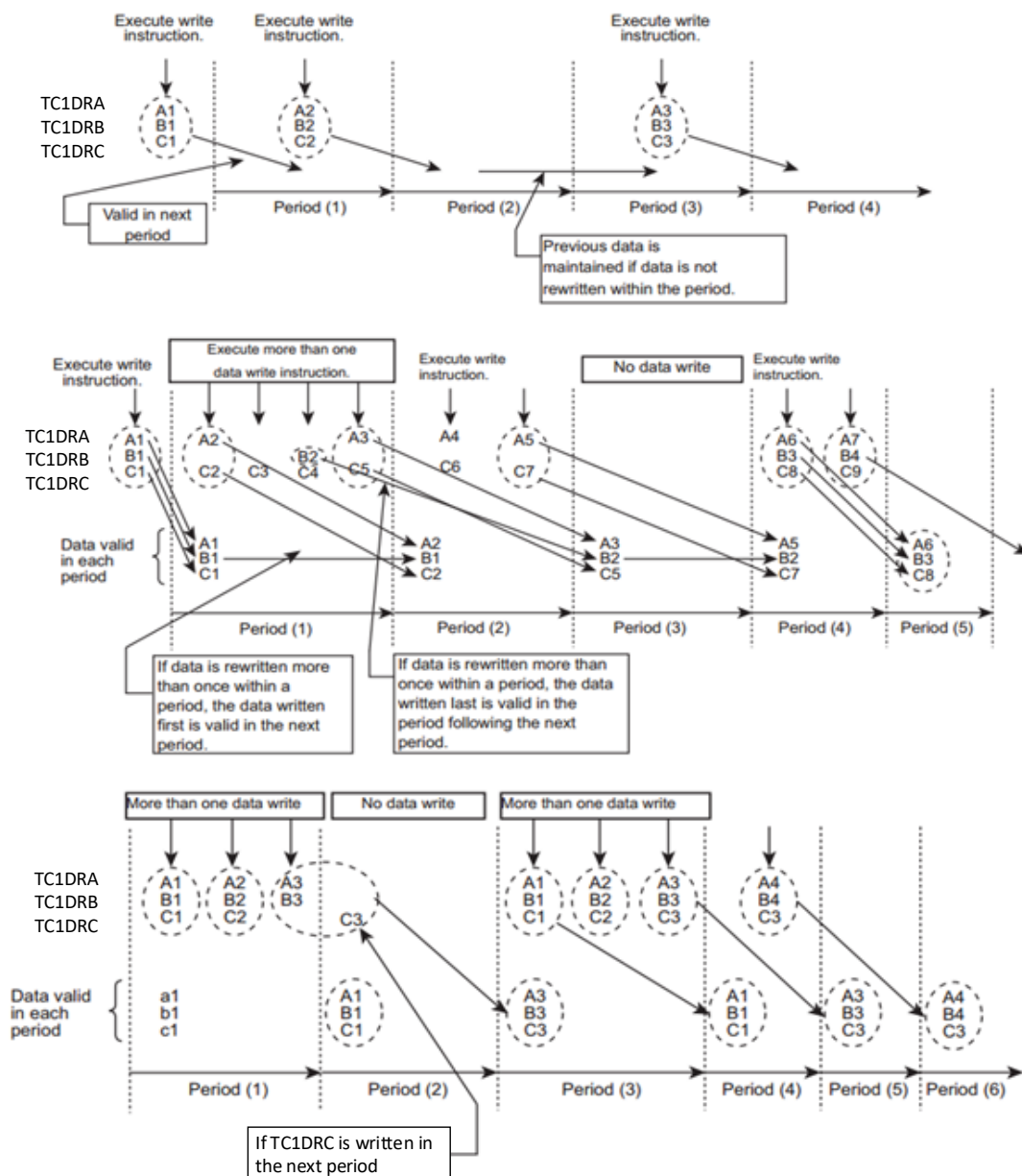


图 10.27 控制与数据寄存器配置范例

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.6.4 10 位定时器功能

10.6.4.1 10 位可编程脉宽调制 PWM 输出模式

PPGC11、PPGC12 脚位提供 PPG 输出，输出的波型模式由 TC1CR2<TCCOUT>定义，且波型可由 10 位定时器与参数资料寄存器(TC1DRA 到 TC1DRE)的比较结果产生波形信号。三种输出波型模式为：50%占空比模式、变动占空模比式、PPGC11/PPGC12 独立模式。

(a) 50%占空比模式 50% duty mode

PPGC11 与 PPGC12 脚位提供脉宽为周期一半(50%)之波型，周期由 TC1DRC 设定。

PPGC11 波形由周期的起始到周期的一半(50%)输出为有效逻辑(active)脉宽，但在周期后半段为无效逻辑(inactive)。PPGC12 波形由起始到周期的一半(50%)输出为无效逻辑，在周期后半段为有效逻辑。

如果TC1DRA有定义死区时间，脉冲脉宽(有效逻辑期间)将会减去死区时间。

寄存器的设定:

输出模式设定 TC1CR2<TCCOUT> = "11"，死区设定 TC1DRA = "死区时间"，周期设定 TC1DRC = "周期时间"

寄存器数值的有效范围：

周期: $0x002 \leq TC1DRC \leq 0x400$

(对TC1DRC写入0x400将会读到0x000也就是写入与读出之值不同)

当TC1DRC的值为奇数时，PPGC12脉宽会比PPGC11多1个计数值。

死区时间 TC1DRA: $0x000 \leq TC1DRA < (TC1DRC \div 2)$

(无需死区时请设定TC1DRA为0x000)

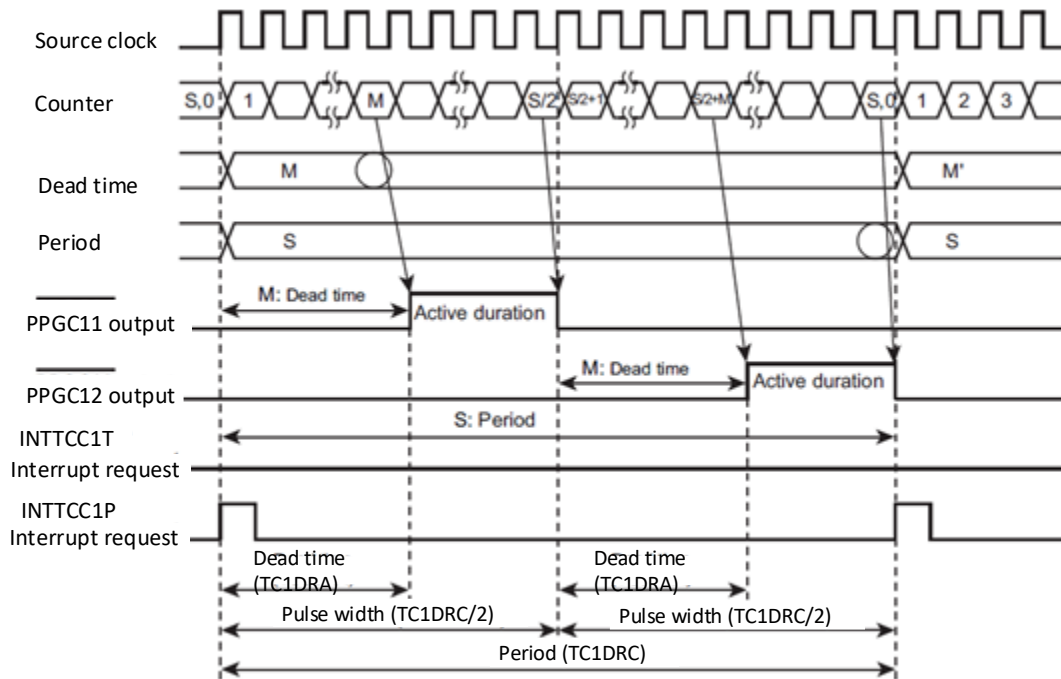


图10.28 50%占空比模式使用范例：指令启动与与擷取模式、正逻辑、连续输出

(b)占空比可调模式

TC1DRC 定义周期，TC1DRB 定义脉冲脉宽，PPGC11 脚位输出波形脉宽为 TC1DRB 所定义之值，同时由 PPGC12 脚位输出的波形脉宽为(TC1DRC - TC1DRB)。

PPGC11 输出波形由周期起始时开始输出有效逻辑(active)并维持 TC1DRB 所定义之时间，然后会改变为无效逻辑(inactive)并持续到周期结束。PPGC12 输出波形与 PPGC11 反相，也就是由周期起始时开始输出无效逻辑(inactive)并维持 TC1DRB 所定义之时间，然后会改变为有效逻辑(active)并持续到周期结束。因此 PPGC11 输出脉宽为 TC1DRB 之脉冲，PPGC12 之输出脉宽为(TC1DRC - TC1DRB)。

如果 TC1DRA 有定义死区时间，脉冲脉宽(有效逻辑期间)将会减去死区时间。

输出模式设定 TC1CR2<TCCOUT> = "10"，死区设定 TC1DRA = "死区时间"，脉宽设定 TC1DRB = "脉冲脉宽时间"，周期设定 TC1DRC = "周期时间"

寄存器数值的有效范围：

· 周期时间:

$$0x002 \leq TC1DRB + TC1DRA < TC1DRC \leq 0x400$$

(对 TC1DRC 写入 0x400 将会读到 0x000 也就是写入与读出之值不同)

脉冲脉宽时间: $0x001 \leq TC1DRB < TC1DRC$

死区时间:

$$0x000 \leq TC1DRA < TC1DRB$$

$$0x000 \leq TC1DRA < (TC1DRC - TC1DRB)$$

(无需死区时请设定 TC1DRA 为 0x000.)

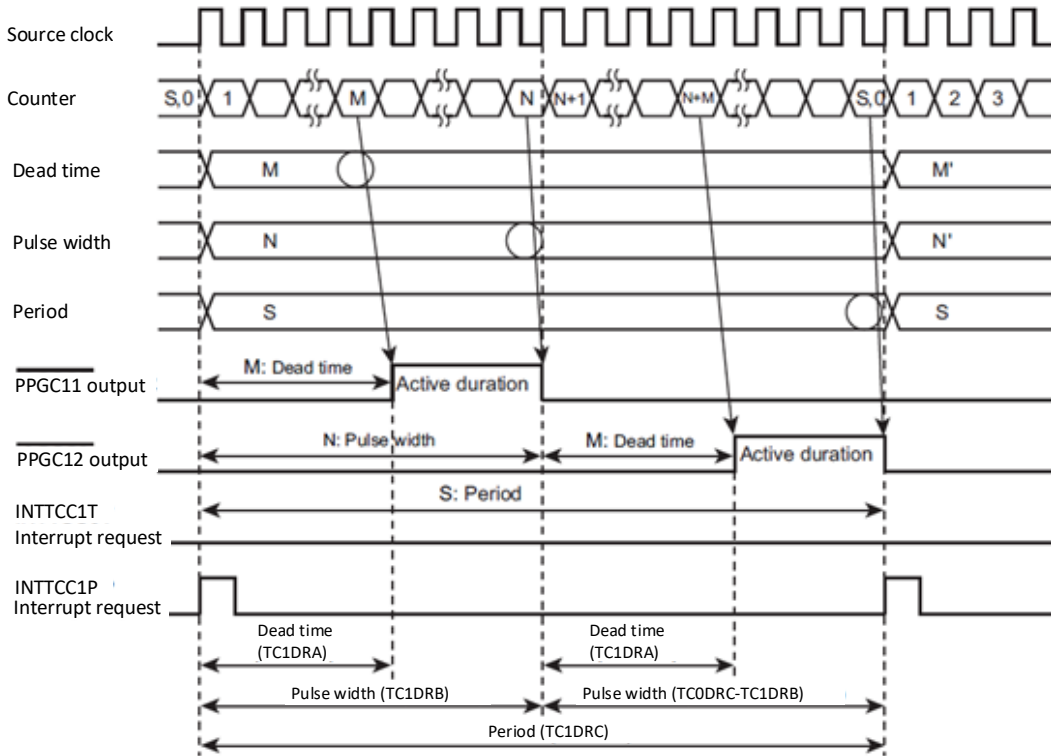


图10.29 占空比可调模式使用范例：指令启动与与撷取模式、正逻辑、连续输出

(c) PPGC11/PPGC12 独立模式

设定 PPGC11 输出，由 TC1DRA 定义死区、由 TC1DRB 定义脉宽。设定 PPGC12 输出，由 TC1DRD 定义死区、由 TC1DRE 定义脉冲脉宽。两个 PPG 的输出信号之周期相同且由 TC1DRC 定义，PPGC11 与 PPGC12 脚位可输出不同的脉宽。

PPGC11 输出波形由周期起始时开始输出有效逻辑(active)并维持 TC1DRB 所定义之时间，然后会改变为无效逻辑(inactive)并持续到周期结束。

PPGC12 输出波形由周期起始时开始输出有效逻辑(active)并维持 TC1DRE 所定义之时间，然后会改变为无效逻辑(inactive)并持续到周期结束。此模式下 PPGC12 与 PPGC11 并不直接具有反相之特性

如果 TC1DRA 或 TC1DRD 有定义死区时间，对应之脉冲脉宽(有效逻辑期间)将会减去死区时间。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

输出模式设定 TC1CR2<TCCOUT> = "00", 周期设定 TC1DRC = "周期时间",

死区设定:

TC1DRA = "PPGC11 死区时间",

TC1DRD = "PPGC12 死区时间",

脉宽设定:

TC1DRB = "PPGC11 脉冲脉宽时间",

TC1DRE = "PPGC12 脉冲脉宽时间"

寄存器数值的有效范围 :

周期时间: $0x002 \leq TC1DRC \leq 0x400$

(对 TC1DRC 写入 0x400 将会读到 0x000 也就是写入与读出之值不同)

脉冲脉宽时间:

$0x001 \leq TC1DRB \leq 0x400$

(对 TC1DRB 写入 0x400 将会读到 0x000)

$0x001 \leq TC1DRE \leq 0x400$

(对 TC1DRE 写入 0x400 将会读到 0x000)

死区时间:

$0x000 \leq TC1DRA \leq 0x3FF$ 且 $TC1DRA < TC1DRB \leq TC1DRC$

$0x000 \leq TC1DRD \leq 0x3FF$ 且 $TC1DRD < TC1DRE \leq TC1DRC$

(无需死区时请设定 TC1DRA 为 0x000.)

设置 0%占空比之方式:

$0x002 \leq TC1DRC \leq TC1DRA \leq 0x3FF$ (PPGC11 输出)

$0x002 \leq TC1DRC \leq TC1DRD \leq 0x3FF$ (PPGC12 输出)

设置占空比大于 0%且不超过 100%之方式:

$0x000 \leq TC1DRA < TC1DRB \leq TC1DRC \leq 0x400$ (PPGC11 输出)

$0x000 \leq TC1DRD < TC1DRE \leq TC1DRC \leq 0x400$ (PPGC12 输出)

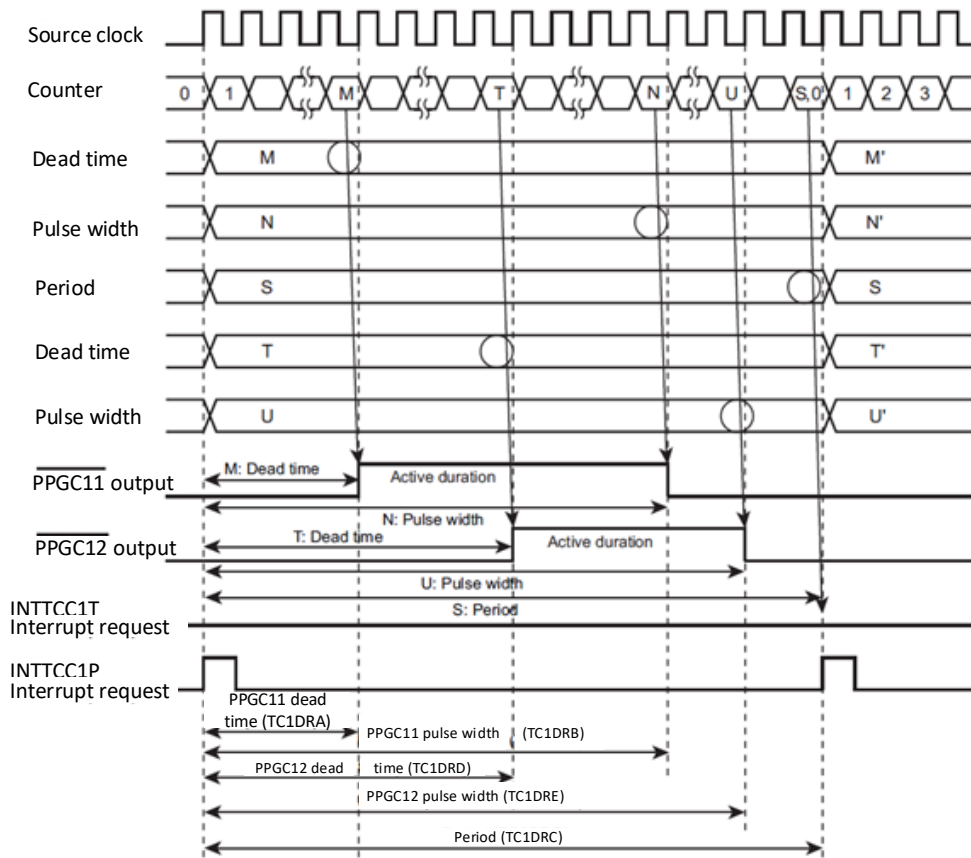


图 10.30 PPGC11/PPGC12 独立模式使用范例：指令启动与与撷取模式、正逻辑、连续输出

10.6.4.2 启动计数

计数器可透过指令或 TCC1 管脚之输入信号启动。

(a) 指令启动与与撷取模式(TC1CR2<CSTC>="00")

将 TC1CR3<TCCST>设置为"1",计数器会被清除(计数值回到"0")并且重新启动计数。一旦到达指定周期,计数器会被清除(计数值回到"0"),接下来的行为会有两种情况。若 TC1CR3<STM>定义为连续模式,将重新启动计数,当 TC1CR3<STM> 定义为单次模式,计数将停止。

在计数器计数过程中,若发生将"1"写入 TC1CR3<TCCST>之行为,计数器会被清除且之后之行为将依照 TC1CR3<STM>定义运作。TCC1 脚位出现上升沿或下降沿时当下之计数值会被撷取并储存于对应之抓取寄存器中。

寄存器设定

- 设定 TC1CR2<CSTC> = "00" 选择进入指令启动与与撷取模式

- 设定 TC1CR3<STM> 可选择 PPG 输出为连续或单次
- 设定 TC1CR3<TCCST> = "1" 开始或重新开始计数

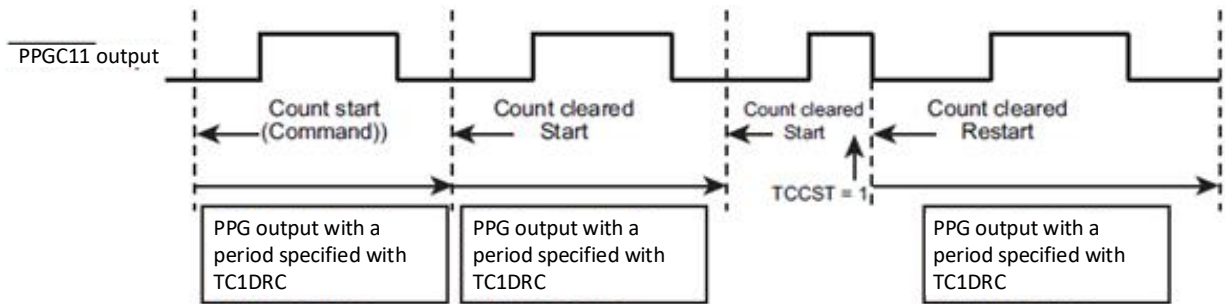


图 10.31 启动指令启动与与撷取模式的操作范例

(b) 指令启动与触发启动模式(TC1CR2<CSTC>="01")

将 TC1CR3<TCCST>设置为"1",计数器会被清除(计数值回到"0")并且重新启动计数。如果没有 TCC1 管脚的输入信号(触发信号), 行为与指令启动与与撷取模式相同。若 TCC1 管脚出现开始计数的触发信号(触发模式由 TC1CR1<TRGSEL>选定), 计数器将开始计数。当 TCC1 脚处于清除/停止准位时, 计数器将被清除并停止。当 TCC1 脚位处于清除/停止准位, 计数器的软件启动指令(TC1CR3<TCCST>写入"1")失去作用。直到 TCC1 出现开始计数的触发信号, 计数器开始计数且恢复 INTTCC1T 中断。

指令启动(TC1CR3<TCCST>写入"1")必须配合 TCC1 管脚不在清除/停止准位才有效, TCC1 启动触发信号必须配合 TC1CR3<TCCST> 内的值为 "1"时才有效

Register settings 寄存器设定

- 设定 TC1CR2<CSTC> = "01" 选择进入指令启动与触发启动模式
- 设定 TC1CR1<TRGSEL> 选择开始计数的触发信号及清除/停止准位
- 设定 TC1CR3<STM> 选择 PPG 输出为连续或单次
- 设定 TC1CR3<TCCST> = "1" 开始或重新开始计数(触发信号不在清除/停止准位)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

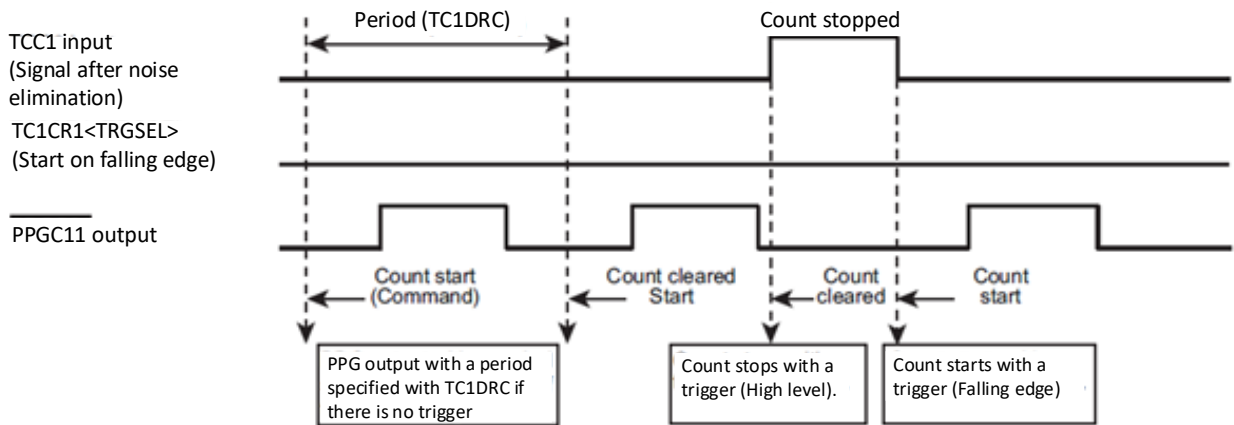


图 10.32 指令启动与触发启动模式的操作范例

(c) 触发启动模式(TC1CR2<CSTC>="10")

若 TCC1 管脚出现开始计数的触发信号(触发模式由 TC1CR1<TRGSEL>选定) ,计数器将开始计数。当 TCC1 脚处于清除/停止准位时 , 计数器将被清除并停止。在触发开始模式 , 软件启动指令(TC1CR3<TCCST>写入"1")不具启动或初始化 PPG 之作用。

寄存器设定

- 设定 TC1CR2<CSTC> = "10" 选择进入触发启动模式
- 设定 TC1CR1<TRGSEL> 选择开始计数的触发信号及清除/停止准位
- 设定 TC1CR3<STM> 选择 PPG 输出为连续或单次
- 设定 TC1CR3<TCCST> = "1" 使 TCC1 脚位之开始计数的触发信号有效

10.6.4.3 触发撷取 Trigger capture

在指令启动与与撷取模式 , TCC1 脚位输入信号的上升沿及下降沿出现的时候,当下之计数值将被撷取且分别存储于撷取寄存器 TC1CAPA 与 TC1CAPB。

所撷取数据将先存储于撷取寄存器中。当周期结束时 ,数据从撷取寄存器 传输到撷取寄存器。若在周期内未出现撷取信号 , 则撷取寄存器 中在先前的数据 , 在周期结束时将被传输到撷取寄存器。如果在同一周期中 , 出现多于一个以上的撷取信号 , 在周期结束时只会将最后一个撷取到的信号数据写入撷取寄存器中。

撷取寄存器内之数据必须依以下顺序取出 : 首先读取寄存器 A 之低字节(TC1CAPAL)、接着读取寄存器 A 之高字节(TC1CAPAH)、再读取寄存器 B 之低字节(TC1CAPBL)、最后读取寄存器 B 之高字节(TC1CAPBH) 需注意如果只读取寄存器 A(TC1CAPA)而不读取寄存器 B(TC1CAPB) 会造成无法继续撷取数据 , 也就是寄存器 B(TC1CAPB)被读取后 , 才会进行下一笔撷取数据的

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

更新。

读取撷取寄存器 B 之高字节(TC1CAPBH)以外的寄存器，将会使所有寄存器进入保护状态，在此状态下寄存器无法被更新。读取寄存器 B 之高字节(TC1CAPBH)后，保护状态才会解除，新的撷取数据始得写入撷取寄存器(读取 TC1CAPA 到 TC1CAPB 视一套操作，每次必须整套做完)。

需注意保护状态可能在计数开始时就存在，一定要在第一个周期时做一次读取所有寄存器之动作，以确保取消保护状态。

TCC1 控制撷取是假设上升或下降沿之触发信号会在同一周期里发生。当计数器运作时(TC1CR3<TCCST>=1) 撷取到的数据(侦测到一触发沿)才会在周期结束时被写入到撷取寄存器。若在一个周期内写入计数器停止指令(TC1CR3<TCCST>=0)则撷取到的是无效的数据。设定 PPG 为一次输出模式时，抓取的数据也不会被更新。一次输出模式下，在收到计数器停止指令后将不接受触发信号。

寄存器设定

- 设定 TC1CR2<CSTC> = "00" 选择进入指令启动与与撷取模式
- 设定 TC1CR3<STM> 可选择 PPG 输出为连续或单次
- 设定 TC1CR3<TCCST> = "1" 开始或重新开始计数

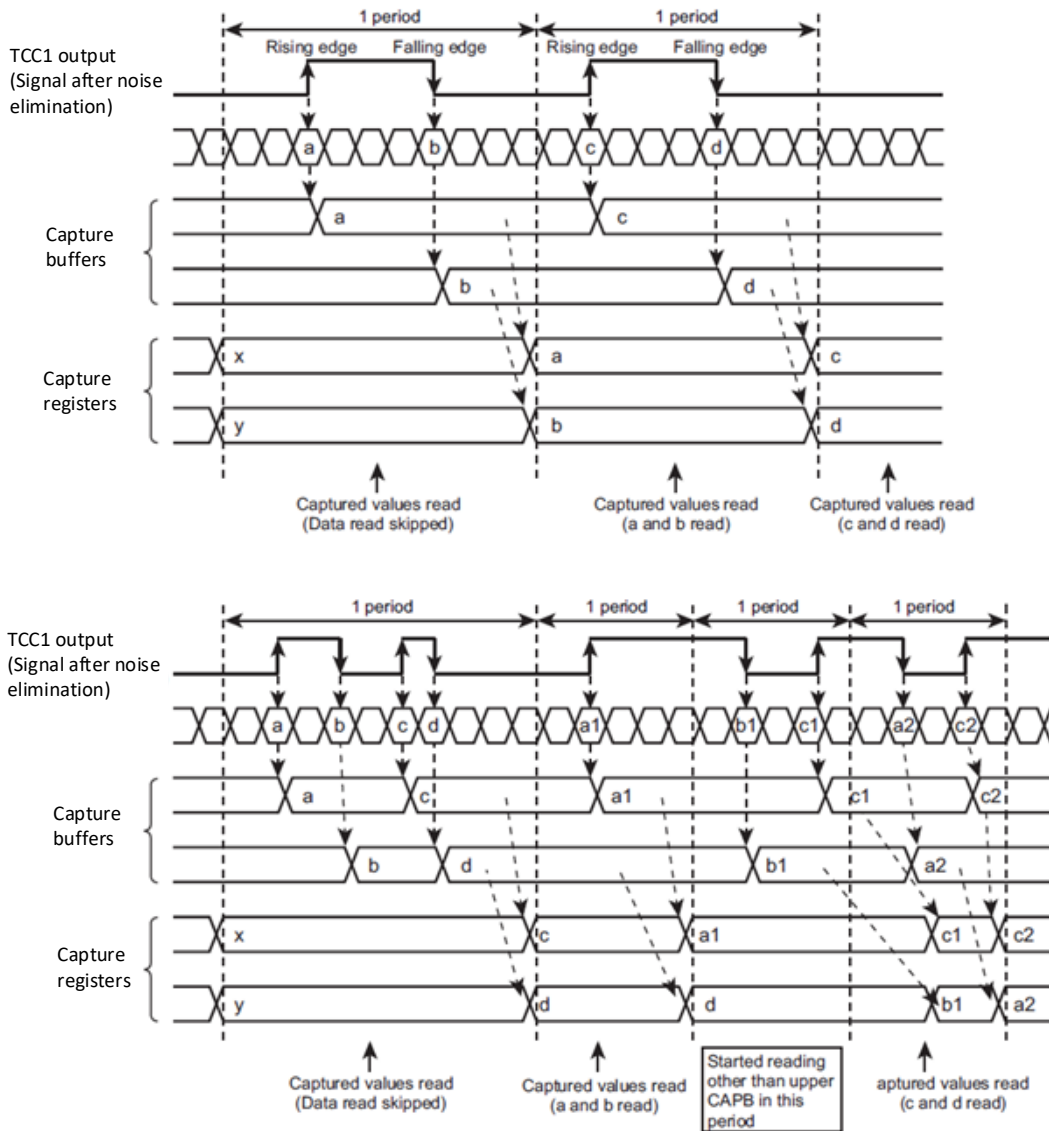


图 10.33 触发摄取模式的操作范例

10.6.4.4 触发启动/停止接受模式

(a)选择 TCC1 脚位输入信号的逻辑 (触发输入)

TCC1 脚位输入信号的逻辑，可由 TC1CR1<TRGSEL>定义。

- 当 TC1CR1<TRGSEL>="0"：下降沿触发计数开始，当 TCC1 脚位维持高电位，将清除并停止计数
- 当 TC1CR1<TRGSEL>="1"：上升沿触发计数开始，当 TCC1 脚位维持低电位，将清除并停止计数器

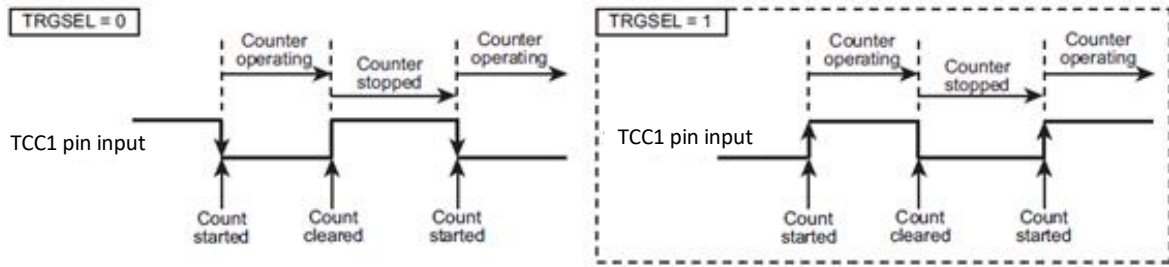


图 10.34 触发输入信号

TC1CR1<TRGSEL>设为“0”以选取下降沿为开始计数之触发信号，在 TCC1 脚位侦测到下降沿时，计数器将开始计数，当 TCC1 脚维持高电位，将清除计数器并初始化 PPG 输出，并停止计数。

TC1CR1<TRGSEL>设为“1”以选取上升沿为开始计数之触发信号，在 TCC1 脚位侦测到上升沿时，计数器将开始计数，当 TCC1 脚维持低电位，将清除计数器并初始化 PPG 输出，并停止计数。

在单次输出模式，计数器接受只接受停止计数之触发信号，但不接受开始计数之触发信号。(在周期内，当接收到停止的触发信号，输出将立即被初始化，且停止计数。)

当计数器停止时(TC1CR3<TCCST>=0)，所有触发信号(开始或停止计数)都将被忽略。

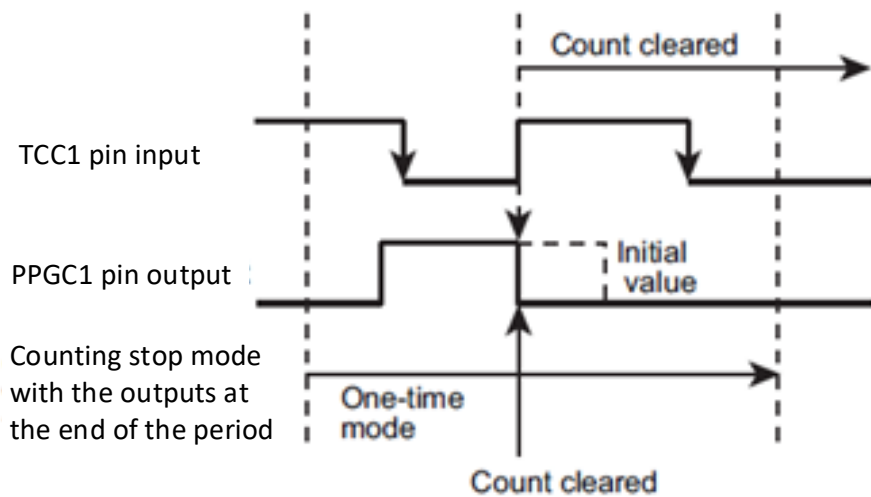


图 10.35 在单次输出模式之计数器信号

(b) 设定当 PPG 输出为有效逻辑时，是否接受开始或停止计数之触发信号

TC1CR1<TRGAM>定义当 PPG 输出为有效逻辑时，是否接受触发信号。

· TC1CR1<TRGAM> = "0"

忽略 TC1CR2<PPGCxOE>之设定

不论 PPGC11 与 PPGC12 输出状态(是有效逻辑或无效逻辑)，TCC1 脚位的触发信号都会被接受。TCC1 信号可控制计数器开始、清除/停止计数也可使 PPGC11 与 PPGC12 持续输出无效逻辑。

· TC1CR1<TRGAM> = "1"

依照 TC1CR2<PPGCxOE>之设定

TC1CR2<PPGCxOE>设为"1"，仅当 PPGC11 与 PPGC12 之输出是无效逻辑时，TCC1 脚位之触发信号可被接受。当 PPGC11 与 PPGC12 输出是有效逻辑时，触发信号会被忽略。当且使 PPGC11 与 PPGC12 输出无效。

TC1CR2<PPGCxOE>设为"0" (x = 1, 2)，触发信号总是被接受，与 PPG 输出状态无关。

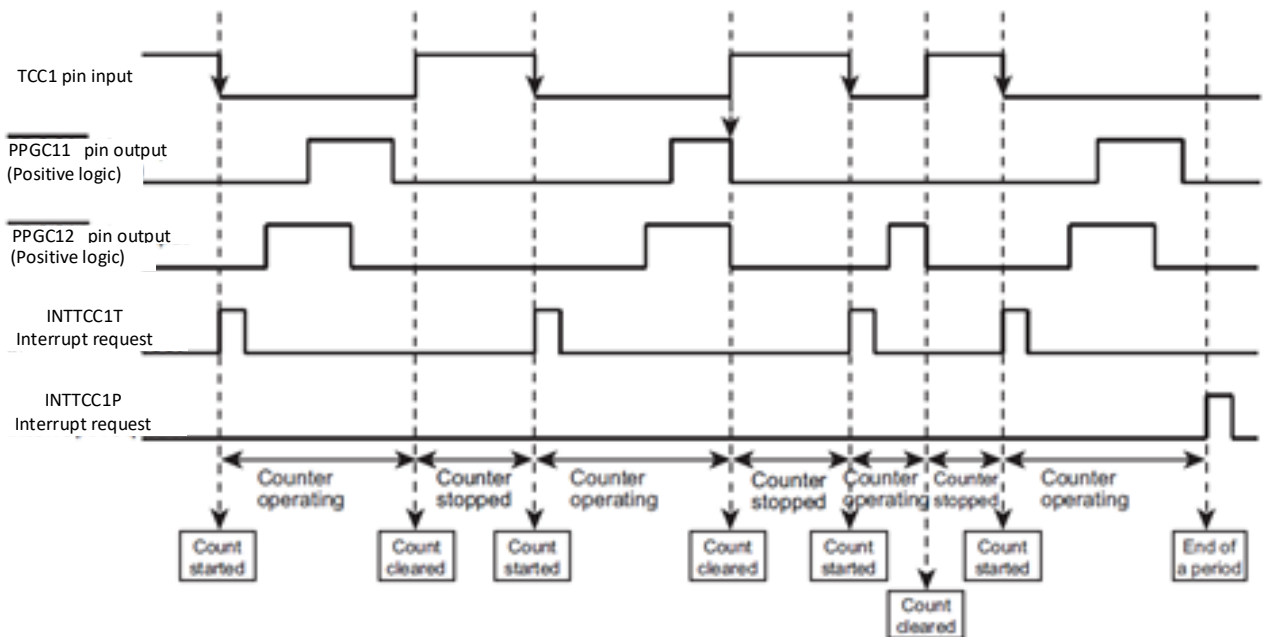


图10.36 无论PPG输出状态, TCC1脚位之触发信号总是有效,信号下降沿触发计数开始,信号为高准位时停止计数

(c) PPG 输出为有效逻辑时，触发信号将被忽略

TRGAM 设为"1"，且 TC1CR2<PPGCxOE>设为"1":

当 PPG 输出为有效逻辑时,开始计数之触发信号(信号沿)将被忽略；清除及停止计数之触发信号不会被接受，直到 PPG 输出改变为无效逻辑

当 PPG 输出为无效逻辑时，将接受所触发信号

PPGC11 与 PPGC12 触发信号是否有效，可分别透过 TC1CR2< PPGC1OE>与 TC1CR2< PPGC2OE>做设定。

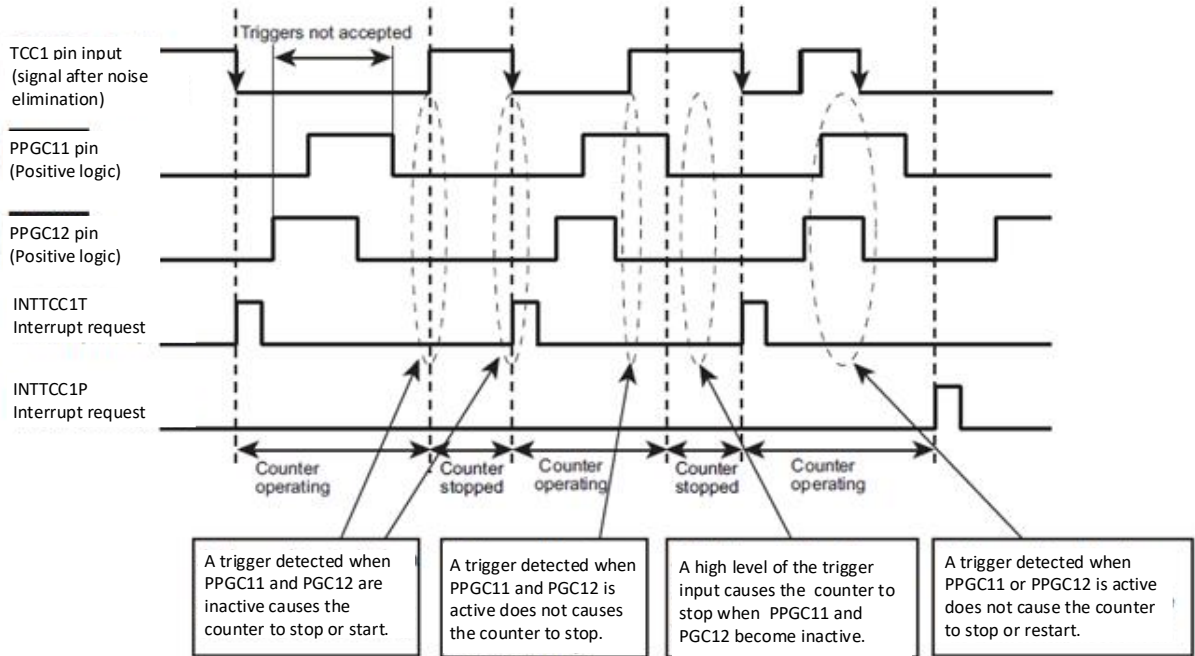


图 10.37 TCC1 脚位开始计数之触发信号：下降沿触发(TCC1 处在高位时计数器停止)，当 PPG 输出有效逻辑时触发信号将被忽略

10.6.4.5 配置计数器停止之方式

TC1CR3<TCCST>设为“0”，计数器将依照 TC1CR3<STM>设定方式停止。

(a)计数停止且输出回到初始值

当 TC1CR3<STM>设为“00”，计数立即停止且输出回复到由 PPGC1INI 与 PPGC2INI 定义之初始值。

(b)计数停止且维持输出值

当 TC1CR3<STM>设为“01”，计数将立即停止，PPGC11 与 PPGC12 维持目前输出状态。将 TC1CR3<TCCST>设为 1，从现行状态重新开始计数，输出由 PPGC1INI 与 PPGC2INI 定义之初始值开始。

(c)当周期结束时且输出值初始化时，计数停止

TC1CR3<STM>设为 10，计数器持续计数到该周期结束即停止。若在周期结束前，侦测到停止计数之触发，计数会立刻停止。

在计数器完全停止前，TC1CR1 与 TC1CR2 不应被重新写入。

读取 TC1CR3<CNTBF>，可以判断计数器是否停止。

10.6.4.6 单次/连续输出模式

(a)单次输出模式

启动计数器(TC1CR3<TCCST>=1 且 TC1CR3<STM>设为 10，定义为单次输出模式。此模式下，计数器在周期结束时将停止计数。

关于 TCC1 触发开始计时，计数为停止状态，直到侦测到触发后才会进行计数。收到指定之触发信号将启动计数，于周期结束时计数停止，或在侦测到停止的触发信号计数也会停止，停止后将等待下一个触发信号才会再次开始计数。

关于指令触发开始计时，TC1CR3<TCCST>被重设为“1”之前，计数器为停止。

TC1CR1 与 TC1CR2 在计数器完全停止前不应被重新写入。

读取 TC1CR3<CNTBF>，可判断计数器是否停止。

在计数停止后，TC1CR3<TCCST>维持为 1。

当 TC1CR3<TCCST>设为“1”之情况下设定 TC1CR3<STM>为 10 将清除计数器，单次输出模式开始开始计数。

(b)连续输出模式

启动计数器(TC1CR3<TCCST>=1)，且 TC1CR3<STM>设为 00 或 01 可设定为连续输出模式，在此模式下，计数器连续输出指定的 PPG 波形。

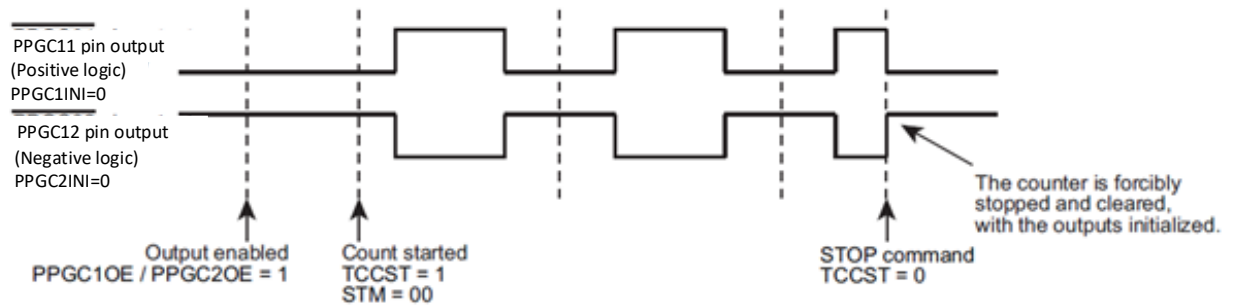


图 10.38 立即停止并清除计数器且 PPG 输出回到初始值 (TC1CR3<STM>="00")

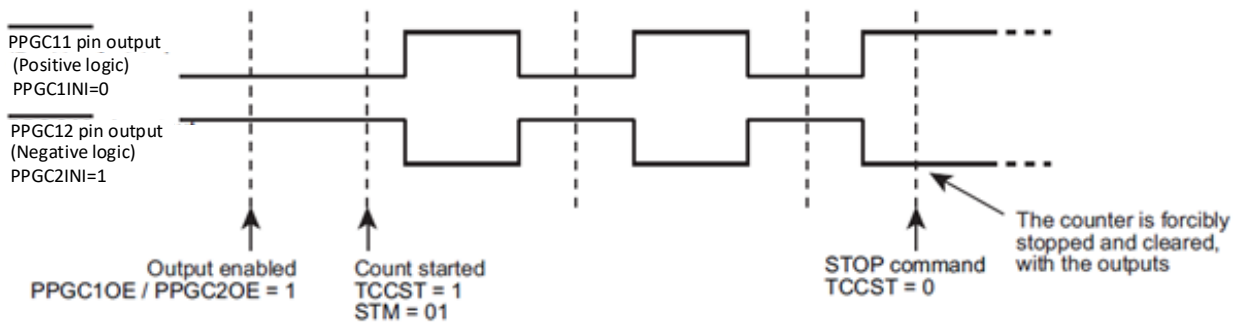


图10.39 立即停止并清除计数器且PPG 输出维持在停止前之准位(TC1CR3<STM>="01")

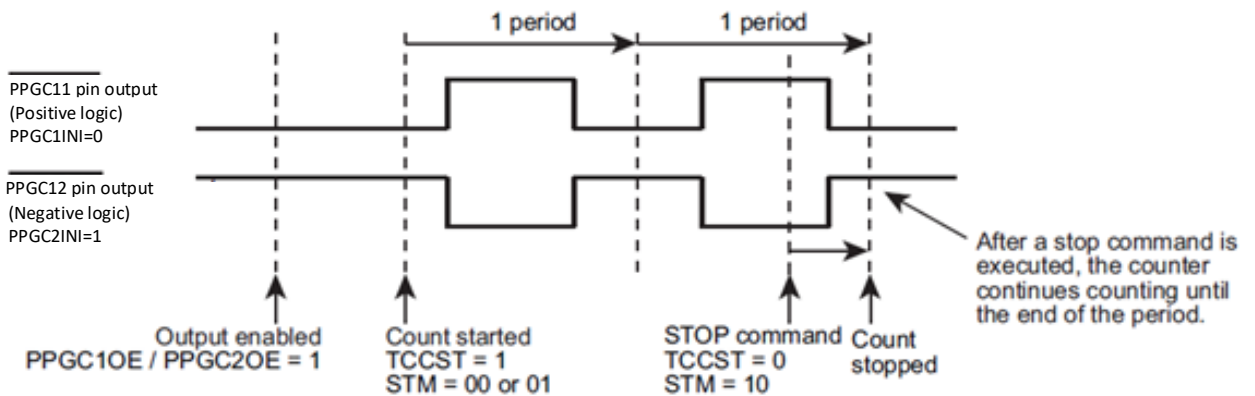


图 10.40 在周期结束时停止计数器之范例，如果设定输出有效逻辑时不接受触发信号 (TCC1CR3<STM>="10")

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

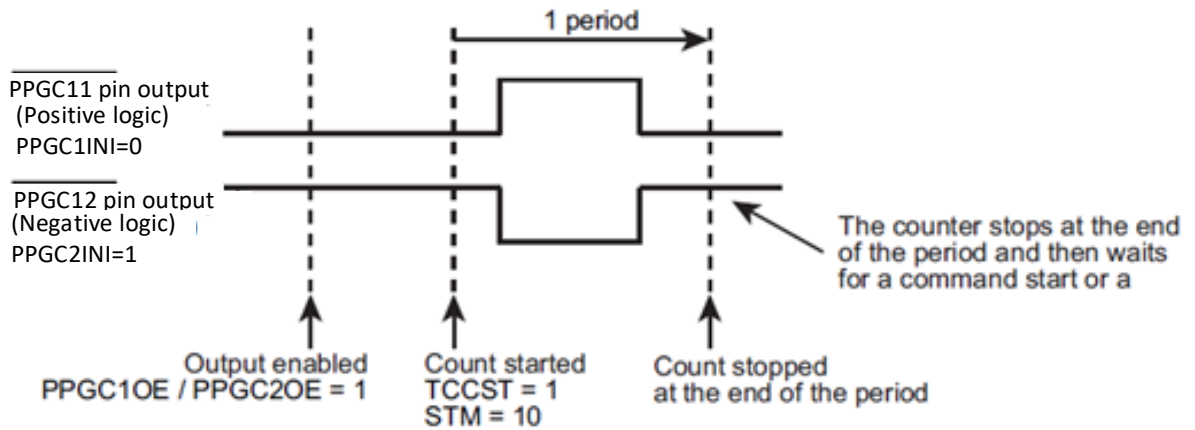


图 10.41 在周期结束时停止计数器，如果设定为单次输出模式(TC1CR3<STM>="10"), TC1CR3<TCCST>="1"

10.6.4.7 PPG 输出控制

(a)定义 PPG 输出的初始值与输出逻辑

TC1CR1<PPGC1INI 与 PPGC2INI>定义 PPGC11 与 PPGC12 输出初始值与输出逻辑

(1) 正逻辑输出

设定为 0，定义输出为正逻辑，周期开始后过了死区时间输出为有效逻辑(高准位)，接着过了设定的计数器时间，信号改变为无效逻辑(低准位)。

(2) 负逻辑输出

设定为 1，定义输出为正逻辑，周期开始后过了死区时间输出为有效逻辑(低准位)，接着过了设定的计数器时间，信号改变为无效逻辑(高准位)。

(b)启动或停止 PPG 输出

I/O 埠设定可定义是否由管脚输出 PPG 信号。当 IO 设定为非 PPG 输出功能(PxFC=0)，即使计数器有在工作管脚并不会输出 PPG 波形，且允许 PPGC11、PPGC12 脚做为一般的 I/O 脚使用。

(c)将 TCC1 作为一般的定时器/计数器

当 IO 设定为非 PPG 输出功能(PxFC=0)，TCC1 可作为一般定时器/计数器。此状况下，使用 INTTCC1P 中断，此中断将透过比较数据寄存器(TC1DRC)的值而产生。设定计数启动模式为指令启动与抓取模式，使用(TC1CR2<CSTC>)启动。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

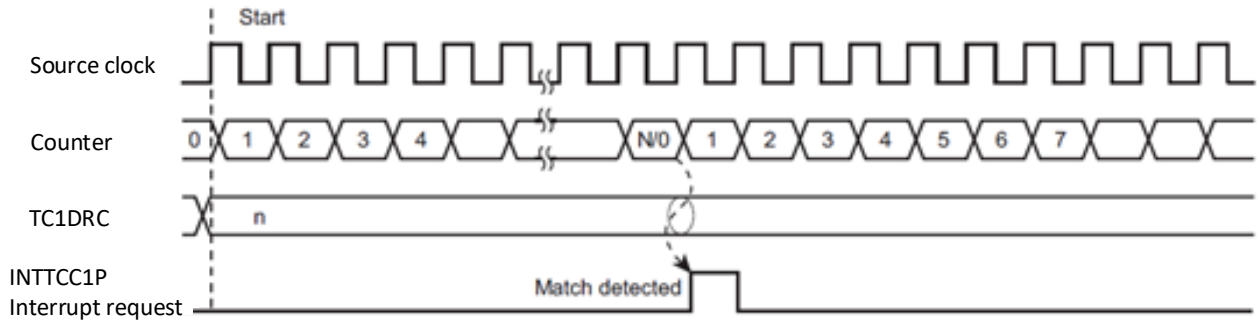


图 10.42 将 TCC1 作为一般的定时器/计数器 (当 TC1CR3<CSIDIS>为“1”)

10.6.4.8 消除 TCC1 输入噪声

TCC1 管脚之输入信号噪声会透过一数位滤波器消除。

数位滤波器之取样频率由 TC1CR1<NCRSEL>定义选择取样时钟源 $fcgck/4$, $fcgck/2$ 或 $fcgck$ ，且信号都经过五次取样做判断。至少连续五次取样得到的信号相同，才被接受为有效之输入。否则将被视为噪声消除。

TC1CR1 <NCRSEL>	Sampling Frequency (Number of Samplings)	Pulse Width Always Assumed as Noise			Pulse Width Always Assumed as Signal		
			at 8 MHz	at 16 MHz		at 8 MHz	at 16 MHz
00	$fcgck/4$ (5 times)	$16/fcgck$ [s]	2 [μs]	1 [μs]	$20/fcgck$ [s]	2.5 [μs]	1.25 [μs]
01	$fcgck/2$ (5 times)	$8/fcgck$ [s]	1 [μs]	500 [ns]	$10/fcgck$ [s]	1.25 [μs]	0.625 [μs]
10	$fcgck$ (5 times)	$4/fcgck$ [s]	0.5 [μs]	250 [ns]	$5/fcgck$ [s]	0.625 [μs]	0.3125 [μs]
11	(None)	None	-	-	$(1/fcgck)$		

表 10.19 噪声消除设定

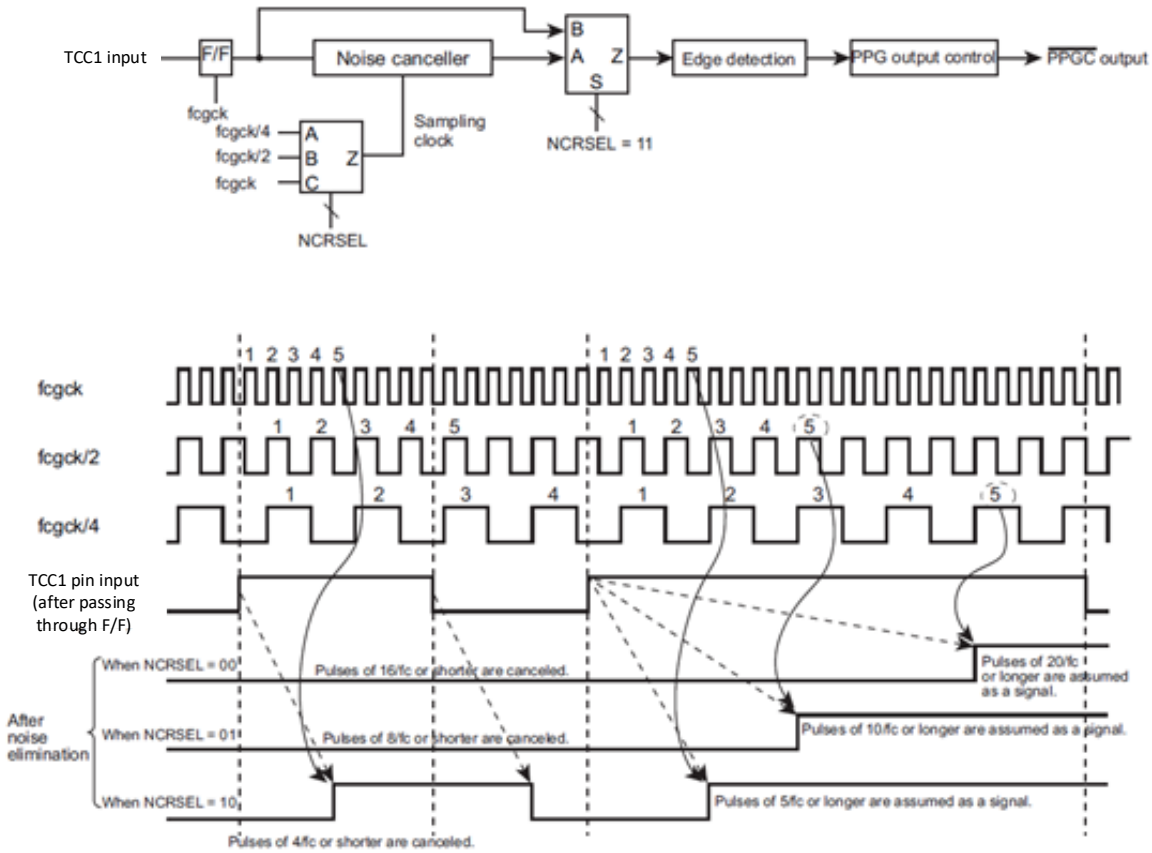


图 10.43 噪声消除

当 $TC1CR1\langle NCRSEL \rangle = 00$, 如果信号准位持续时间小于等于 $16/fcgck$ [s], 在进入 TCC1 通过 F/F 后将被消除, 若持续时间大于等于 $20/fcgck$ [s] 则将被视为信号。当信号进入 TCC1 脚通过 F/F 后, 在 PPG 输出改变前, 会发存在 $21/fcgck$ [s] 到 $24/fcgck$ [s] 之时间延迟。

当 $TC1CR1\langle NCRSEL \rangle = 01$, 如果信号准位持续时间小于等于 $8/fcgck$ [s], 在进入 TCC1 通过 F/F 后将被消除, 若持续时间大于等于 $10/fcgck$ [s] 则将被视为信号。当信号进入 TCC1 脚通过 F/F 后, 在 PPG 输出改变前, 会发存在 $13/fcgck$ [s] 到 $14/fcgck$ [s] 之时间延迟。

当 $TC1CR1\langle NCRSEL \rangle = 10$, 如果信号准位持续时间小于等于 $4/fcgck$ [s], 在进入 TCC1 通过 F/F 后将被消除, 若持续时间大于等于 $5/fcgck$ [s] 则将被视为信号。当信号进入 TCC1 脚通过 F/F 后, 在 PPG 输出改变前, 会发存在 $5/fcgck$ [s] 之时间延迟。

当 $TC1CR1\langle NCRSEL \rangle = 11$, 如果脉冲小于 $1/fcgck$, 可视为信号或噪声被取消。确保输入信号脉冲较 $1/fc$ 长。当信号进入 TCC1 脚通过 F/F 后, 在 PPG 输出改变前, 会发存在 $4/fcgck$ [s] 之时间延迟。

注 1: 如果当噪声消除门坎变更时, 脚位输入信号也正好改变, 则输入可能被视为噪声被消除或正常输入信号。

注 2: 当噪声与内部取样时间同步, 将可能被视为信号。

注 3: 由 TCC1 脚提供信号需要在 $1/fcgck$ [s] 之内通过 F/F。

10.6.4.9 中断

TCC1 支持三种中断源。

(a)INTTCC1T (触发起始中断)

当检测到由 TC1CR1<TRGST>定义的开始计数触发沿，将产生触发中断(INTTCC1T)。在清除或停止计数时触发沿，不会发生中断。在触发摄取模式下检测到触发沿也不会产生中断。即使是紧急停止发生时，也会产生中断。

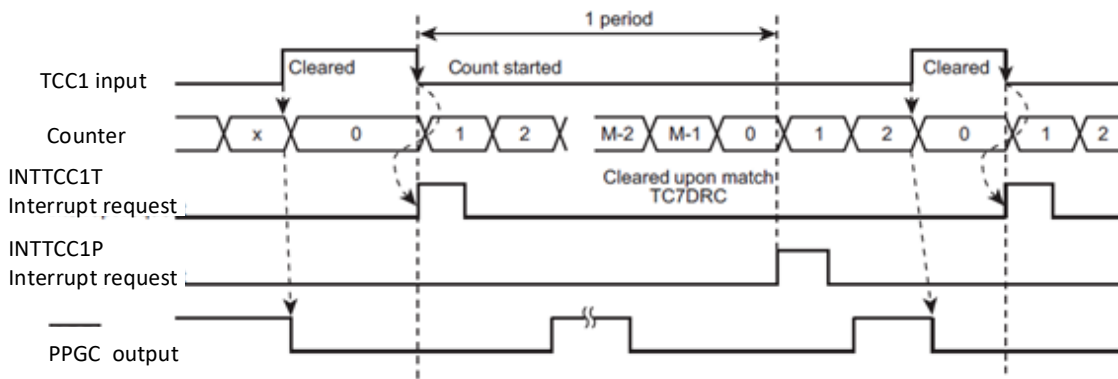


图 10.44 触发起始中断

(b)INTTCC1P (周期中断)

周期中断(INTTCC1P)发生于软件的开始计数指令及在指定的计数周期 (TC1DRC)到达时。即使是紧急停止产生的比对符合也会发生中断。

当 TCC1 脚信号处于停止准位，指令的开始信号(在 TC1CR3<TCCST>写入 1)，并不会产生此中断(INTTCC1P 不会启动)，而在之后的触发起始沿产生的是触发起始中断 INTTCC1T。

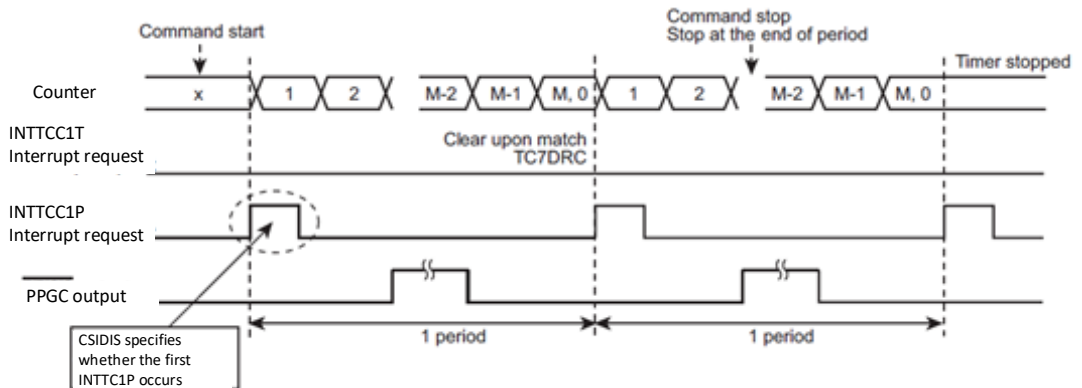


图 10.45 周期中断

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(c)INTEMG1 (紧急输出停止中断)

当紧急输出停止电路运作并停止 PPG 输出时,将产生紧急输出停止中断(INTEMG1)。

10.6.4.10 紧急 PPG 输出停止之特性

设定 TC1CR2<EMGIE>为 1，使紧急 PPG 输出停止之特性可被使用(开启 EMG1 脚之功能)。

当 EMG1 脚侦测到低电位输入，将发生 EMG 中断(INTEMG1)且 PPG 输出回到初始值(依 PPGC1INI 与 PPGC2INI 定义)。这就是紧急 PPG 输出停止

此特性仅中止 PPG 输出，并不会停止计数。使用 EMG 中断子程序来停止计数器。

注：确认 EMG1 脚低电位至少持续 4/fcgck[s]。当低电位时间短于 4/fcgck[s]时，紧急 PPG 输出停止特性可能不会正常运作。

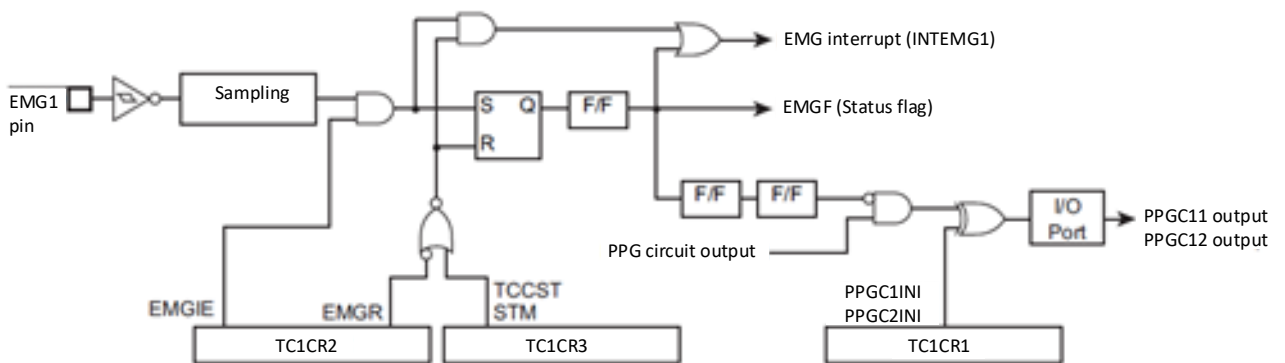


图 10.46 EMG1B 脚位

(a)启动/禁止 EMG1 脚输入

设定 TC1CR2<EMGIE>为 1，可启动 EMG1 脚功能，设定为“0”，将禁止该脚位 EMG1 输入(初始设定，TC1CR2<EMGIE>为“0”，禁止紧急输出停止(EMG1 脚)输入之功能。

EMG1 脚输入信号只有在此功能的 IO 管脚处于输入模式时才有效。使用 EMG1 功能前须先确认其管脚处于输入模式。EMG1 脚位取样输入使用的是高速时钟。若快速时钟停止时，紧急 PPG 输出停止特性将不会正常运作。

(b)监控紧急 PPG 输出停止模式

当紧急 PPG 输出停止之功能发生作用时，TC1CR3<EMGF>设为“1”。从 EMGF 读入“1”表示在 PPG 输出被停止中。

(c)EMG 中断

当紧急 PPG 输出停止发生时，将产生 EMG 中断(INTEMG1)。若使用到 INTEMG1 中断进行处

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

理，请确保中断是启动的。

当 TC1CT2<EMGIE>设为“1”(EMG1 脚输入为有效)，且 EMG1 脚为低电位，若消除紧急 PPG 输出停止状态，会在判断 EMG1 信号，导致中断产生再次发生。

不论当时定时器是否在运作，当 TC1CR2<EMGIE>=“1”，停止输入被接受，INTEMG 中断发生。

(d)取消紧急 PPG 输出停止状态

要取消紧急 PPG 输出停止状态，先确认 EMG1 脚输入为高电位(非紧急停止输入)，将 TC1CR3<TCCST>设为“0”且 TC1CR3<STM>设为“00”以停止定时器，然后设定 TC1CR2<EMGR>为“1”。只有当 TCCST = 0 且 TC1CR3<STM> = 00 之情况下，将 EMGR 设为“1”才会有取消停止状态之作用;所以在取消消停止状态之前务必确认 TC1CR3<TCCST>为“0”且 TC1CR3<STM>为“00”。

当 EMG1 脚位输入为低电位(紧急停止输入)，设定 TC1CR2<EMGIE> = 1 虽然暂时取消了紧急 PPG 输出停止状态，因为 EMG1 还在低电位，计数器将重新启动紧急 PPG 输出停止状态且产生 INTEMG 中断。

(e)取消紧急 PPG 输出停止状态后，重新启动定时器

在取消紧急 PPG 输出停止状态后，若要重新启动定时器，在重新启动定时器前，需重新配置控制寄存器(TC1CR1, TC1CR2, TC1CR3)。当紧急 PPG 输出为停止状态下，定时器无法重新启动。在控制寄存器重新配置前必须确认已取消紧急停止状态以重新启动定时器。请确保控制寄存器是依据适当的操作程序设定进行定时器之配置。

(F)EMG1 脚输入到 PPG 输出初始化完成之间的反应时间

从 EMG1 脚侦测到低电位输入到 PPG 输出回到初始值的间隔时间最长为 $4/f_{cgck}$ [s]。

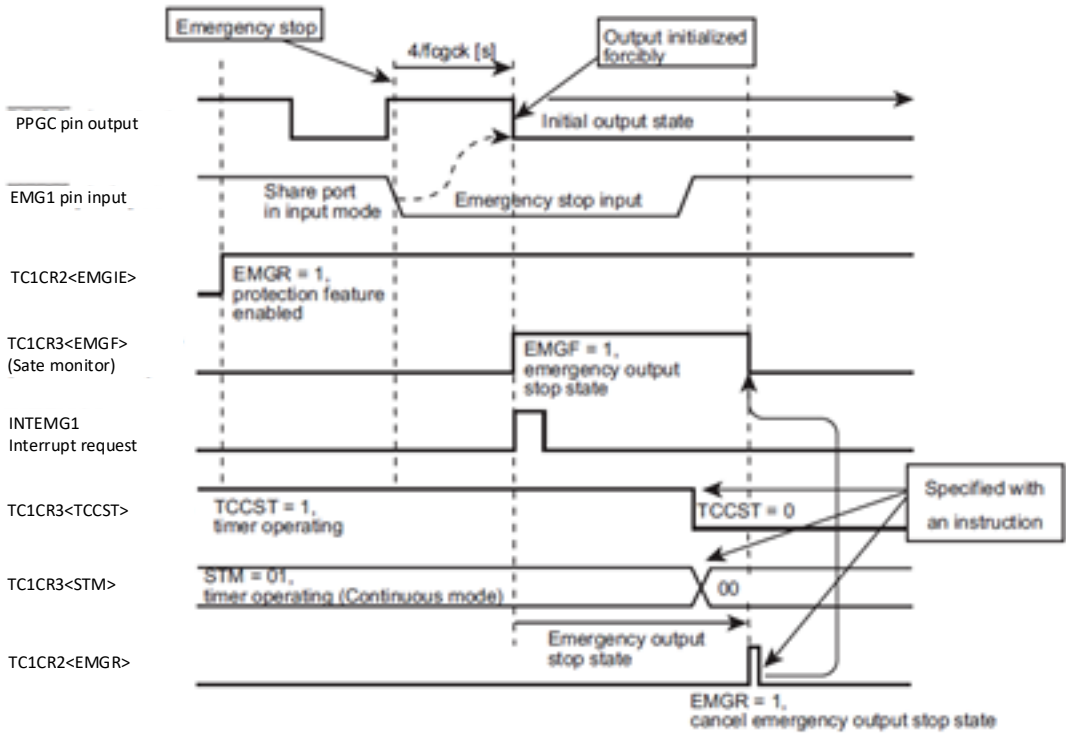


图 10.47 从侦测到 EMG1B 输入低电位到 PPG 输出停止并回到初始值的时序

10.6.4.11 TCC1 之行为与 MCU 各操作模式之关系

TCC1 可操作在 NORMAL1, NORMAL2, IDLE1, IDLE2 等使用高速时中之模式。如果 TCC1 正常操作中发生 MCU 之工作模式切换，切换至 STOP、SLOW 或 SLEEP 等没有启动高速时钟之模式 TCC1 会停止并回到初始值。

所以，TCC1 工作中如果要切换 MCU 工作模式至 STOP、SLOW 或 SLEEP 等模式，必须先停止 TCC1。

如果由 STOP、SLOW 或 SLEEP 等模式回到 NORMAL 模式，要再启动 TCC1，起依照 TCC1 正常的启动方式，重新启动。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.6.4.12 使用开发工具时关于 TCC1 之注意事项

使用在线仿真之断点功能时，程序停在断点后 TCC1 之 PPG 输出会暂止并输出 TC1CR1<PPGC1INI 及 PPGC2INI>设定至初始值，当程序由断点释放接续执行时 PPG 会恢复到暂停前的状态继续输出。透过改变开发工具的设定也可以选择程序在停再断点时 PPG 持续输出，不暂停。详细情形请参考开发工具之操作手册。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.7 16 位定时器计数器(TCA)

MQ6823 单片机具备 2 个高效能 16 位定时器计数器 TCA0、TCA1。有关特殊功能寄存器(SFR)地址及引脚名称的资讯，请参考表 10.20 与表 10.21。

	TAxDAL (地址)	TAxDRAH (地址)	TAxDRBL (地址)	TAxDRBH (地址)	TAxMOD (地址)	TAxCR (地址)	TAxSR (地址)	低功耗寄存器
定时器计数器A0	TA0DRAL (0x002D)	TA0DRAH (0x002E)	TA0DRBL (0x002F)	TA0DRBH (0x0030)	TA0MOD (0x0031)	TA0CR (0x0032)	TA0SR (0x0033)	POFFCR0 <TCA0EN>
定时器计数器A1	TA1DRAL (0x0F5A)	TA1DRAH (0x0F5B)	TA1DRBL (0x0F5C)	TA1DRBH (0x0F5D)	TA1MOD (0x0F5E)	TA1CR (0x0F5F)	TA1SR (0x0F60)	POFFCR0 <TCA1EN>

表 10.20 SFR 地址

	定时器输入引脚	脉宽调制 PWM 输出引脚
定时器计数器A0	TCA0	PPGA0B
定时器计数器A1	TCA1	PPGA1B

表 10.21 引脚名称

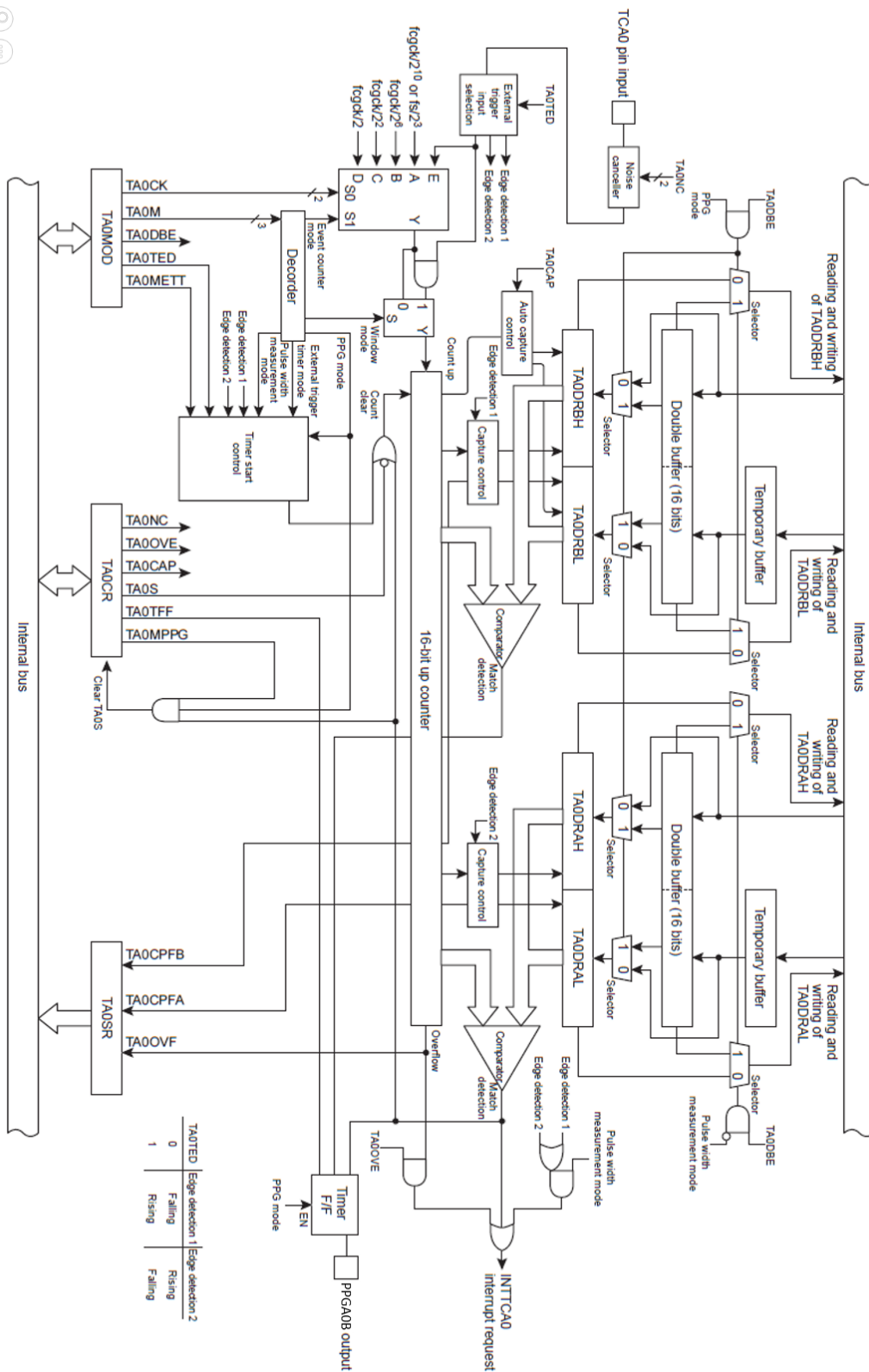


图 10.48 16 位定时器计数器

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.7.1 16 位定时器计数器控制

定时器计数器 A0 是由低耗电寄存器 POFFCR0、定时器计数器 A0 模式寄存器 TA0MOD、定时器计数器 A0 控制寄存器 TA0CR 和 2 个 16 位定时器 A0 寄存器 TA0DRA 与 TA0DRB 控制。

低耗电寄存器 0

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
位符号	-	TCC1EN	-	TC001EN	-	-	TCA1EN	TCA0EN
读/写	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCC1EN	TCC1 允许控制	0: 禁止 1: 允许
TC001EN	TC00,TC01 允许控制	0: 禁止 1: 允许
TCA1EN	TCA1 允许控制	0: 禁止 1: 允许
TCA0EN	TCA0 允许控制	0: 禁止 1: 允许

定时器计数器A0模式寄存器

TA0MOD (0x0031)	7	6	5	4	3	2	1	0
位符号	TA0DBE	TA0TED	TA0MCAP TA0METT	TA0CK		TA0M		
读/写	R/W	R/W	R/W	R/W		R/W		
复位后	1	0	0	0	0	0	0	0

TA0DBE	双缓冲寄存器 控制	0: 禁止双缓冲寄存器 1: 允许双缓冲寄存器																							
TA0TED	外部触发输入方式选择	0: 上升沿 / 高电平 1: 下降沿 / 低电平																							
TA0MCAP	脉宽测量模式控制	0: 双沿抓取 1: 单沿抓取																							
TA0METT	外部触发定时器控制	0: 触发启动 1: 触发启动与结束																							
TA0CK	定时器计数器 A0 源时钟选择	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td></td> <td colspan="2" style="text-align: center;">普通 1/2 · 空闲 1/2 模式</td> <td rowspan="2" style="text-align: center;">低速 1/2 模式 睡眠 1 模式</td> </tr> <tr> <td></td> <td style="text-align: center;">SYSR1 <DV9CK>=0</td> <td style="text-align: center;">SYSR1 <DV9CK>=1</td> </tr> <tr> <td>00:</td> <td style="text-align: center;">$fcgck/2^{10}$</td> <td style="text-align: center;">$fs/2^3$</td> <td style="text-align: center;">$fs/2^3$</td> </tr> <tr> <td>01:</td> <td style="text-align: center;">$fcgck/2^6$</td> <td style="text-align: center;">$fcgck/2^6$</td> <td style="text-align: center;">-</td> </tr> <tr> <td>10:</td> <td style="text-align: center;">$fcgck/2^2$</td> <td style="text-align: center;">$fcgck/2^2$</td> <td style="text-align: center;">-</td> </tr> <tr> <td>11:</td> <td style="text-align: center;">$fcgck/2$</td> <td style="text-align: center;">$fcgck/2$</td> <td style="text-align: center;">-</td> </tr> </table>		普通 1/2 · 空闲 1/2 模式		低速 1/2 模式 睡眠 1 模式		SYSR1 <DV9CK>=0	SYSR1 <DV9CK>=1	00:	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	01:	$fcgck/2^6$	$fcgck/2^6$	-	10:	$fcgck/2^2$	$fcgck/2^2$	-	11:	$fcgck/2$	$fcgck/2$	-
			普通 1/2 · 空闲 1/2 模式		低速 1/2 模式 睡眠 1 模式																				
			SYSR1 <DV9CK>=0	SYSR1 <DV9CK>=1																					
		00:	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$																				
		01:	$fcgck/2^6$	$fcgck/2^6$	-																				
10:	$fcgck/2^2$	$fcgck/2^2$	-																						
11:	$fcgck/2$	$fcgck/2$	-																						
TA0M	定时器计数器 A0 工作模式选择	000: 定时器模式																							
		001: 定时器模式																							
		010: 事件计数器模式																							
		011: PPG 输出模式(软件启动)																							
		100: 外部触发定时器模式																							
		101: 窗模式																							
		110: 脉宽测量模式																							
		111: 系统保留																							

注 1 : $fcgck$ · 齿轮时钟[Hz] · fs · 低速时钟[Hz]。

注 2 : 在定时器停止时(TA0CR<TA0S>="0")才设定 TA0MOD。定时器工作时(TA0CR<TA0S>="1")设定 TA0MOD 寄存器是无效的。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器计数器A0控制寄存器

TA0CR (0x0032)	7	6	5	4	3	2	1	0
位符号	TA0OVE	TA0TFF	TA0NC		-	-	TA0ACAP TA0MPPG	TA0S
读/写	R/W	R/W	R/W		R	R	R/W	R/W
复位后	0	1	0	0	0	0	0	0

TA0OVE	溢位中断控制	0: 计数器溢位发生时, 不产生 INTTCA0 中断要求 1: 计数器溢位发生时, 产生 INTTCA0 中断要求		
TA0TFF	定时器 F/F 控制	0: 清除 1: 设定		
TA0NC	噪声抑制取样间隔设定		普通 1/2 空闲 1/2 模式	低速 1/2 模式 睡眠 1 模式
		00:	无噪声抑制	无噪声抑制
		01:	$fcgck/2$	-
		10:	$fcgck/2^2$	-
		11:	$fcgck/2^8$	$fs/2$
TA0ACAP	自动抓取功能	0: 禁止自动抓取 1: 允许自动抓取		
TA0MPPG	PPG 输出控制	0: 连续 1: 单次		
TA0S	定时器计数器 A0 启动控制	0: 停止并清除定时器 1: 开始		

注 1: 自动抓取功能只可用于定时器模式、事件计数器模式、外部触发定时器模式及窗模式。

注 2: 在定时器停止时(TA0S="0")才设定 TA0TFF、TA0OVE 与 TA0NC。在定时器工作时(TA0S="1")设定是无效的。

注 3: 系统切换至停止模式时, TA0S 寄存器会被清空为"0"并停止定时器。系统脱离停止模式后, 需再次设定 TA0S 寄存器以使用定时器计数器 A0。

注 4: TA01CR 寄存器的第 3 位与第 2 位读出数值为"0"。

注 5: 在低速 1/2 或睡眠 1 模式下, 不要将 TA0NC 设定为"01"或"10"。将 TA0NC 设定为"01"或"10"将停止噪声抑制功能, 且定时器将无信号输入。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器计数器A0状态寄存器

TA0SR (0x0033)	7	6	5	4	3	2	1	0
位符号	TA0OVF	-	-	-	-	-	TA0CPFA	TA0CPFB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

TA0OVF	溢位标识	0: 未发生溢位 1: 至少发生 1 次溢位
TA0CPFA	抓取完成标识 A	0: 未完成抓取工作 1: 在双沿抓取模式下至少完成次脉宽抓取
TA0CPFB	抓取完成标识 B	0: 双沿抓取 1: 在单沿抓取模式下至少完成 1 次抓取工作 在双沿抓取模式下至少完成 1 次脉宽抓取

注 1 : TA0OVF、TA0CPFA 和 TA0CPFB 将在 TA0SR 完成读取后自动清除为 0。对 TA0SR 的写入是无效的。

注 2 : TA0SR 寄存器的第 6 位到第 2 位读出数值为“0”。

定时器计数器A0寄存器AH

TA0DRAH (0x002E)	15	14	13	12	11	10	9	8
位符号	TA0DRAH							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器计数器A0寄存器AL

TA0DRAL (0x002D)	7	6	5	4	3	2	1	0
位符号	TA0DRAL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器计数器A0寄存器BH

TA0DRBH (0x0030)	15	14	13	12	11	10	9	8
位符号	TA0DRBH							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器计数器A0寄存器BL

TA0DRBL (0x002F)	7	6	5	4	3	2	1	0
位符号	TA0DRBL							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 对 TA0DRAL (TA0DRBL) 进行写入指令时, 设定值会先存储于暂时寄存器中, 而不会立即生效。而后, 写入高位寄存器

TA0DRAH(TA0DRBH)时, 16 位设定值将共同存储于双缓冲寄存器 或 TA0DRAL/H。在设定定时器计数器 A0 寄存器时, 要确

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

认先写入低位寄存器、再写入高位寄存器。

注 2：在脉宽测量模式下，无法写入定时器计数器 A0 寄存器。

10.7.2 低功耗功能

设定定时器计数器 A0 的低耗电寄存器 POFFCR0<TCA0EN>为“0”，在不需使用定时器时停止定时器计数器 A0 的基本时钟供应，以节省系统耗电；此时定时器无法使用。设定 POFFCR0 <TCA0EN>为“1”可启动定时器计数器的基本时钟供应，并启动定时器工作。

复位后，POFFCR0<TCA0EN>会被回复至初始设定“0”，定时器的工作停止。第一次使用定时器前，必须在程序初始设定中，设定 POFFCR0<TCA0EN>为“1” (在定时器控制寄存器工作前)。

不要在定时器工作时改变 POFFCR0<TCA0EN>的设定为“0”，否则定时器计数器的工作可能会不合预期。

10.7.3 定时器功能

定时器计数器 A0 有 6 种工作模式，包括：定时器模式，外部触发定时器模式，事件计数器模式，窗模式，脉宽测量模式及可编程脉冲产生 PPG 输出模式。

10.7.3.1 定时器模式

在定时器模式中，计数器会依内部时钟往上计数，并于特定的时间点规律地产生中断。

(a) 设定

设定 TA0MOD<TA0M>为“000”或“001”以启动定时器模式。设定 TA0MOD<TA0CK>选择源时钟。

设定 TA0CR<TA0S>为“1”以启动定时器工作。定时器启动后，对 TA0MOD 与 TA0CR<TA0OVE>的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

TA0MOD <TA0CK>	Source clock [Hz]			Resolution		Maximum time setting	
	NORMAL 1/2 or IDLE 1/2 mode		SLOW1/2 or SLEEP1 mode	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
00	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	102.4μs	244.1μs	6.7s	16s
01	$fcgck/2^6$	$fcgck/2^6$	-	6.4μs	-	419.4ms	-
10	$fcgck/2^2$	$fcgck/2^2$	-	400ns	-	26.2ms	-
11	$fcgck/2$	$fcgck/2$	-	200ns	-	13.1ms	-

表 10.22 定时器模式分辨率与最长时间设定

(b) 工作

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 TA0CR<TA0S>为"1"，让 16 位计数器依选择的内部源时钟往上计数。当计数器数值达到定时器寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为"0x0000"。清空后，计数器会再度开始计数。定时器工作时，若设定 TA0CR<TA0S>为"0"，计数器停止工作同时被清除为"0x0000"。

(c) 自动抓取

将 TA0CR<TA0ACAP>设定为"1"可将往上计数的最新计数值放入定时器寄存器 B(TA0DRB)中(自动抓取功能)。当 TA0CR<TA0ACAP>为"1"时，往上计数的最新计数值可由 TA0DRBL 读取。读取 TA0DRBL 的同时也会加载 TA0DRBH，因此在读入抓取数值时，确认先读取 TA0DRBL，再读取 TA0DRBH(抓取时间为读取 TA0DRBL 所需的时间)。定时器工作或停止时皆可使用自动抓取功能。当定时器停止时，TA0DRBL 的读值为"0x00"。TA0DRBH 在定时器停止后将保持原先的抓取值，至 TA0DRBL 于定时器停止时被读取后，将被清除为"0x00"。

若定时器启动且 TA0CR<TA0ACAP>被写为"1"，则定时器启动后将立即开始自动抓取工作。

注：当 TA0CR<TA0S>由"1"改写为"0"时，无法同时改变 TA0CR<TA0ACAP>的设定值。(设定无效)

(d) 寄存器缓存架构

1. 暂时寄存器

MQ6823 具备 1 个 8 位暂时寄存器。在进行 TA0DRAL 写入时，不论允许或禁止双缓冲寄存器功能，写入数据将先储存在此暂时寄存器。而后，在进行 TA0DRAH 写入时，设定值将存入双缓冲寄存器或 TA0DRAH。同时，暂时寄存器内的设定值将存入双缓冲寄存器或 TA0DRAL(此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效)。因此，在设定 TA0DRA 时，确认先将数据写入 TA0DRAL、再写入 TA0DRAH。

2. 双缓冲寄存器

MQ6823 可透过设定 TA0CR<TA0DBF>以使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TA0CR<TA0DBE>为"1"和"0"。

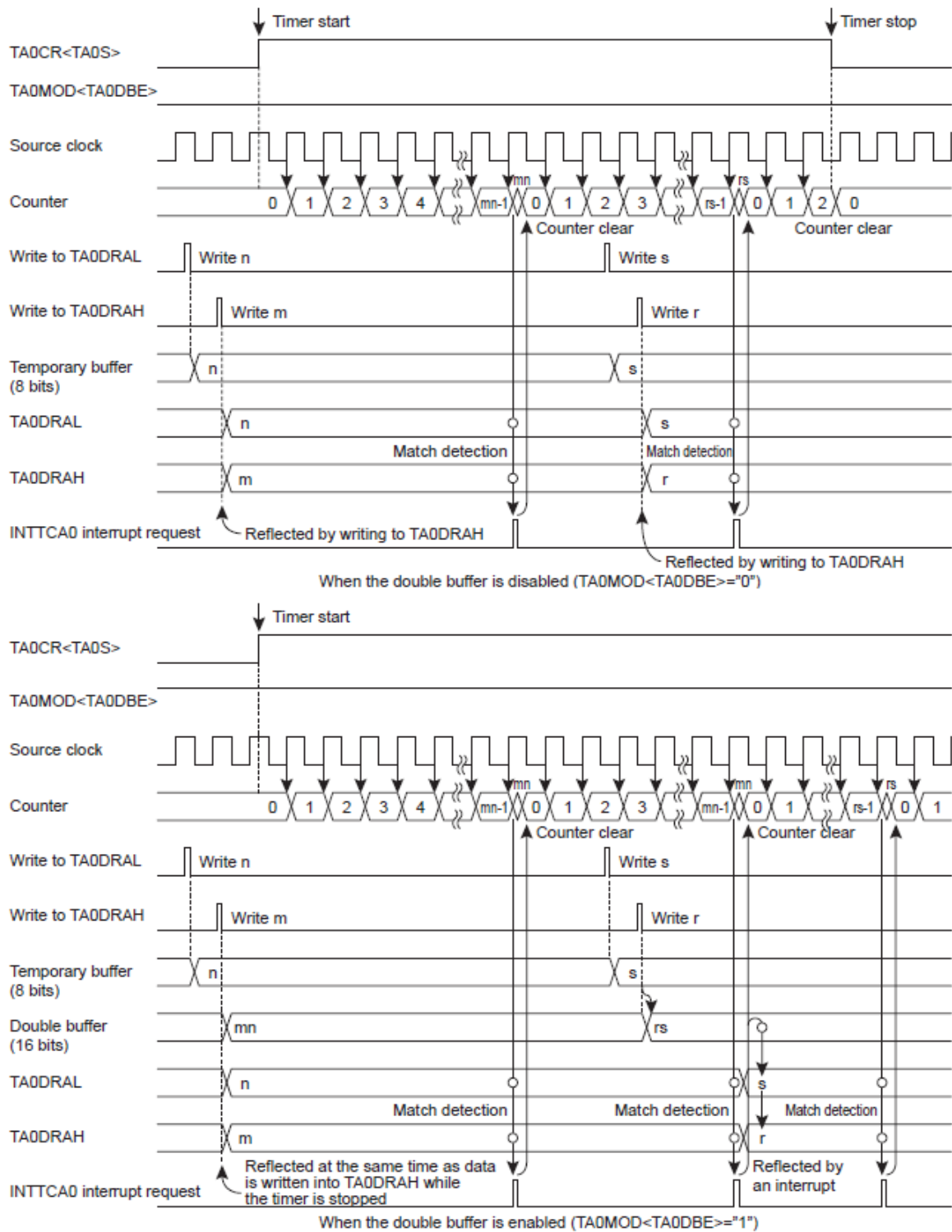


图 10.49 定时器模式时序图

- 允许双缓冲寄存器 时

若于定时器工作时执行 TA0DRAH 寄存器的新设定值写入，新设定值会先存储于双缓冲寄存器中，而不会立即改变 TA0DRAH/L 的设定。TA0DRAH/L 会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCA0 中断要求会被产生，双缓冲寄存器存储的新设定值会被存入 TA0DRAH/L。而后的定时器比对检测工作就会依新的设定值进行。

对 TA0DRAH/L 进行读取时，所读取的是存于双缓冲寄存器内的值(原设定值)，而非存于 TA0DRAH/L 内的值(最新的有效数值)。

若于定时器停止时执行 TA0DRAH/L 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 TA0DRAH/L 寄存器内。

- 禁止双缓冲寄存器 时

若于定时器工作时执行 TA0DRAH 寄存器的新设定值写入，新设定值会直接存入 TA0DRAH/L。后续的定时器比对检测工作会依新的设定值进行。

若 TA0DRAH/L 的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TA0DRAH/L 寄存器的新设定值写入，新设定值会直接存储于 TA0DRAH/L 寄存器内。

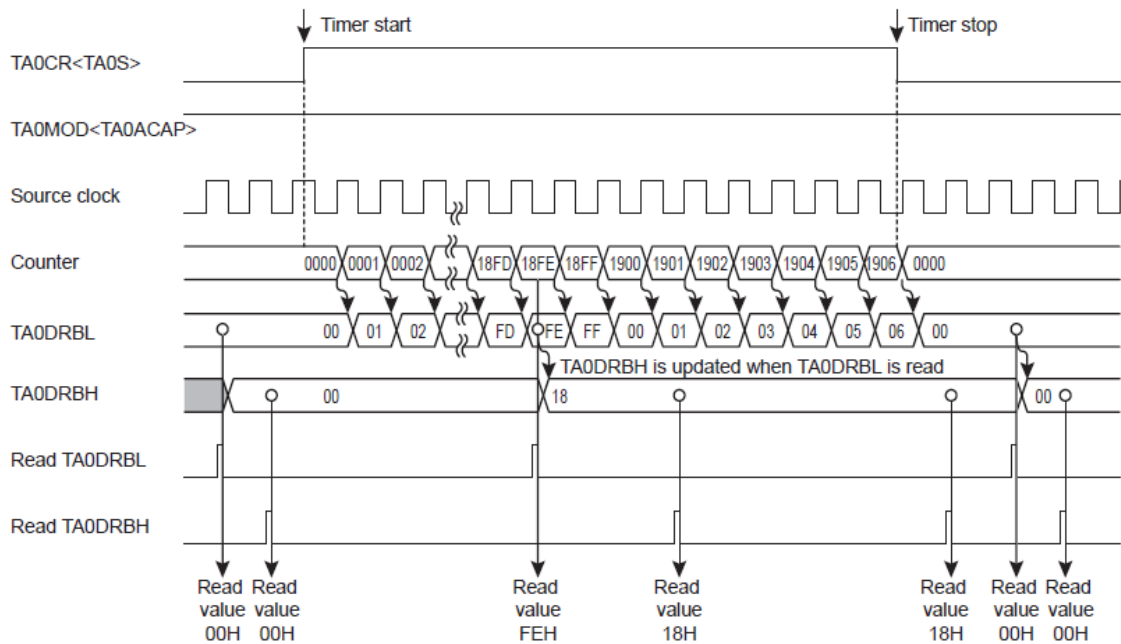


Figure 10.50 定时器模式时序图 (自动抓取)

10.7.3.2 外部触发定时器模式

在外部触发定时器模式中，计数器会在 TCA0 引脚输入触发后依往上计数。

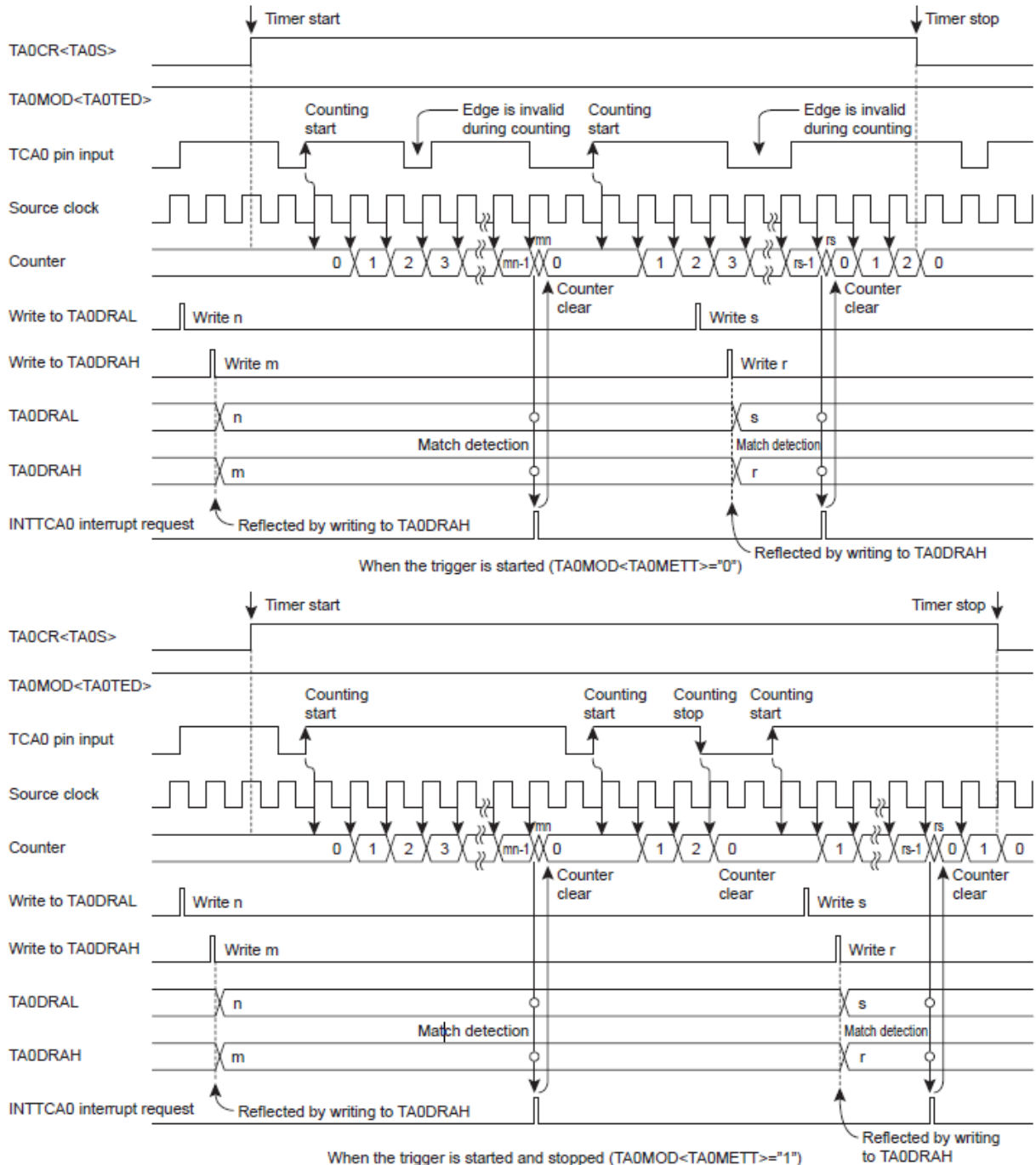


图 10.51 外部触发定时器模式时序图

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(a) 设定

设定 TA0MOD<TA0M>为“100”以启动外部触发定时器模式。设定 TA0MOD<TA0CK>选择源时钟。

设定触发沿输入选择 TA0MOD<TA0TED>以选择触发沿。输入选择 TA0MOD<TA0TED>以选择触发沿。设定 TA0MOD<TA0TED>为“0”选择上升沿触发，设定为“1”选择下降沿。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA1CR<TA0S>为“1”以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TA0OVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，当所选择的触发沿输入 TCA0 引脚时，计数器将依选择的内部源时钟往上计数。当计数器数值达到定时器寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会再度开始计数。

当 TA0MOD<TA0METT>为“1”且系统检测到与所选择的触发沿相反的沿信号时，计数器停止工作同时被清除为“0x0000”。而后，当检测到所选择的触发沿信号时，计数器会再度开始计数。在此模式下，可藉由检测超过特定脉宽的脉冲输入来产生中断要求。当 TA0MOD<TA0METT>为“0”时，由侦测到特定触发沿开始、到启动计数后至比对检测符合为止的期间，侦测相反触发沿的动作将被忽略。

定时器工作时，若设定 TA0CR<TA0S>为“0”，计数器停止工作同时被清除为“0x0000”。

(c) 自动抓取

参考“10.6.3.1 - (c) 自动抓取”。

(d) 寄存器缓存架构

参考“10.6.3.1 - (d) 寄存器缓存架构”。

10.7.3.3 事件计数器模式

在事件计数器模式中，计数器会依 TCA0 引脚的输入信号触发沿往上计数。

(a) 设定

设定 TA0MOD<TA0M>为“010”以启动事件计数器模式。

设定触发沿输入选择 TA0MOD<TA0TED>以选择触发沿。设定 TA0MOD<TA0TED>为“0”选择依上升沿触发往上计数，设定为“1”选择依下降沿往上计数。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA01CR<TA0S>为“1”以启动定时器工作。定时器启动后，无法对 TA0MOD 与

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

TA0CR<TA0OVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

事件计数器模式启动后，当所选择的触发沿输入 TCA0 引脚时，计数器开始往上计数。

当计数器数值达到定时器寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为"0x0000"。清空后，计数器会依 TCA0 输入信号的每个上升沿与下降沿重新往上计数。

定时器工作时，若设定 TA0CR<TA0S>为"0"，计数器停止工作同时被清除为"0x0000"。

最高工作频率是 $fcgck/2$ [Hz](普通 1/2 或空闲 1/2 模式)，或 $fs/2^3$ [Hz](低速 1/2 或睡眠 1 模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 自动抓取

参考"10.6.3.1 - (c) 自动抓取"。

(d) 寄存器缓存架构

参考"10.6.3.1 - (d) 寄存器缓存架构"。

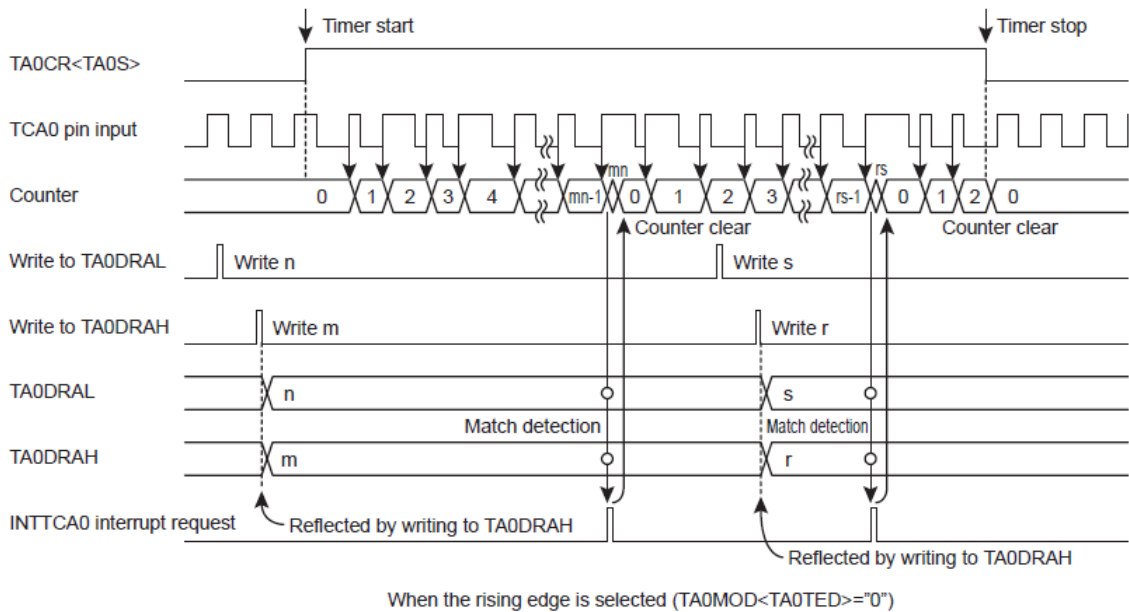


图 10.52 事件计数器模式时序图

10.7.3.4 窗模式

在窗模式中，计数器会依 TCA0 引脚输入脉冲(窗脉冲)与内部时钟之逻辑乘积(AND)脉冲的上升沿往上计数。

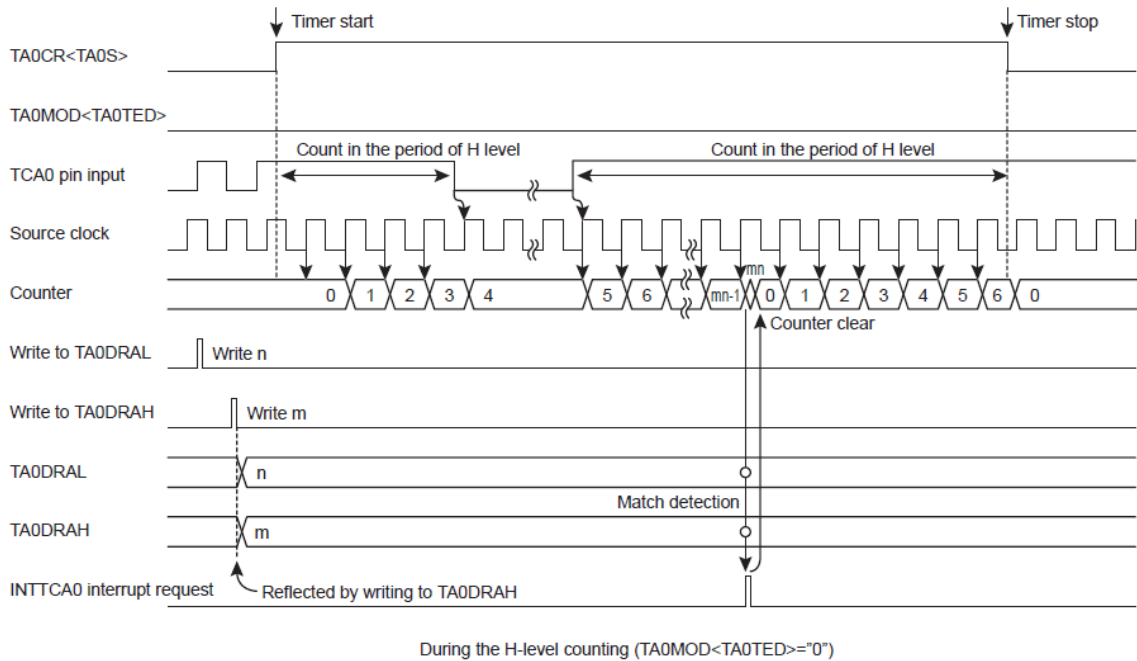


图 10.53 窗模式时序图

(a) 设定

设定 TA0MOD<TA0M>为“101”以启动窗模式。设定 TA0MOD<TA0CK>选择源时钟。

设定触发沿输入选择 TA0MOD<TA0TED>以选择窗脉冲电平。设定 TA0MOD<TA0TED>为“0”选择依窗脉冲高电平往上计数，设定为“1”选择依窗脉冲低电平往上计数。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA01CR<TA0S>为“1”以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TA0OVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

窗模式工作启动后，当 TA0MOD<TA0TED>所选择的电平输入 TCA0 引脚时，计数器开始依 TA0MOD<TA0CK>所选择的源时钟往上计数。

当计数器数值达到定时器寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会重新开始往上计数。

最高工作频率不能太快，以免程序无法分辨计数值。频率脉冲的定义应充分低于所编程的内部源时钟。

定时器工作时，若设定 TA0CR<TA0S>为“0”，计数器停止工作同时被清除为“0x0000”。

(c) 自动抓取

参考“10.6.3.1 - (c) 自动抓取”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(d) 寄存器缓存架构

参考“10.6.3.1 - (d) 寄存器缓存架构”。

10.7.3.5 脉宽测量模式

在脉宽测量模式中，计数器会依 TCA0 引脚输入之上升沿/下降沿往上计数，并依内部时钟测量输入脉宽。

(a) 设定

设定 TA0MOD<TA0M>为“110”以启动脉宽测量模式。设定 TA0MOD<TA0CK>选择源时钟。

设定触发沿输入选择 TA0MOD<TA0TED>以选择触发沿。设定 TA0MOD<TA0TED>为“0”选择依上升沿触发开始抓取脉宽，设定为“1”选择依下降沿触发开始抓取脉宽。

抓取后的动作由脉宽测量模式控制 TA0MOD<TA0MCAP>决定。设定 TA0MOD<TA0MCAP>为“0”选择双沿抓取。设定 TA0MOD<TA0MCAP>为“1”选择单沿抓取。

计数溢位后的动作可由溢位中断控制 TA0CR<TA0OVE>设定。设定 TA0CR<TA0OVE>为“0”选择计数溢位发生时不产生 INTTCA0 中断要求。设定 TA0CR<TA0OVE>为“1”选择计数溢位发生时产生 INTTCA0 中断要求。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA01CR<TA0S>为“1”以启动定时器工作。此时，TA0DRA 与 TA0DRB 寄存器将被初始化为“0x0000”。定时器启动后，无法对 TA0MOD 与 TA0CR<TA0OVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，当所选择的触发沿 (启动沿) 输入 TCA0 引脚时，INTTCA0 中断要求将被产生，计数器开始依所选择的源时钟往上计数。而后，当系统检测到与所选择的触发沿相反的沿信号时，计数值将被抓取至 TA0DRB，并产生 INTTCA0 中断要求，然后设定 TA0SR<TA0CPFB>为“1”。依据不同的 TA0MOD<TA0MCAP>设定，有以下不同的工作方式：

1. 双沿抓取 (当TA0MOD <TA0MCAP>为“0”)

当系统检测到与所选择的触发沿相反的沿信号后开始往上计数。而后，当所选择的触发沿输入时，计数值将被抓取至 TA0DRA，并产生 INTTCA0 中断要求，然后设定 TA0SR<TA0CPFA>为“1”。此时，计数器将被清除为“0x0000”。

2. 单沿抓取 (当TA0MOD <TA0MCAP>为“1”)

当系统检测到与所选择的触发沿相反的沿信号后停止往上计数，并被清除为“0x0000”。而后，当启动沿输入时，INTTCA0 中断要求将被产生，计数器会重新开始往上计数。

若在抓取时发生计数溢位，溢位标帜 TA0SR<TA0OVF>会被设定为“1”。此时如果溢位中

断标识 TA0CR<TA0OVE>为"1"，将产生 INTTCA0 中断要求。

TA0SR 被读取后，抓取完成标识 TA0SR<TA0CPFA, TA0CPFB>与溢位标识 TA0SR<TA0OVF>将自动被清除为"0"。

抓取值应在检测到下一个触发沿之前完成由 TA0DRB 的读取动作 (双沿抓取时由 A0DRA 读取)。若未完成抓取值读取，将处于未定义状态。TA0DRA 与 TA0DRB 应以 16 位指令存取。

定时器工作时，若设定 TA0CR<TA0S>为"0"，计数器停止工作同时被清除为"0x0000"。

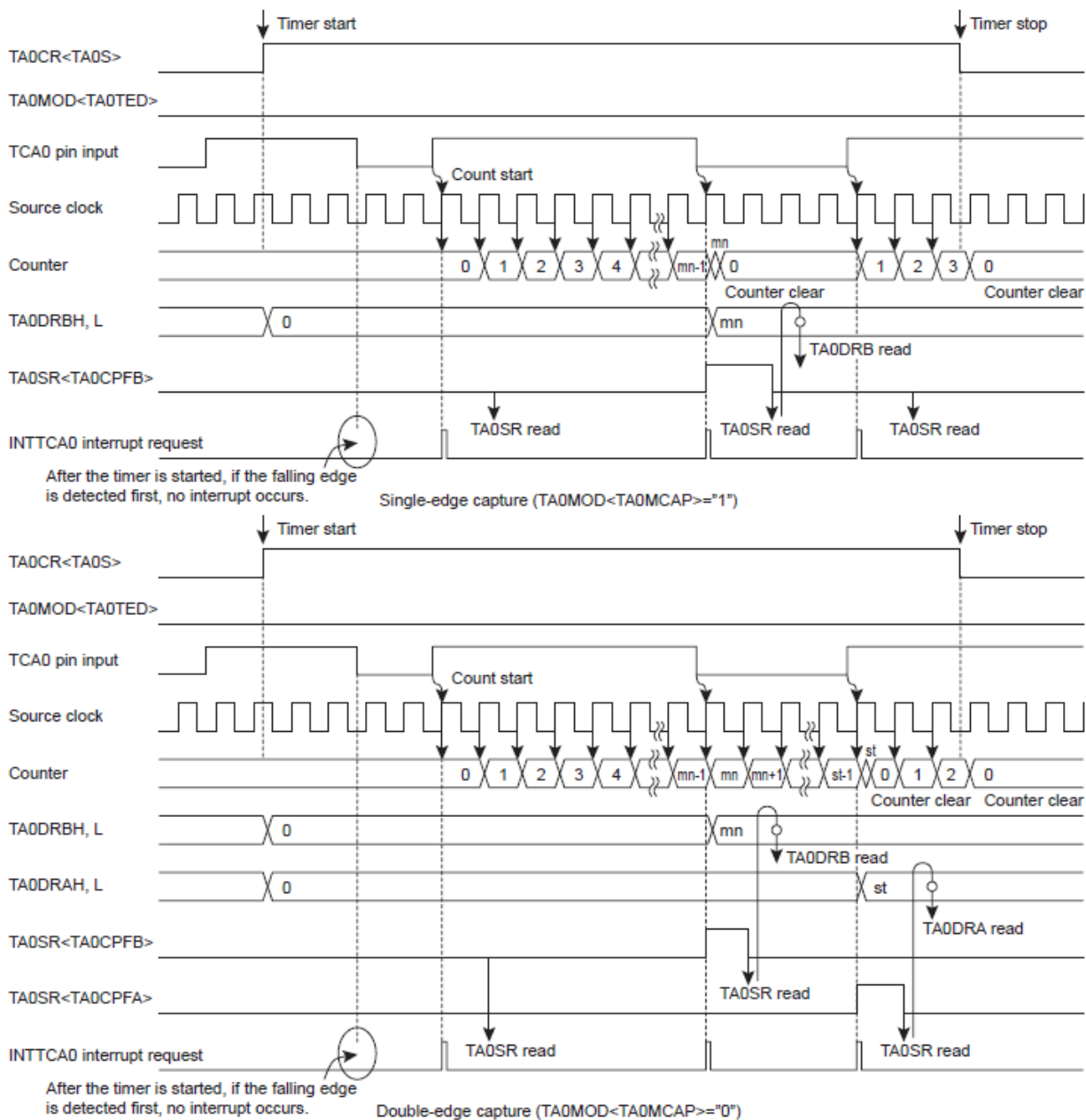


图 10.54 脉宽测量模式时序图

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注：定时器启动后，若先侦测到与所选择的触发沿相反的信号沿，将不会进行抓取动作，也不会产生 INTTCA0 中断要求。在此情况下，抓取动作将于侦测到下一个所选择的触发沿开始。

(c) 抓取进程

图 10.52 为 INTTCA0 中断子程序之抓取进程范例。抓取沿或溢位状态可由状态寄存器 TA0SR 轻易判断。

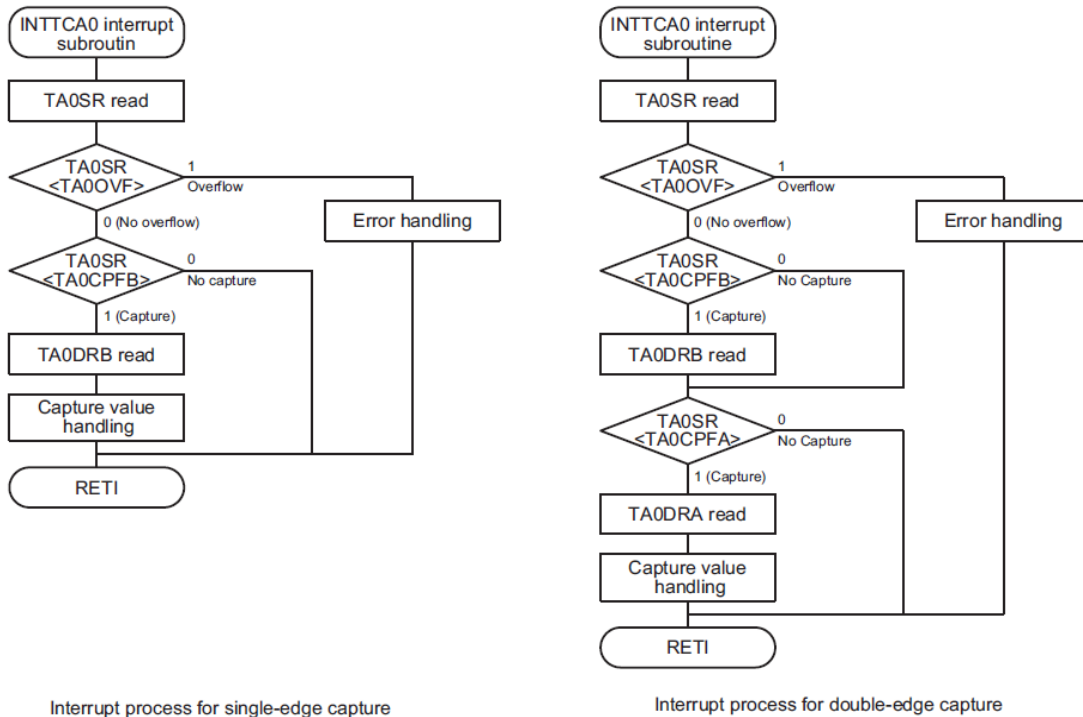


图 10.55 抓取进程范例

10.7.3.6 可编程脉冲产生 PPG 输出模式

在可编程脉冲产生 PPG 输出模式中，由两个定时器寄存器输出任意占空比的脉冲。

(a) 设定

PPG 功能设定，需先进行 PPG 初始化，再对 PxFC 做对应设定。

设定 TA0MOD<TA0M>为“011”以启动可编程脉冲产生 PPG 输出模式。设定 TA0MOD<TA0CK>选择源时钟。设定 TA0CR<TA0MPPG>选择连续或单次 PPG 输出。

以 TA0DRA 设定 PPG 输出周期，并以 TA0DRB 设定首次输出反向的时间。确认 TA0DRA 的寄存器设定值较 TA0DRB 为大。此模式需使用 PPGA0B 引脚，请确认在使用前，先将 PPGA0B 引脚端口设定为输出模式。

在定时器触发器 TA0CR<TA0TFF>设定 PPGA0B 引脚的初始值。设定 TA0CR<TA0TFF>为"1"选择高电平为 PPGA0B 引脚的初始值。设定 TA0CR<TA0TFF>为"0"选择低电平为 PPGA0B 引脚的初始值。

设定 TA01CR<TA0S>为"1"以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TA0OVE, TA0TFF>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，计数器开始往上计数。

当计数器数值达到定时器寄存器 B(TA0DRB)的设定数值，若 TA0CR<TA0TFF>设定为"0"，PPGA0B 引脚由低电平改变成高电平。若 TA0CR<TA0TFF>设定为"1"，PPGA0B 引脚由高电平改变成低电平。

而后，计数器持续往上计数。当计数器数值达到定时器寄存器 A(TA0DRA)的设定数值，若 TA0CR<TA0TFF>设定为"0"，PPGA0B 引脚由高电平改变成低电平。若 TA0CR<TA0TFF>设定为"1"，PPGA0B 引脚由低电平改变成高电平。此时，INTTCA0 中断要求将被产生。

如果 PPG 输出控制 TA0CR<TA0MPPG>设定为"1"(单次)，TA0CR<TA0S>将自动清空为"0"，定时器将停止动作。如果 PPG 输出控制 TA0CR<TA0MPPG>设定为"0"(连续)，计数器将清除为"0x0000"并继续计数与 PPG 输出的动作。在 PPG 输出期间，当 TA0CR<TA0S>被设定为"0"(包括单次 PPG 输出后的自动停止)，PPGA0B 引脚将回到 TA0CR<TA0TFF>所设定的电平。

在工作期间仍可改变 TA0CR<TA0MPPG>。工作期间将 TA0CR<TA0MPPG>由"1"改变为"0"会取消单次 PPG 输出、并允许连续 PPG 输出。将 TA0CR<TA0MPPG>由"0"改变为"1"，则会在当笔脉冲输出完成后自动停止计时器。

定时器寄存器 A 与 B 可设定为双缓冲寄存器。设定 TA0MOD<TA0DBE>为"1"允许双缓冲寄存器。若在允许双缓冲寄存器的条件下于 PPG 输出期间改变 TA0DRA 与 TA0DRB 的设定值，直到计数器数值达到 TA0DRA 设定数值以前，写入 TA0DRA 与 TA0DRB 的动作不会生效。而在禁止双缓冲寄存器的条件下，TA0DRA 与 TA0DRB 的写入动作将立即生效。写入值若小于计数器数值，将发生计数溢位。1 个周期后，计时器比对进程将使 PPG 输出反向。

(d) 寄存器缓存架构

1. 暂时寄存器

MQ6823 具 1 个 8 位暂时寄存器。在进行 TA0DRAL (TA0DRBL)写入时，不论允许或禁止双缓冲寄存器功能，写入数据将先储存在此暂时寄存器。而后，在进行 TA0DRAH (TA0DRBH)写入时，设定值将存入双缓冲寄存器或 TA0DRAH (TA0DRBH)。同时，暂时寄存器内的设定值将存入双缓冲寄存器或 TA0DRAL (TA0DRBL) (此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效) 因此，在设定 TA0DRA (TA0DRB)时，确认先将数据写入 TA0DRAL 再写入 TA0DRAH(或者先写入 TA0DRBL 再写入 A0DRBH)。

2. 双缓冲寄存器

MQ6823 可透过设定 TA0MOD<TA0DBE>以使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TA0MOD<TA0DBE>为"1"和"0"。

- 允许双缓冲寄存器 时

若于定时器工作时执行 TA0DRAH (TA0DRBH)寄存器的新设定值写入，新设定值会先存储于双缓冲寄存器 中，而不会立即改变 TA0DRAH/L (TA0DRBH/L)的设定。TA0DRAH/L (TA0DRBH/L)会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCA0 中断要求会被产生，双缓冲寄存器 存储的新设定值会被存入 TA0DRAH/L (TA0DRBH/L) 而后的定时器比对检测工作就会依新的设定值进行。

对 TA0DRAH/L (TA0DRBH/L)进行读取时，所读取的是存于双缓冲寄存器 内的值(原设定值)，而非存于 TA0DRAH/L (TA0DRBH/L)内的值(最新的有效数值)。

若于定时器停止时执行 TA0DRAH/L (TA0DRBH/L)寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器 与 TA0DRAH/L (TA0DRBH/L)寄存器内。

- 禁止双缓冲寄存器 时

若于定时器工作时执行 TA0DRAH (TA0DRBH)寄存器的新设定值写入，新设定值会直接存入 TA0DRAH/L (TA0DRBH/L) 后续的定时器比对检测工作会依新的设定值进行。

若 TA0DRAH/L (TA0DRBH/L)的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TA0DRAH/L (TA0DRBH/L)寄存器的新设定值写入，新设定值会直接存储于 TA0DRAH/L (TA0DRBH/L)寄存器内。

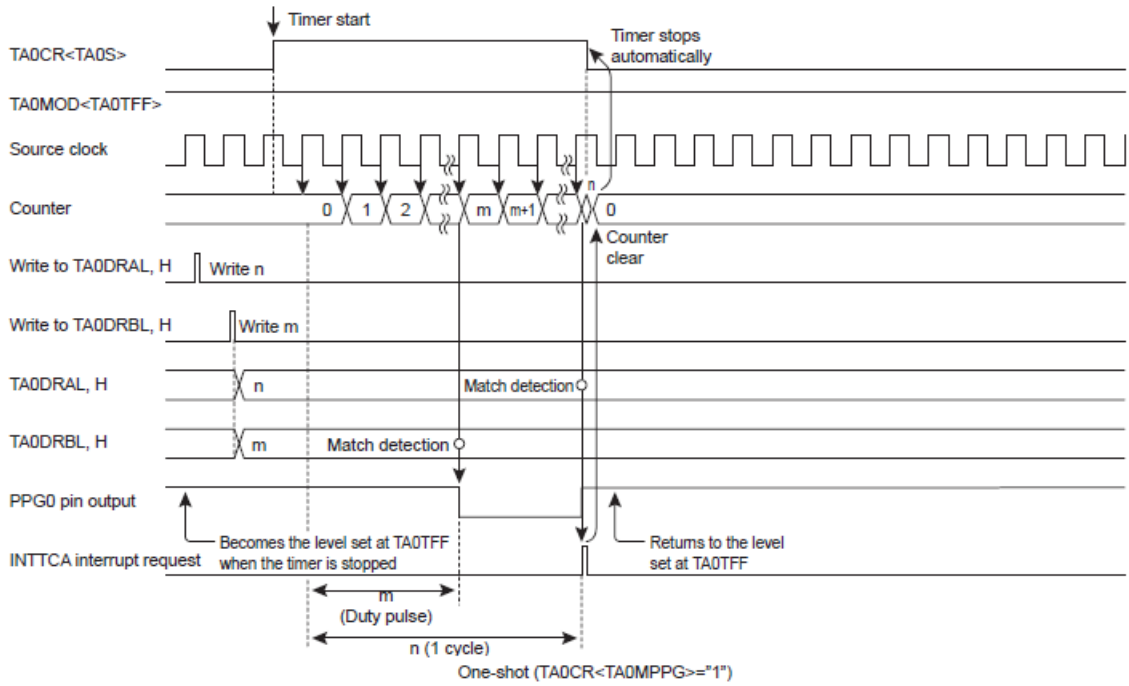


图 10.56 PPG 模式时序图- 单次输出

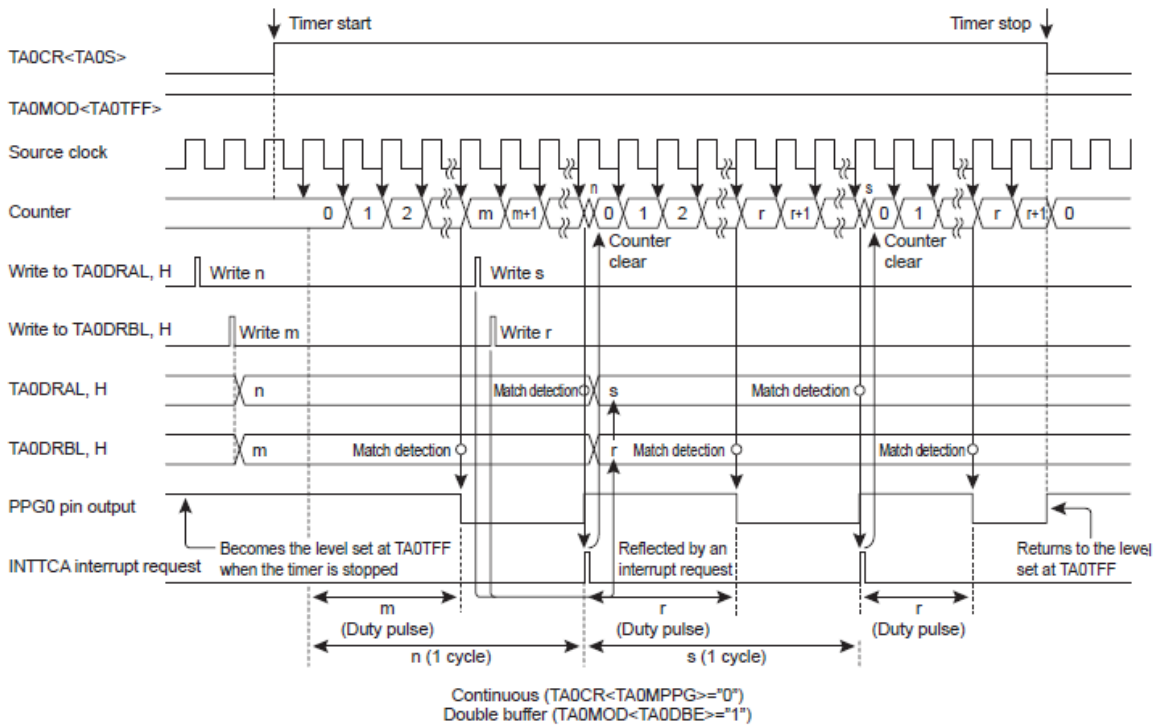


图 10.57 PPG 模式时序图- 连续输出

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10.7.4 噪声抑制

在使用 TCA0 引脚的工作模式中，可启动数字噪声抑制器。

使用数字噪声抑制器时，输入电平依 TA0CR<TA0NC>所设定的取样间隔加以取样。连续侦测到 3 次相同电平时，定时器的输入电平将会改变。

将 TA0CR<TA0NC>设定为"00"以外的任何值可启动噪声抑制器，不论 TA0CR<TA0S>的数值为何。

使用噪声抑制器时，定时器将在 TA0CR<TA0NC>设定后、经过 4 次取样间隔的时间后启动。如此可稳定输入信号。在定时器停止时(TA0CR <TA0S> = "0")才设定 TA0CR<TA0NC>。TA0CR <TA0S> = "1" 时，写入动作将被忽略。

在低速 1/2 或睡眠 1 模式下，设定 TA0CR <TA0NC>为"11"以选择 $f_s/2$ 为工作源时钟。设定 TA0CR <TA0NC>为"00"会停止噪声抑制器。设定 TA0CR <TA0NC>为"01"或"10"则停止 TCA0 引脚输入。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11. 通用异步收发器 (UART)

MQ6823 具有 2 组通用异步收发器(UART0 與 UART1)。本章节内容以通用异步收发器 0(UART0)為例，相关特殊功能寄存器(SFR)地址及引脚名称的资讯，请参考下表。

	UARTxCR1 (地址)	UARTxCR2 (地址)	UARTxDR (地址)	UARTxSR (地址)	R DxBUF (地址)	T DxBUF (地址)
UART0	UART0CR1 (0x001A)	UART0CR2 (0x001B)	UART0DR (0x001C)	UART0SR (0x001D)	RD0BUF (0x001E)	TD0BUF (0x001E)
UART1	UART1CR1 (0x0F54)	UART1CR2 (0x0F55)	UART1DR (0x0F56)	UART1SR (0x0F57)	RD1BUF (0x0F58)	TD1BUF (0x0F58)

表 11.1 SFR 地址

	串行数据输入引脚	串行数据输出引脚
UART0	RXD0 pin	TXD0 pin
UART1	RXD1 pin	TXD1 pin

表 11.2 引脚名称

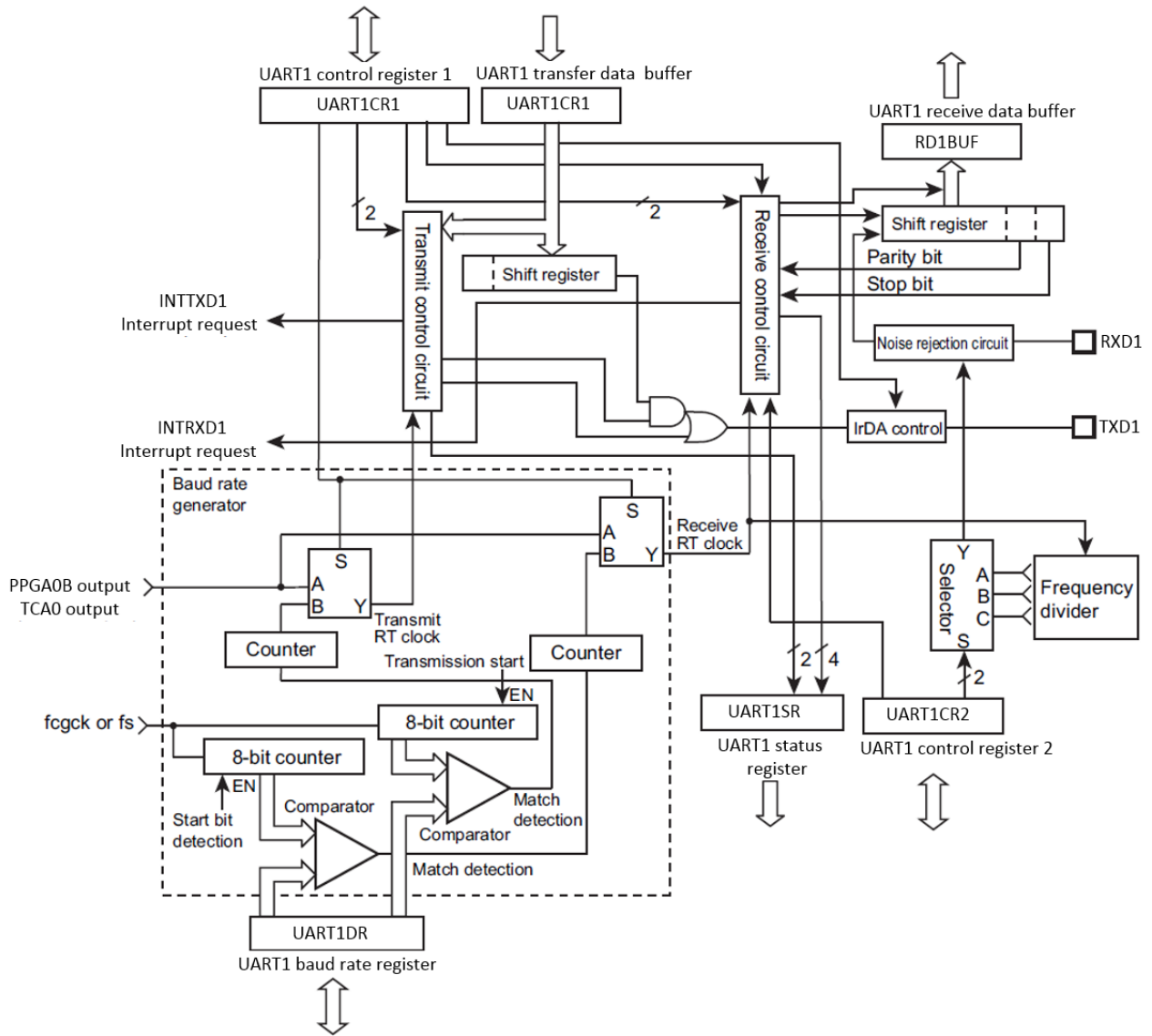


图 11.1 UART 架构

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11.1 UART 控制

UART0 是由低耗电寄存器 POFFCR1、UART0 控制寄存器 UART0CR1 与 UART0CR2、及 UART0 波特率 (baud rate) 寄存器 UART0DR 所控制。而工作状态可透过 UART 状态控制寄存器 UART0SR 进行监控。

低耗电寄存器 1

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
位符号	-	-	-	S BIOEN	-	-	U ART0EN	U ART0EN
读/写	R	R	R	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

S BIOEN	I ² C0 允许控制	0: 禁止 1: 允许
U ART0EN	U ART0 允许控制	0: 禁止 1: 允许
U ART0EN	U ART0 允许控制	0: 禁止 1: 允许

UART0控制寄存器1

UART0CR1 (0x001A)	7	6	5	4	3	2	1	0
位符号	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0

TXE	发送工作	0: 禁止 1: 允许
RXE	接收工作	0: 禁止 1: 允许
STOPBT	发送端结束位长度	0: 1 位 1: 2 位
EVEN	奇偶校验选择	0: 奇数奇偶校验 1: 偶数奇偶校验
PE	奇偶校验加入选择	0: 无奇偶校验 1: 有奇偶校验
IRDASEL	TXD 引脚输出选择	0: UART 输出 1: IrDA 输出
BRG	收发基本时钟选择	当 SYSCR2<SYSCCK>为"0"
		当 SYSCR2<SYSCCK>为"1"
		0 fcgck fs 1 TCA0 输出

注 1 : $fcgck \cdot \text{齿轮时钟}[\text{Hz}] \cdot fs \cdot \text{低速时钟}[\text{Hz}]$ 。

注 2 : 在传送或接收期间, 即使 TXE 或 RXE 被设定为"0", 在数据收发结束前工作不会停止。此时, 存储于发送数据寄存器的数据将被舍弃。

注 3 : EVEN、PE 与 BRG 的设定为发送与接收工作皆为相同。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 4 : 在改变 BRG 以前, 先设定 RXE 与 TXE。

注 5 : 当 BRG 设定为 TCA0 输出时, RT 时钟将变为异步, 发送/接收数据的巨始位可能缩短最多(UARTODR+1)/收发基本时钟频率(s)。若该引脚非用于 TCA0 输出, 请透过端口功能控制寄存器控制 TCA0 输出。

注 6 : 为防止 UART 通讯期间 STOPBT、EVEN、PE、IRDASEL 与 BRG 意外发生改变, 在 UART 工作期间无法改写寄存器。详细说明请参考“11.3 防止 UARTOCR1 与 UARTOCR2 寄存器改变的保护机制”。

注 7 : 启动停止模式、空闲 0 模式或睡眠 0 模式时, TXE 与 RXE 将清空为“0”并停止 UART 工作。其他位则保持原先数值。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

UART0控制寄存器2

UART0CR2 (0x001B)	7	6	5	4	3	2	1	0
位符号	-	-	RTSEL			RXDNC		STOPBR
读/写	R	R	R/W			R/W		R/W
复位后	0	0	0	0	0	0	0	0

RTSEL	选择 RT 时钟数		奇数位收发框	偶数位收发框
		000	16 个时钟	16 个时钟
		001	16 个时钟	17 个时钟
		010	15 个时钟	15 个时钟
		011	15 个时钟	16 个时钟
		100	17 个时钟	17 个时钟
		101	系统保留	
11*	系统保留			
RXDNC	选择 RXD 引脚输入噪声抑止时间 (将视为噪声而去除的脉宽时间)	00: 无噪声抑止 01: $1 \times (\text{UART0DR} + 1) / (\text{收发基本时钟频率}) [s]$ 10: $2 \times (\text{UART0DR} + 1) / (\text{收发基本时钟频率}) [s]$ 11: $4 \times (\text{UART0DR} + 1) / (\text{收发基本时钟频率}) [s]$		
STOPBR	接收端结束位长度	0: 1 位 1: 2 位		

注 1 : UART0CR2 的第 7 与第 6 位读值为“0”。

注 2 : RTSEL 可为偶数位与奇数位发送框设定 2 种 RT 时钟。详细说明请参考“11.7.1 收发波特率计算方法”。

注 3 : 有关 RXDNC 噪声抑止时间的细节，参考“11.9 接收数据的噪声抑止”。

注 4 : 启动停止模式、空闲 0 模式或睡眠 0 模式时，UART 工作会自动停止，而 UART0CR2 的每一位数值将维持不变。

注 5 : 当 STOPBR 设定为 2 位时，结束位的第 1 位(数据接收期间)将不进行收发框错误检查。

注 6 : 为防止 UART 通讯期间 RTSEL、RXDNC 与 STOPBR 意外发生改变，在 UART 工作期间无法改写寄存器。详细说明请参考“11.3 防止 UART0CR1 与 UART0CR2 寄存器改变的保护机制”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

UART0波特率寄存器1

UART0DR (0x001C)	7	6	5	4	3	2	1	0
位符号	UART0DR7	UART0DR6	UART0DR5	UART0DR4	UART0DR3	UART0DR2	UART0DR1	UART0DR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1：在改变 UART0DR 以前，先设定 UART0CR1<RXE>与 UART0CR1<TXE>为“0”。详细说明请参考“11.7.1 收发波特率计算方法”。

注 2：当 UART0CR1<BRG>设定为 TCA0 输出时，UART0DR 的数值没有意义。

注 3：启动停止模式、空闲 0 模式或睡眠 0 模式时，UART 工作会自动停止，而 UART0DR 的每一位数值将维持不变。

UART0状态寄存器

UART0SR (0x001D)	7	6	5	4	3	2	1	0
位符号	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

PERR	奇偶校验错误标识	0: 无奇偶校验错误 1: 发生奇偶校验错误
FERR	收发框错误标识	0: 无收发框错误 1: 发生收发框错误
OERR	溢出错误标识	0: 无溢出错误 1: 发生溢出错误
RBSY	接收忙碌标识	0: 接收前或接收工作结束 1: 接收中
RBFL	接收寄存器 已满标识	0: 接收寄存器 为空 1: 接收寄存器 已满
TBSY	发送忙碌标识	0: 发送前或发送工作结束 1: 发送中
TBFL	发送寄存器 已满标识	0: 发送寄存器 为空 1: 发送寄存器 已满

注 1：在产生 INTTXD1 中断要求后，TBFL 将自动被清除为“0”，而当数据写入 TD0BUF 寄存器时，TBFL 将被设定为“1”。

注 2：UART0SR 的第 4 位读值为“0”。

注 3：启动停止模式、空闲 0 模式或睡眠 0 模式时，UART 工作会自动停止，而 UART0SR 的每一位将被清空为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

UART0接收数据寄存器

RD0BUF (0x001E)	7	6	5	4	3	2	1	0
位符号	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

注：启动停止模式、空闲0模式或睡眠0模式时，RD0BUF的数值处于未定义状态。如果需要所接收的数据，请确认在这些模式启动以前完成读取。

UART0发送数据寄存器

TD0BUF (0x001E)	7	6	5	4	3	2	1	0
位符号	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

注：启动停止模式、空闲0模式或睡眠0模式时，TD0BUF的数值处于未定义状态。

UART 输入输出控制寄存器

UATCNG (0x0E97)	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	UAT2IO	UAT1IO	UAT0IO
读/写	R	R	R	R	R	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0					设定P90与P91为UART功能	当Bit 2(UAT2IO)=0, 设定P90为TXD1; P91为RXD1	设定P20为TXD0; P21为RXD0
	1						当Bit 2(UAT2IO)=0, 设定P90为RXD1; P91为TXD1	设定P20为RXD0; P21为TXD0

注：Bit0 (UAT0IO) 用于设定 P20/P21 这组 UART。Bit 2(UAT2IO)用于选择要设定 P90/P91 为 UART 功能。若 Bit2=0 表示设定 P90/P91 为 UART, 搭配 Bit1(UAT1IO)可分别设定 P90 与 P91 为 TXD1 或 RXD1。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11.2 UART 功能

UART0 具有 1 个低功耗寄存器 POFFCR1，可在不需使用 UART 功能时节省系统耗电。

设定 POFFCR1<UART0EN>为“0”可停止 UART 的基本时钟供应，以节省系统耗电；此时 UART 无法使用。
设定 POFFCR1<UART0EN>为“1”可启动 UART 的基本时钟供应，并启动 UART 工作。

复位后，POFFCR1<UART0EN>会被回复至初始设定“0”，UART 的工作停止。第一次使用 UART 前，必须在程序初始设定中，设定 POFFCR1<UART0EN>为“1” (在 UART 控制寄存器工作前)。

不要在 UART 工作时改变 POFFCR1<UART0EN>的设定为“0”，否则 UART0 的工作可能会不合预期。

11.3 防止 UART0CR1 与 UART0CR2 寄存器改变的保护机制

MQ6823 具有可以保护寄存器不被改变的功能，以确保 UART 的通讯设定(比方结束位与奇偶校验)在 UART 工作期间不会发生改变。

UART0CR1 与 UART0CR2 寄存器的特定位只有在表 11.3 所显示的条件可被改变。若在保护状态下对寄存器进行写入动作，这些特定位将维持原来数值不变。

Bit to be changed	Function	Conditions that allow the bit to be changed			
		UART0CR1 <TXE>	UART0SR <TBSY>	UART0CR1 <RXE>	UART0SR <RBSY>
UART0CR1<STOPBT>	Transmit stop bit length	Both of these bits are "0"		-	-
UART0CR1<EVEN>	Parity selection	All of these bits are "0"			
UART0CR1<PE>	Parity addition				
UART0CR1<IRDASEL>	TXD pin output selection	Both of these bits are "0"		-	-
UART0CR1<BRG>	Transfer base clock selection	All of these bits are "0"			
UART0CR2<RTSEL>	Selection of number of RT clocks				
UART0CR2<RXDNC>	Selection of RXD pin input noise rejection time	-	-	Both of these bits are "0"	
UART0CR2<STOPBR>	Receive stop bit length				

表 11.3 UART0CR1 与 UART0CR2 的防止改变保护机制

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11.4 启动停止模式、空闲 0 模式或睡眠 0 模式

11.4.1 寄存器状态转换

启动停止模式、空闲 0 模式或睡眠 0 模式时，UART 的工作将自动停止，此时所有寄存器的状态如表 11.4 所示。针对不会维持原来数值的寄存器，请在脱离以上工作模式后再次进行所需之设定。

	7	6	5	4	3	2	1	0
UARTOCR1	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
	Cleared to 0	Cleared to 0	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value	-
UARTOCR2	-	-	RTSEL			RXDNC		STOPBR
	-	-	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value
UARTOSR	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
	Cleared to 0	Cleared to 0	Cleared to 0	-	Cleared to 0	Cleared to 0	Cleared to 0	Cleared to 0
UARTODR	UARTODR7	UARTODR6	UARTODR5	UARTODR4	UARTODR3	UARTODR2	UARTODR1	UARTODR0
	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value	Hold the value
RD0BUF	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate
TD0BUF	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate	Indeterminate

表 11.4 寄存器状态转换

11.4.2 TXD 引脚状态转换

启动停止模式、空闲 0 模式或睡眠 0 模式时，不论数据处于发送/接收状态、或工作已经停止，TXD 引脚状态将回覆为表 11.5 所示。

UARTOCR1 <IRDASEL>	IDLE0 or SLEEP0 mode	STOP mode	
		SYSCR1<OUTEN>="1"	SYSCR1<OUTEN>="0"
"0"	H level	H level	Hi-Z
"1"	L level	L level	

表 11.5 启动停止模式、空闲 0 模式或睡眠 0 模式时之 TXD 引脚状态

11.5 收发数据格式

UART 收发数据由以下四种要素组成。由起始位至结束位的数据定义为“收发框”。起始位为 1 位(低电平)，数据共有 8 位。奇偶校验位是透过选择是否进行奇偶校验的 UART0CR1<PE>、与选择奇数奇偶校验或偶数奇偶校验的 UART0CR1<EVEN>两者进行设定。结束位的位长度则由 UART0CR1<STBT>设定。

图 11.1 显示收发数据格式，包括：

- 起始位 (1 位)
- 数据 (8 位)
- 奇偶校验位 (可选择偶数校验、奇数校验、或不校验)
- 结束位 (可设定 1 位或 2 位)

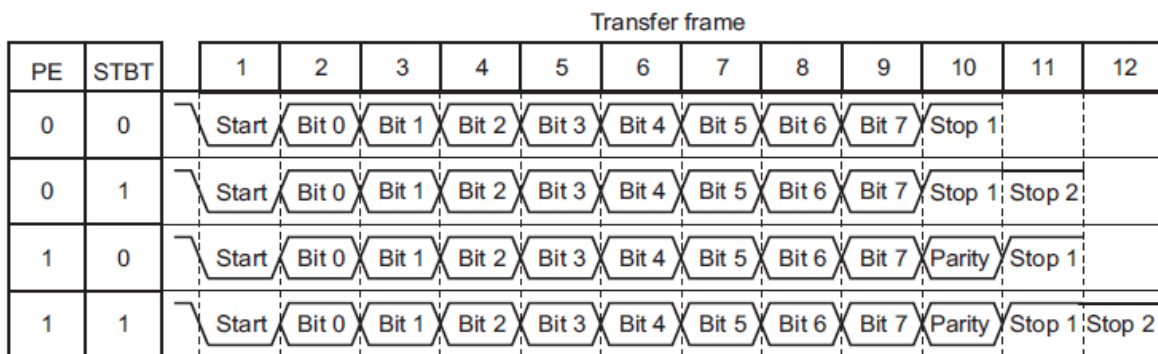


图 11.2 收发数据格式

11.6 红外线数据收发模式

TXD0 引脚可由 IrDA 输出控制寄存器设定输出具红外线数据格式(IrDA)的数据。将 UART0CR1<IRDASEL> 设定为“1”可启动 TXD0 引脚的红外线数据输出功能。

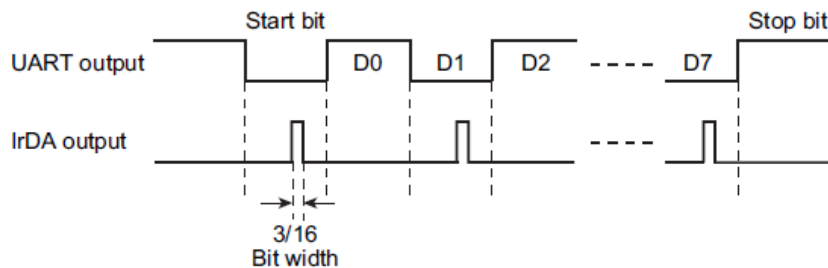


图 11.3 红外线数据格式范例 (一般输出与 IrDA 输出的比较)

11.7 收发波特率 (Baud Rate)

UART 的收发波特率由 UART0CR1<BRG>·UART0DR 与 UART0CR2<RTSEL>设定。UART0DR 与 UART0CR2 <RTSEL>之一般波特率与工作频率的设定方法如下。有关收发波特率的计算，参考“11.7.1 收发波特率计算方法”。

Basic baud rate[baud]	Register	Operating frequency				
		16MHz	8MHz	4MHz	2MHz	1MHz
128000	UARTxDR[7:0]	0x07	0x03	0x01	0x00	-
	RTSEL[2:0]	0y011	0y011	0y011	0y011	-
	Error	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	-
115200	UARTxDR[7:0]	0x08	0x03	0x01	0x00	-
	RTSEL[2:0]	0y011	0y100	0y100	0y100	-
	Error	(-0.44%)	(+2.12%)	(+2.12%)	(+2.12%)	-
76800	UARTxDR[7:0]	0x0C	0x06	0x02	-	-
	RTSEL[2:0]	0y000	0y010	0y100	-	-
	Error	(+0.16%)	(-0.79%)	(+2.12%)	-	-
62500	UARTxDR[7:0]	0x0F	0x07	0x03	0x01	0x00
	RTSEL[2:0]	0y000	0y000	0y000	0y000	0y000
	Error	0%	0%	0%	0%	0%
57600	UARTxDR[7:0]	0x11	0x08	0x03	0x01	0x00
	RTSEL[2:0]	0y011	0y011	0y100	0y100	0y100
	Error	(-0.44%)	(-0.44%)	(+2.12%)	(+2.12%)	(+2.12%)
38400	UARTxDR[7:0]	0x19	0x0C	0x06	0x02	-
	RTSEL[2:0]	0y000	0y000	0y010	0y100	-
	Error	(+0.16%)	(+0.16%)	(-0.79%)	(+2.12%)	-
19200	UARTxDR[7:0]	0x30	0x19	0x0C	0x06	0x02
	RTSEL[2:0]	0y100	0y000	0y000	0y010	0y100
	Error	(+0.04%)	(+0.16%)	(+0.16%)	(-0.79%)	(+2.12%)
9600	UARTxDR[7:0]	0x64	0x33	0x19	0x0C	0x06
	RTSEL[2:0]	0y001	0y000	0y000	0y000	0y010
	Error	(+0.01%)	(+0.16%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UARTxDR[7:0]	0xC9	0x67	0x33	0x19	0x0C
	RTSEL[2:0]	0y001	0y000	0y000	0y000	0y000
	Error	(+0.01%)	(+0.16%)	(+0.16%)	(+0.16%)	(+0.16%)
2400	UARTxDR[7:0]	-	0xCF	0x67	0x33	0x19

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Basic baud rate[baud]	Register	Operating frequency				
		16MHz	8MHz	4MHz	2MHz	1MHz
	RTSEL[2:0]	-	0y000	0y000	0y000	0y000
	Error	-	(+0.16%)	(+0.16%)	(+0.16%)	(+0.16%)
	UARTxDR[7:0]	-	-	0xCF	0x67	0x33
1200	RTSEL[2:0]	-	-	0y000	0y000	0y000
	Error	-	-	(+0.16%)	(+0.16%)	(+0.16%)

11.7.1 收发波特率计算方法

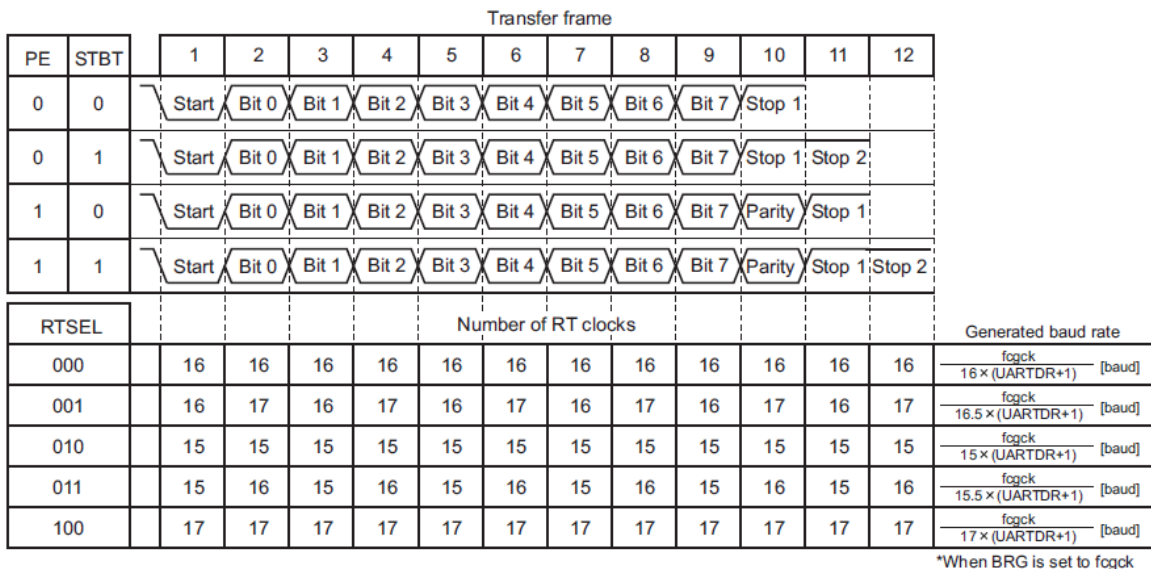


图 11.4 以 UART0CR2<RTSEL>微调波特率

发送/接收数据之位宽度可透过 UART0CR2<RTSEL>的设定进行微调。每位的 RT 时钟数可由 UART0CR2<RTSEL>设定在 15 至 17 个时钟数的范围内。RT 时钟为收发基本时钟，来自计数 UART0CR1 <BRG> 所设定之时钟数总共 (UART0DR 设定值)+1 次所得之脉冲。特别当 UART0CR2<RTSEL>设定为“001”或“011”时，两种 RT 时钟将在每个位之间轮流，以生 RTx15.5 时钟数与 RTx16.5 时钟数的伪波特率(pseudo baud rate)。收发框中每位的 RT 时钟数如图 11.3 所示。

例如，当 fcgck 为 4MHz、ART1CR2<RTSEL>设定为“000”且 UART0DR 设定为“0x19”，则波特率可以图 11.3 的公式计算而得为 $f_{cgck} / (16 \times (UART0DR + 1)) = 9615$ (baud)。

这些设定将产生接近 9600(baud)之波特率(+0.16%)。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

11.7.1.1 UART0CR2<RTSEL>与 UART0DR 设定值之计算

UART0DR 的工作频率与波特率设定值可由图 11.4 之计算公式加以计算。例如，欲以 $f_{cgck}=4\text{MHz}$ 产生基本波特率 38400 (baud)，计算每个 UART0CR2<RTSEL>设定下的 UART0DR 设定值，并向上补偿至产生图 11.5 所示之波特率。基本上，透过选择 UART0CR2<RTSEL>中有最小波特率误差的设定值来产生波特率。在图 11.5 中，UART0CR2<RTSEL> = “010”的设定在所有计算出的波特率中有最小的误差，因此所产生的波特率为 38095 (baud) (-0.79%)，可对应至基本波特率 38400 (baud)。

RTSEL	UARTDR set value
000	$\text{UARTDR} = \frac{f_{cgck} [\text{Hz}]}{16 \times A [\text{baud}]} - 1$
001	$\text{UARTDR} = \frac{f_{cgck} [\text{Hz}]}{16.5 \times A [\text{baud}]} - 1$
010	$\text{UARTDR} = \frac{f_{cgck} [\text{Hz}]}{15 \times A [\text{baud}]} - 1$
011	$\text{UARTDR} = \frac{f_{cgck} [\text{Hz}]}{15.5 \times A [\text{baud}]} - 1$
100	$\text{UARTDR} = \frac{f_{cgck} [\text{Hz}]}{17 \times A [\text{baud}]} - 1$

图 11.5 UART0DR 计算方式 (当 BRG 设为 f_{cgck})

RTSEL	UARTDR calculation	Generated baud rate
000	$\text{UARTDR} = \frac{4000000 [\text{Hz}]}{16 \times 38400 [\text{baud}]} - 1 \approx 6$	$\frac{4000000 [\text{Hz}]}{16 \times (6 + 1)} = 35714 [\text{baud}] (-6.99\%)$
001	$\text{UARTDR} = \frac{4000000 [\text{Hz}]}{16.5 \times 38400 [\text{baud}]} - 1 \approx 5$	$\frac{4000000 [\text{Hz}]}{16.5 \times (5 + 1)} = 40404 [\text{baud}] (+5.22\%)$
010	$\text{UARTDR} = \frac{4000000 [\text{Hz}]}{15 \times 38400 [\text{baud}]} - 1 \approx 6$	$\frac{4000000 [\text{Hz}]}{15 \times (6 + 1)} = 38095 [\text{baud}] (-0.79\%)$
011	$\text{UARTDR} = \frac{4000000 [\text{Hz}]}{15.5 \times 38400 [\text{baud}]} - 1 \approx 6$	$\frac{4000000 [\text{Hz}]}{15.5 \times (6 + 1)} = 36866 [\text{baud}] (-3.99\%)$
100	$\text{UARTDR} = \frac{4000000 [\text{Hz}]}{17 \times 38400 [\text{baud}]} - 1 \approx 5$	$\frac{4000000 [\text{Hz}]}{17 \times (5 + 1)} = 39216 [\text{baud}] (+2.12\%)$

图 11.6 UART0DR 计算范例

注：与基本波特率的误差精准度应在 $\pm 3\%$ 以内。即使误差在 $\pm 3\%$ 以内，UART 通讯仍可能因外部控制装置(比方：个人电脑)与通讯引脚之振荡晶体和负载电容的频率误差而失败。

11.8 数据取样方法

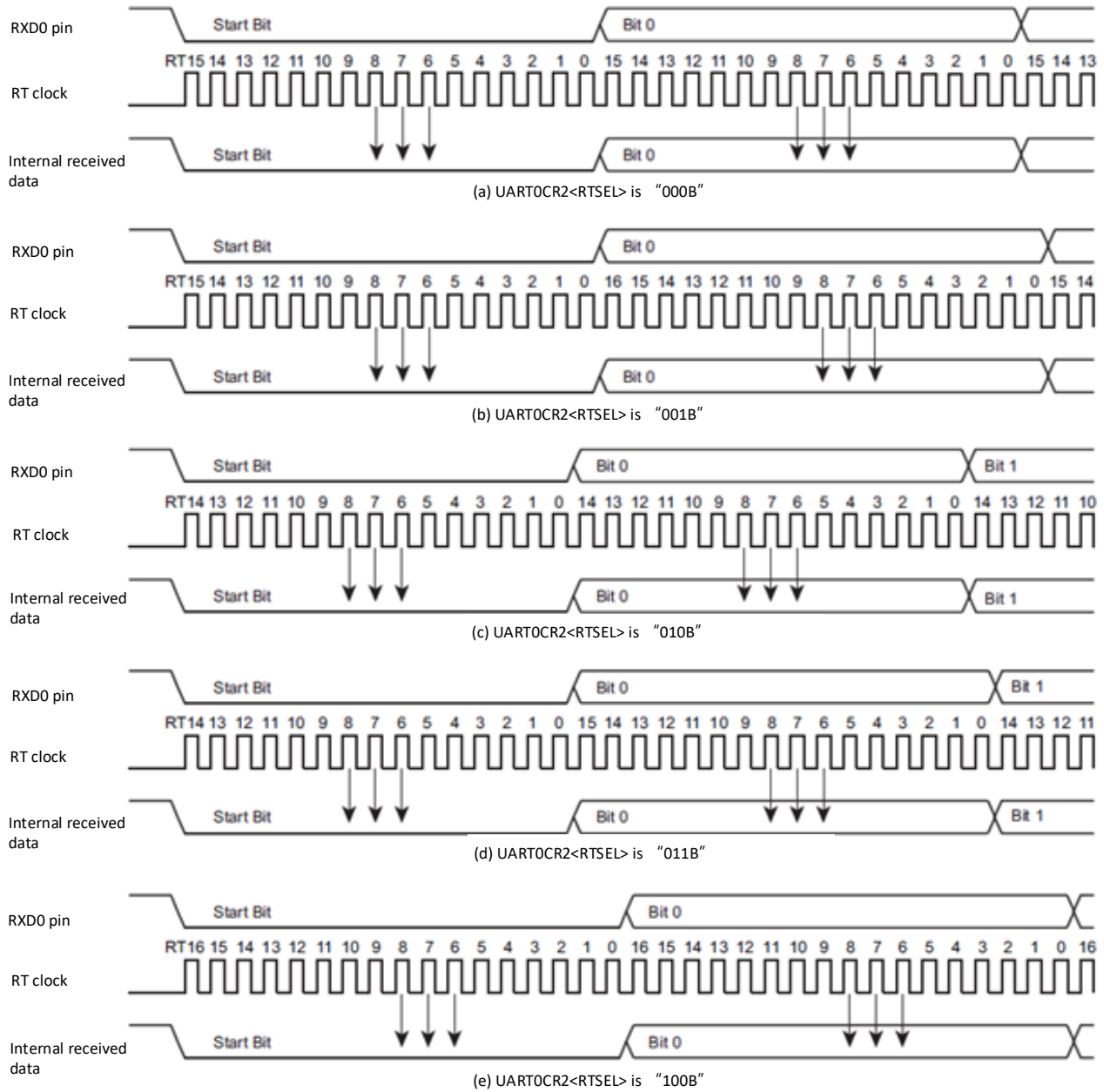


图 11.7 各种 UART0CR2<RTSEL>设定下的数据取样

当 RXD0 侦测到输入脉冲的下降沿时，UART 接收控制线路便开始 RT 时钟计数。每位计数 15 到 17 个 RT 时钟，每个时钟可表示为 RTn (n = 16 到 0)。有 17 个 RT 时钟的位会计数 RT16 到 RT0。有 16 个时钟的位会计数 RT15 到 RT0。有 15 个时钟的位会计数 RT14 到 RT0 (以上均为向下计数)。在计数 RT8 到 RT6 期间，UART 接收控制线路会对 RXD0 引脚的输入脉冲以多数决定的方式进行取样。在 3 次取样中侦测到 2 次以上相同电平将被作为该位的数据。

RT 时钟数可由 `UART0CR2<RTSEL>` 设定为 15 到 17 的范围内。然而即使 RT 时钟数有所改变，取样工作一律在 RT8 到 RT6 之间进行。(图 11.6)

若由于噪声影响等因素，在起始位的取样中检测到‘1’，RT 时钟的计数将会停止，并终止数据接收工作。而后，当 `RXD0` 再次检测到输入脉冲的下降沿时，RT 时钟的计数会重新开始，数据接收工作也会由起始位重新开始。

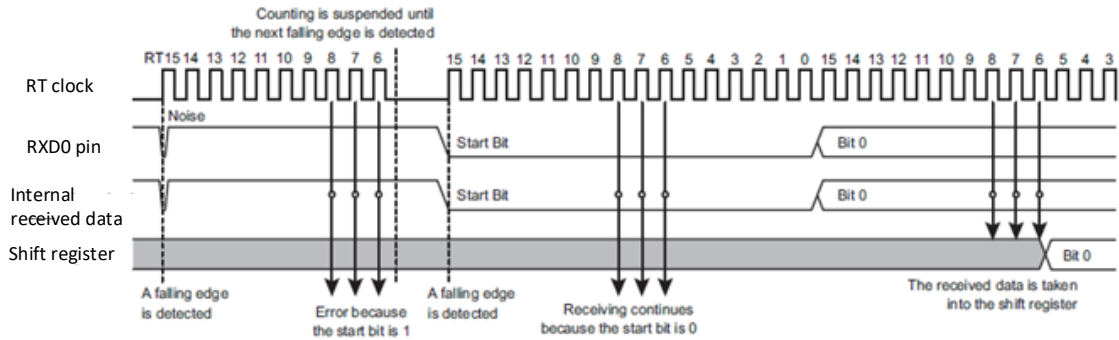


图 11.8 起始位的取样

11.9 接收数据的噪声抑止

当 `UART0CR2<RXDNC>` 设定允许噪声抑止时，会被视为正常信号的脉冲时间如表 11.6 所示。

RXDNC	Noise rejection times[s]	Time of pulses to be regarded as signals
00	No noise rejection	-
01	$(UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
10	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
11	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$8 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$

表 11.6 接收数据的噪声抑止时间

注：收发基本时钟频率为 `UARTCR1<BRG>` 设定之时钟频率。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

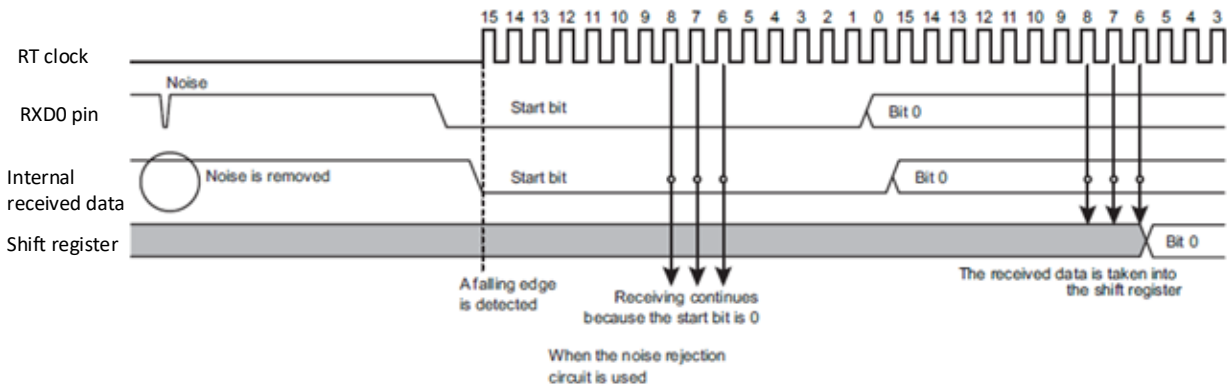


图 11.9 接收数据的噪声抑制

11.10 发送/接收工作

11.10.1 数据发送工作

设定 $UART0CR1<TXE>$ 为“1”，检查 $UART0SR<TBFL>$ 是否为“0”，再将数据写入发送数据寄存器 $TD0BUF$ 。对 $TD0BUF$ 写入数据的动作会将 $UART0SR<TBFL>$ 设定为“1”，并将数据传送到发送移位寄存器，将数据依序由 $TXD0$ 引脚输出。输出数据包含起始位、结束位(由 $UART0CR1<STBT>$ 设定为 1 位或 2 位)与奇偶校验位(若指定加入奇偶校验)。以 $UART0CR1<BRG>$ 、 $UART0CR2<RTSEL>$ 与 $UART0DR$ 选择数据收发波特率。开始数据发送时，发送寄存器 已满标帜 $UART0SR<TBFL>$ 将清除为“0”，并产生 $INTTXD0$ 中断要求。

注 1：数据写入 $TD0BUF$ 后，如在前一笔数据传送到移位寄存器以前发生新一笔数据的写入，新写入的数据将覆盖前一笔数据，并传送到移位寄存器。

注 2：在表 11.7 的条件下， $TXD0$ 引脚输出将依 $UART0CR1<IRDASEL>$ 的设定固定于低电平或高电平。

Condition	TXD0 pin out	
	IRDASEL="0"	IRDASEL="1"
When $UART0CR1<TXE>$ is "0"	H Level	L Level
From when "1" is written to $UART0CR1<TXE>$ to when the transmitted data is written to $TD1BUF$		
When the STOP, IDLE0 or SLEEP0 mode is active.		

表 11.7 TXD0 引脚输出

11.10.2 数据接收工作

设定 $UART0CR1<RXE>$ 为 "1"。当透过 $RXD0$ 引脚接收数据时，所接收的数据将传送至接收数据寄存器 $RDOBUF$ 。此时，所接收的数据包含起始位、结束位(1 位或 2 位)与奇偶校验位(若指定加入奇偶校验)。接收到结束位(1 位或 2 位)时，数据本身(8 位)将被传送至接收数据寄存器 $RDOBUF$ 。之后接收寄存器 已满标帜 $UARTOSR<RBFL>$ 会被设定为 "1"，并产生 $INTRXD0$ 中断要求。以 $UART0CR1<BRG>$ 、 $UART0CR2<RTSEL>$ 与 $UART0DR$ 选择数据收发波特率。

如果接收数据时发生溢出错误，该数据将被舍弃而不会传送到接收数据寄存器 $RDOBUF$ 。原本存放在 $RDOBUF$ 的数据将不受影响。

11.11 状态标帜

11.11.1 奇偶校验错误标帜

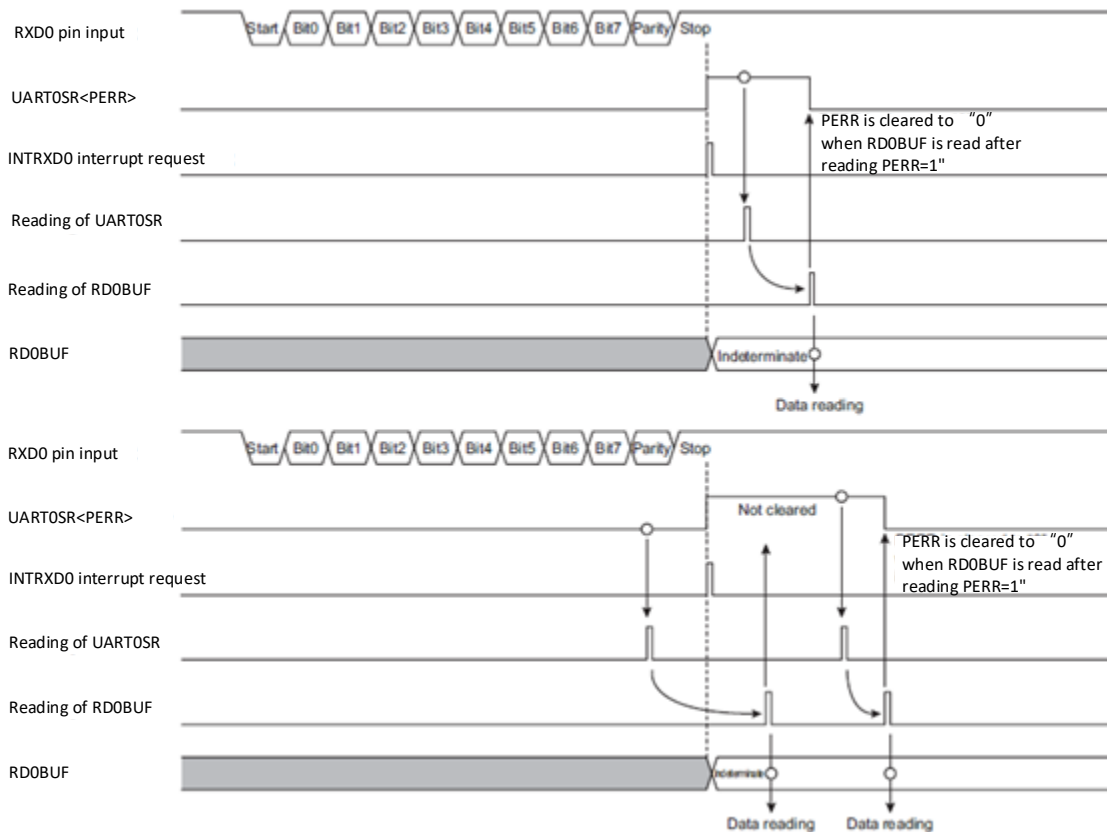


图 11.10 奇偶校验错误的发生

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

当收数据位的奇偶性与接收数据奇偶校验位不同时，奇偶校验错误标识 $UARTOSR<PERR>$ 将被设定为“1”。此时将发出 $INTRXD0$ 中断要求。

如果 $UARTOSR<PERR>$ 为“1”，在 $UARTOSR$ 被读取后， $UARTOSR<PERR>$ 将在后续 $RDOBUF$ 被读取后清空为“0”。(此时 $RDOBUF$ 数值将处于未定义状态)

如果在 $UARTOSR$ 被读取后将 $UARTOSR<PERR>$ 设定为“1”，则在后续 $RDOBUF$ 被读取后， $UARTOSR<PERR>$ 将不会清空为“0”。这种状况下， $UARTOSR<PERR>$ 将于 $UARTOSR$ 再次被读取，且后续 $RDOBUF$ 也被读取后被清空为“0”。

11.11.2 数据框错误标识

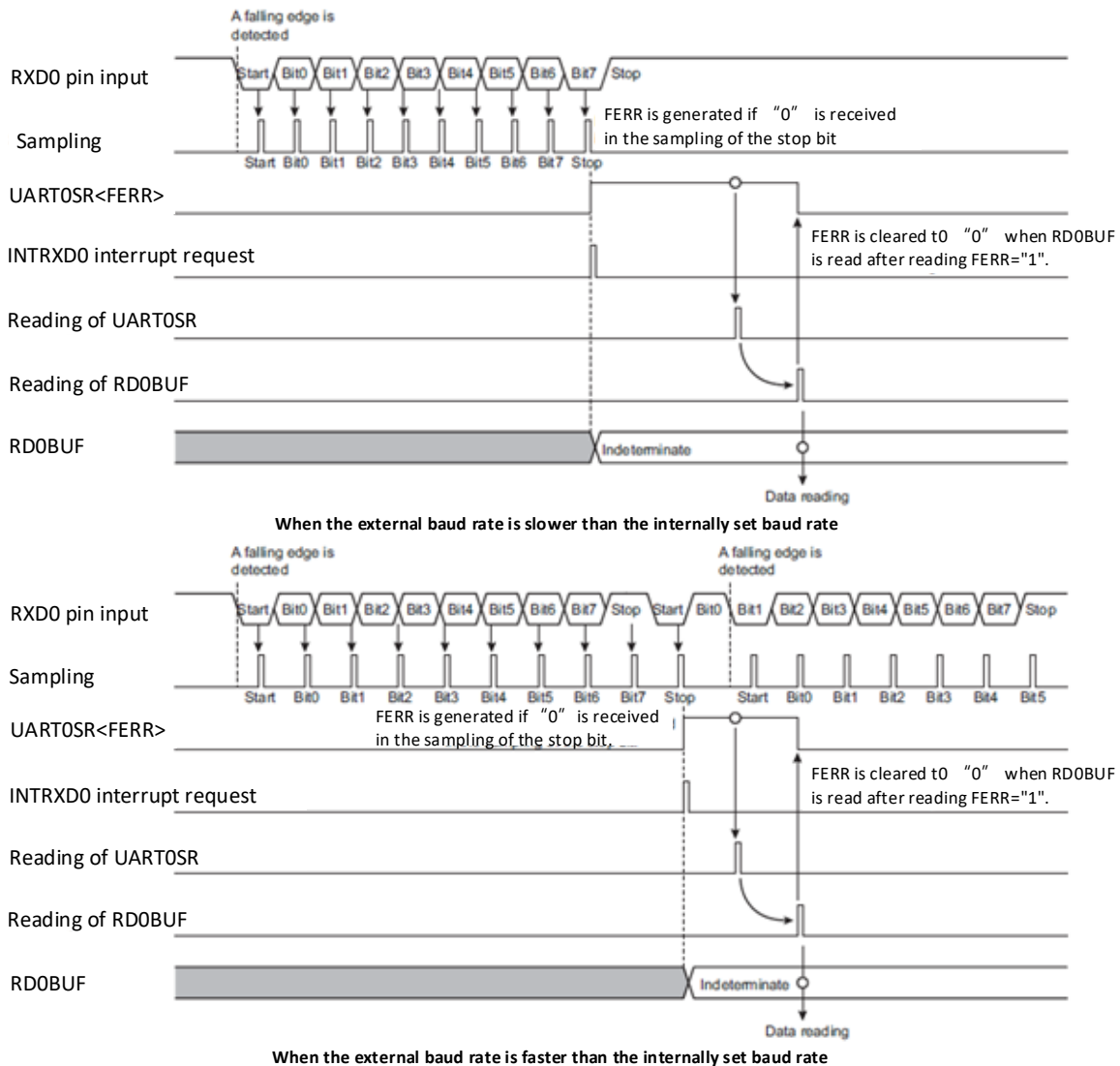


图 11.11 数据框错误的发生

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

若内部与外部的波特率不同、或由于 RXD0 引脚受噪声影响等因素使接收数据之结束位取样为“0”，数据框错误标帜 UART0SR<FERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<FERR>为“1”，在 UART0SR 被读取后，UART0SR<FERR>将在后续 RDOBUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<FERR>设定为“1”，则在后续 RDOBUF 被读取后，UART0SR<FERR>将不会清空为“0”。这种状况下，UART0SR<FERR>将于 UART0SR 再次被读取、且后续 RDOBUF 也被读取后被清空为“0”。

11.11.3 溢出错误标帜

若在前一笔接收数据由 RDOBUF 读出之前完成所有数据的接收工作，溢出错误标帜 UART0SR <OERR> 将被设定为“1”，并产生 INTRXD0 中断要求。发生溢出错误时所接收的数据将被舍弃，并保存前一笔接收数据。而后，如果在 UART0SR <OERR>仍为“1”时接收到数据，将不在产生 INTRXD0 中断要求。所接收的数据仍将被舍弃。(图 11.11)

被舍弃的接收数据将无法侦测到奇偶校验错误或数据框错误(因为并未设定错误标帜)。也就是说，在读取 UART0SR 期间如果这两种错误和溢出错误一起被侦测到，则这两种错误是前一笔接收数据(存放于 RDOBUF 的数据)所发生。(图 11.12)

如果 UART0SR<OERR>为“1”，在 UART0SR 被读取后，UART0SR<OERR>将在后续 RDOBUF 被读取后清空为“0”。(图 11.13)

如果在 UART0SR 被读取后将 UART0SR<OERR>设定为“1”，则在后续 RDOBUF 被读取后，UART0SR <OERR>将不会清空为“0” 这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取 且后续 RDOBUF 也被读取后被清空为“0”。(图 11.13)

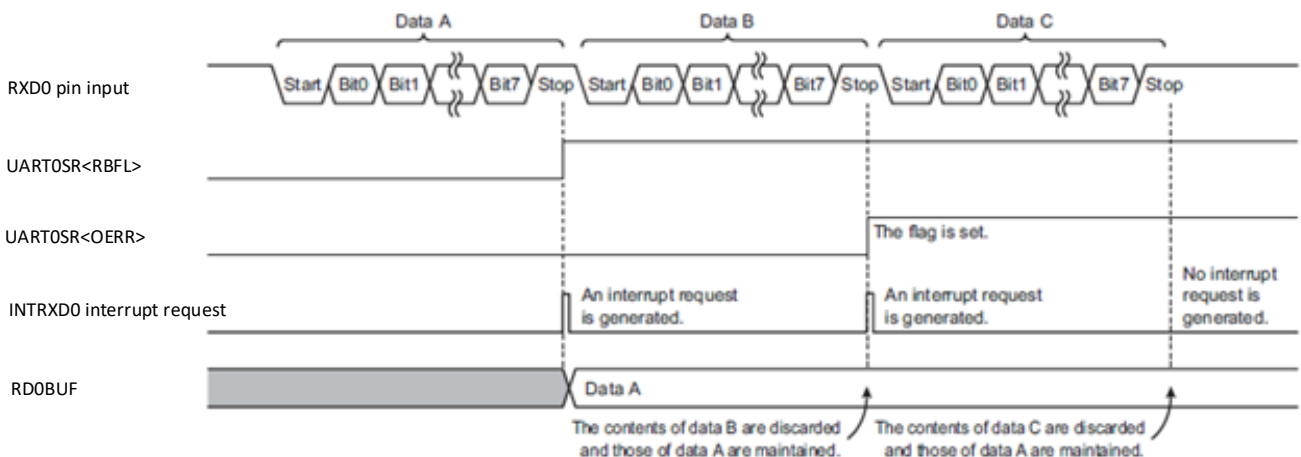
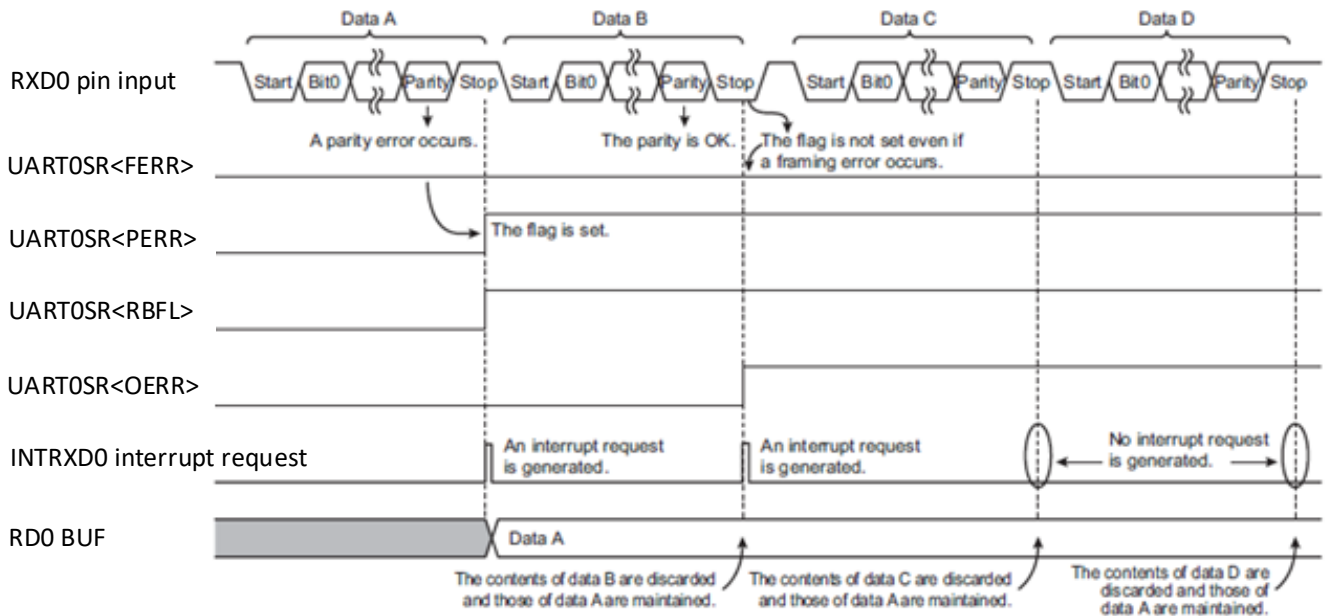
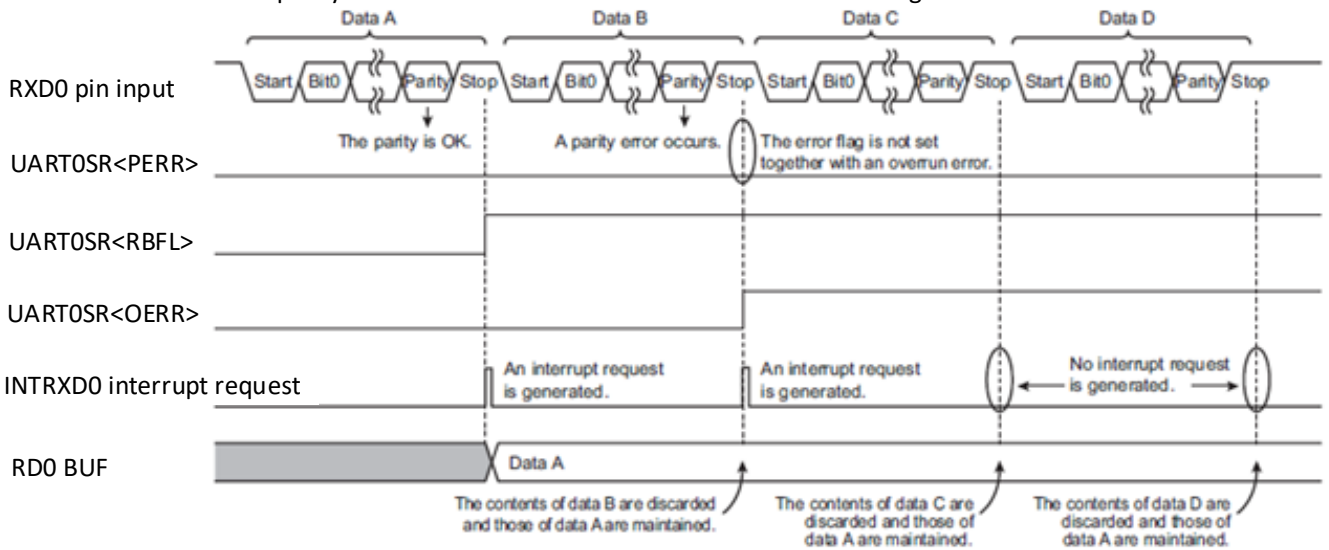


图 11.12 INTRXD0 中断要求的产生



When a parity error occurs in the first received data and a framing error occurs in the second data



When a parity error occurs in the second received data

图 11.13 发生溢出错误时的数据框/奇偶校验错误标识

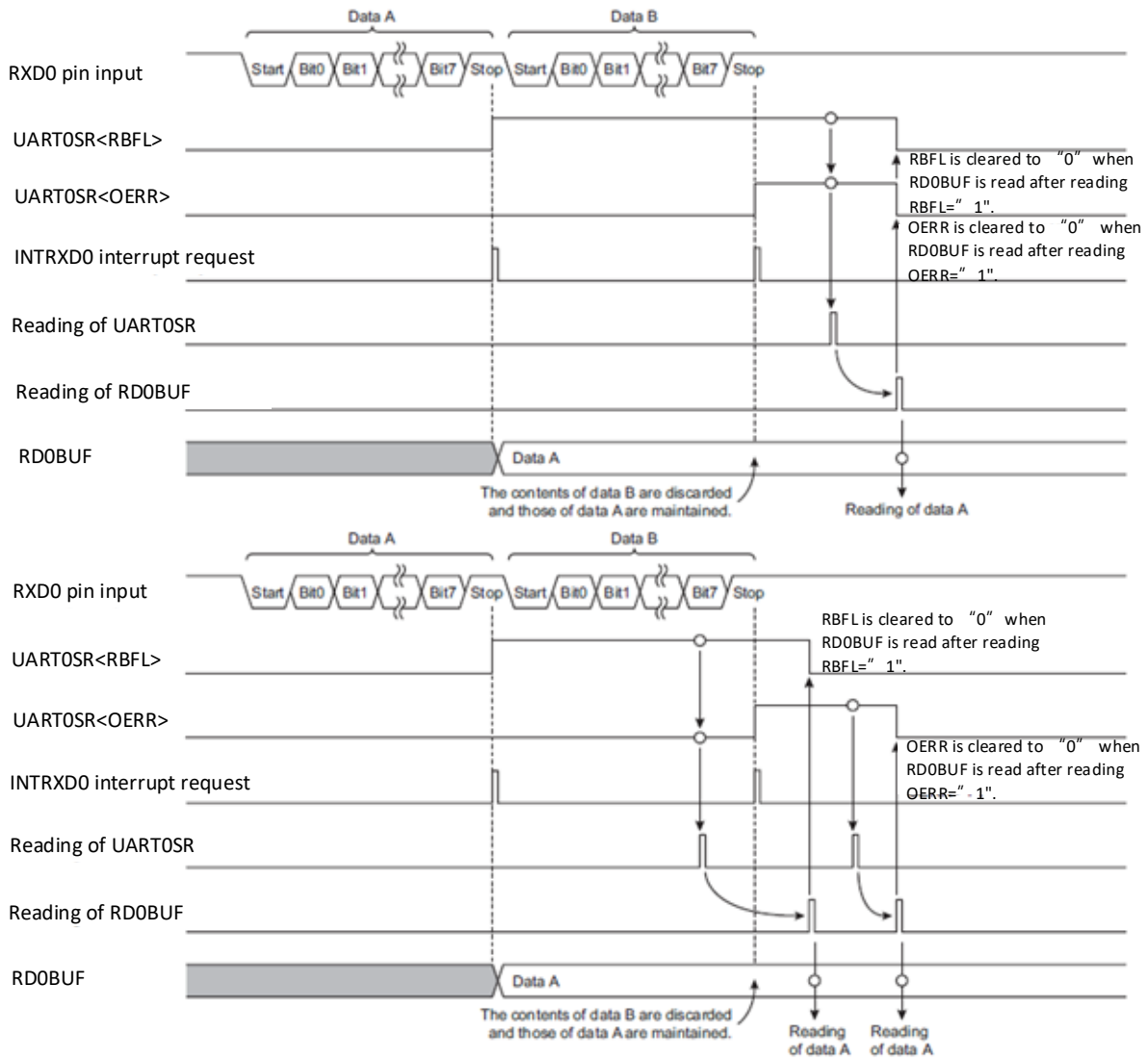


图 11.14 溢出错误标识的清除

11.11.4 接收寄存器 已满标识

将接收数据存入 RDBUF 将使 UARTSR<RBFL>被设定为“1”。

如果 UARTSR<RBFL>为“1”，在 UARTSR 被读取后，UARTSR<RBFL>将在后续 RDBUF 被读取后清空为“0”。

如果在 UARTSR 被读取后将 UARTSR<RBFL>设定为“1”，则在后续 RDBUF 被读取后，UARTSR<RBFL>将不会清空为“0”。这种状况下，UARTSR<OERR>将于 UARTSR 再次被读取、且后续 RDBUF 也被读取后被清空为“0”。

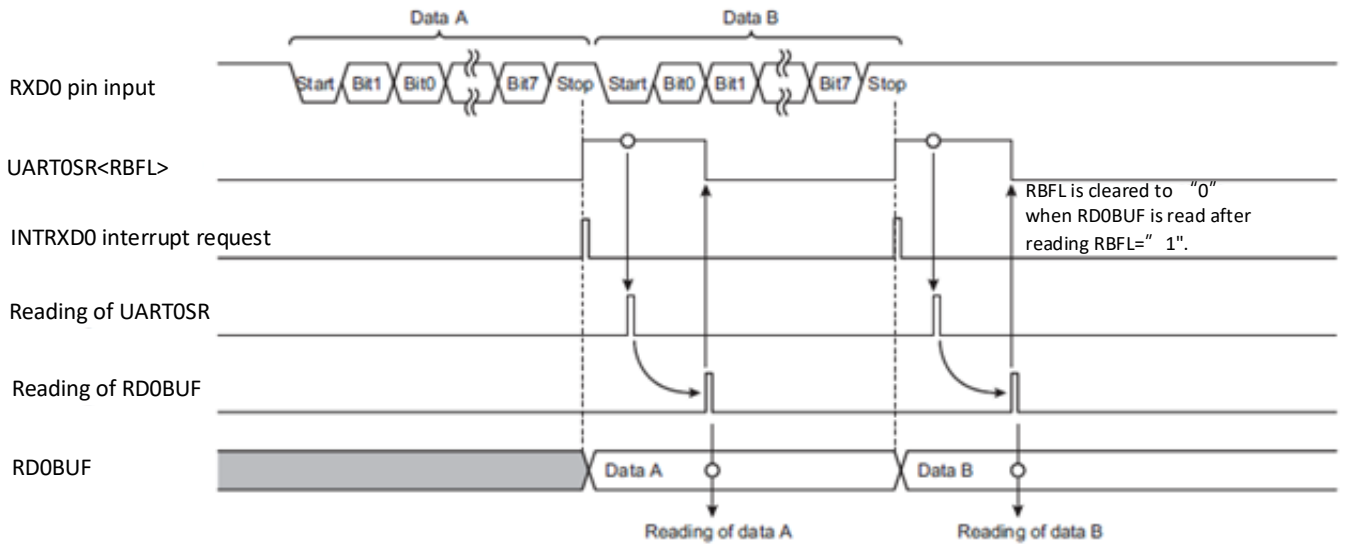


图 11.15 接收寄存器 已满的发生

11.11.5 发送忙碌标识

若发送工作完成且 TD1BUF 无等候中的数据(当 UARTOSR <TBFL>为"0")，UARTOSR <TBSY>将被清空为"0"。当发送工作于数据写入 TD1BUF 之后重新开始时，UARTOSR <TBSY>将被设定为"1"。此时将产生 INTTXD0 中断要求。

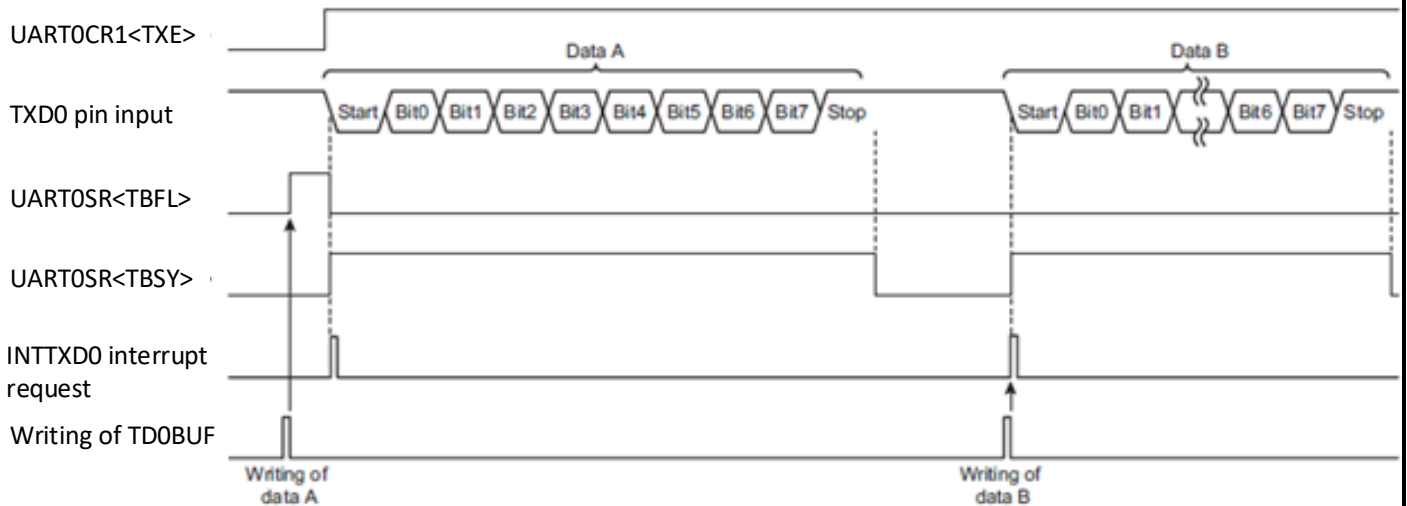


图 11.16 发送数据寄存器 已满的发生与发送忙碌标识

11.11.6 发送寄存器 已满标帜

当 TD0BUF 中没有数据、或当 TD0BUF 中的数据已传送到发送移位寄存器且开始发送工作时，UARTOSR <TBFL> 将被清空为“0”。时将产生 INTTXD0 中断要求。

将数据写入 TD0BUF 将使 UARTOSR <TBFL> 被设定为“1”。

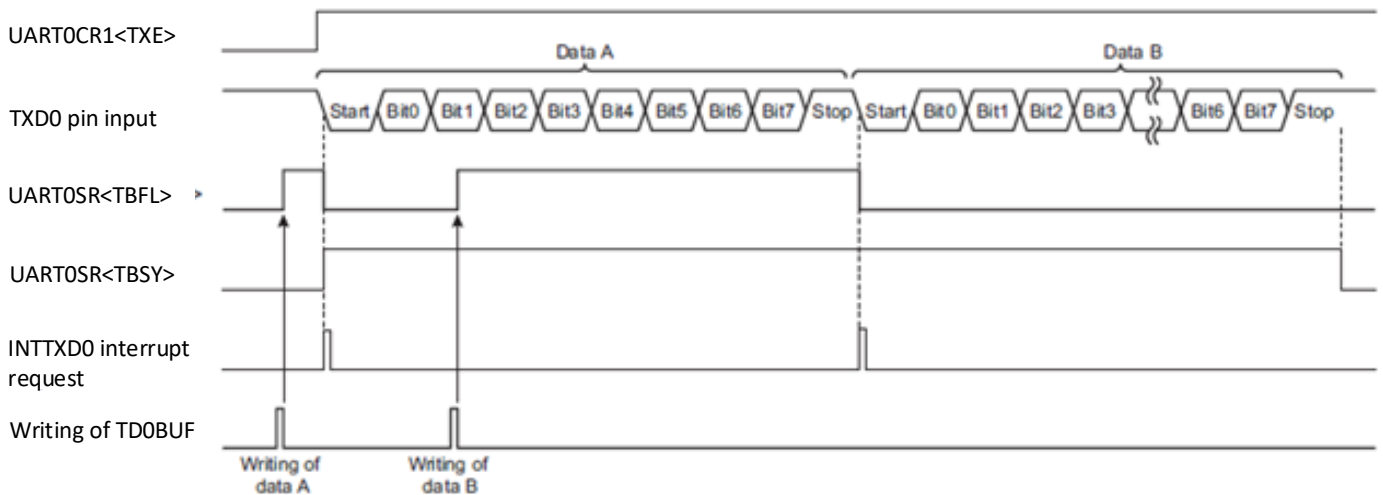


图 11.17 发送寄存器 已满的发生

11.12 接收进程

图 11.17 显示接收进程的范例。进程中的标帜判断细节如表 11.8 与表 11.9 所示。

侦测到数据框错误或奇偶校验错误时，表示接收数据数值有错，应进行错误处理工作，比方将 RDOBUF 所读取的接收数据舍弃、并再一次接收数据。

侦测到溢出错误时，表示有 1 笔或多笔数据的接收工作尚未完成。由于未能被接收的数据笔数无法判定，应进行错误处理工作，比方从头开始再次接收数据。基本上，溢出错误通常发生在内部软件处理无法跟上数据收发速度的情况下。建议降低收发波特率、或修改软件以进行数据流量控制。

注：若 INTRXD0 中断要求子程序中使用了数个中断，这些中断应在 UARTOSR 与 RDOBUF 完成读取后才被允许。

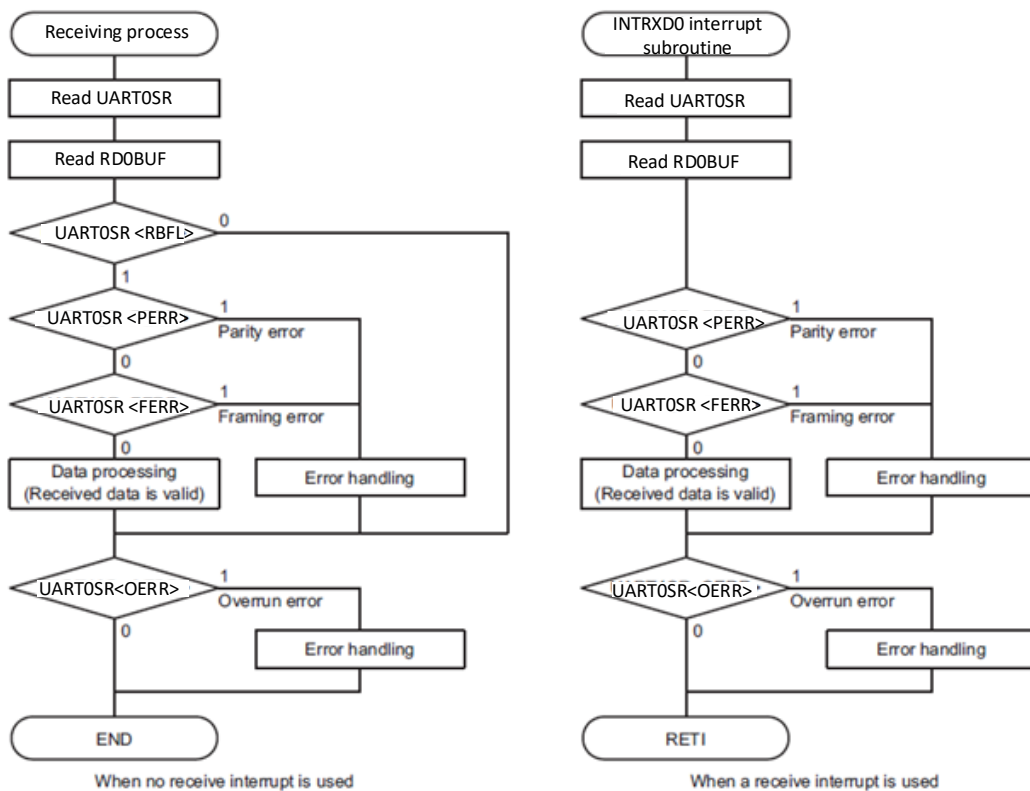


图 11.18 接收进程范例

RBFL	FERR/PERR	OERR	State
0	-	0	Data has not been received yet.
0	-	1	Some pieces of data could not be received during the previous data receiving process (Receiving of next data is completed in the period from when UART1SR is read to when RD1BUF is read in the previous data receiving process.)
1	0	0	Receiving has been completed properly.
1	0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	1	0	Received data has erroneous value(s).
1	1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 11.8 不使用接收中断时的标识判断

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

FERR/PERR	OERR	State
0	0	Receiving has been completed properly.
0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	0	Received data has erroneous value(s).
1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 11.9 使用接收中断时的标识判断

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

12 Flash 存储器

具有 16Kx8 位的 Flash 存储器。Flash 存储器的烧写(编程)或擦除工作可在 MCU 模式控制下施行，Flash 存储器可由 CPU 控制存取，且可在不影响工作中的应用运行下进行 Flash 存储器的擦除与烧写。因此，此模式可用于出货之后的软件调试与固件更新。

在 MCU 模式中，使用 Flash 存储器控制寄存器(FLSCR1 与 FLSCR2)来控制 Flash 存储器。此章节描述如何以 MCU 模式存取 Flash 存储器。

12.1 Flash 存储器控制

Flash 存储器由 Flash 存储器控制寄存器 1(FLSCR1)、Flash 存储器控制寄存器 2(FLSCR2)所控制。

Flash 存储器控制寄存器 1

FLSCR1 (0x0FD0)	7	6	5	4	3	2	1	0
位符号	FLSMD			-	-	-	-	-
读/写	R/W			R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

FLSMD	Flash 存储器命令序列与切换控制	010: 禁止命令序列与切换工作执行 101: 允许命令序列与切换工作执行 其他: 系统保留
-------	--------------------	--

注 1: 不可对“系统保留”选项进行设定。

注 2: Flash 存储器控制寄存器 1 具有由寄存器 FLSCR1 与移位寄存器组成的双缓冲寄存器结构。对寄存器 FLSCR2 写入“0xD5”可使寄存器设定产生映射、并使移位寄存器生效。这表示直到寄存器 FLSCR2 被写入“0xD5”以前，寄存器设定值都不会生效。可由读取寄存器 FLSCR1 检查移位寄存器的数值。

注 3: FLSMD 必须被设定为“010”或“101”其中之一。

Flash 存储器控制寄存器 2

FLSCR2 (0x0FD1)	7	6	5	4	3	2	1	0
位符号	CRIEN							
读/写	W							
复位后	0	0	0	0	0	0	0	0

CRIEN	FLSCR1 寄存器允许/禁止控制	0xD5: 允许更改 FLSCR1 设定 其他: 系统保留
-------	-------------------	----------------------------------

注: 如果 FLSCR2<CRIEN>设定为“0xD5”且 FLSCR1<FLSMD>设定为“101”，Flash 存储器将进入活跃状态，MCU 的消耗电流将与进行 Flash 读取期间相同。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Flash存储器控制寄存器1状态监控

FLSCRM (0x0FD1)	7	6	5	4	3	2	1	0
位符号	-	-	FLSMDM	-	-	-		
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

FLSMDM	FLSCR1<FLSMD>状态监控	0: FLSCR1<FLSMD>="101"设定为禁能状态 1: FLSCR1<FLSMD>="101"设定为始能状态
--------	-------------------	--

注 1 : FLSCRM 为检查 Flash 存储器控制寄存器 1 之移位寄存器数值的寄存器。

注 2 : FLSMDM 只在 FLSMD="101"生效的状况下转变为"1"。

注 3 : 除了第 5 位以外，FLSCRM 的读值为"0"。

12.2 Flash 存储器功能

12.2.1 Flash 存储器命令序列与切换控制(FLSCR1<FLSMD>)

为防止因程序错误或 MCU 故障造成无意间对 Flash 存储器写入，Flash 存储器之命令序列与切换工作可由适当的控制器寄存器设定加以关闭(Flash 存储器可被写入保护)。设定 FLSCR1<FLSMD>为"101"、再设定 FLSCR2<CR1EN>为"0xD5"可允许 Flash 存储器执行命令序列与切换工作。设定 FLSCR1<FLSMD>为"010"、再设定 FLSCR2<CR1EN>为"0xD5"则可禁止 Flash 存储器执行命令序列。在命令序列与切换工作的执行被设定为"禁止"时若进行命令序列与切换工作，所执行的命令序列与切换工作将为无效。

复位后，FLSCR1<FLSMD>将初始化为"010"，以禁止命令序列的执行。除了对 Flash 存储器施行写入或擦除以外，FLSCR1<FLSMD>一般应设定为"010"。

注 1 : 如果 FLSCR2<CR1EN>设定为"0xD5"且 FLSCR1<FLSMD>设定为"101"，Flash 存储器将进入活跃状态，MCU 的消耗电流将与进行 Flash 读取期间相同。

注 2 : 如果 FLSCR1<FLSMD>设定为"禁止"，后续产生的命令(写入指令)将被拒绝，执行中的命令序列将不会被初始化。若要设定 FLSCR1<FLSMD>为"禁止"，必须将所有命令序列完成，并确认 Flash 存储器已被读取。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

12.3 命令序列 Command Sequence

在 MCU 模式中，命令序列由 6 个命令组成(与 JEDEC 标准相容)，如表 12.1 所示。

指令序列	第 1 指令周期		第 2 指令周期		第 3 指令周期		第 4 指令周期		第 5 指令周期		第 6 指令周期		第 7 指令周期	
	位址	資料	位址	資料	位址	資料	位址	資料	位址	資料	位址	資料	位址	資料
1 字节编程 Byte Program	0x#555	0xAA	0x#AAA	0x55	0x#555	0xA0	BA (注 1)	Data (注 1)	0xF566	0xFF				
2 区块擦除(128 字节部份擦除) Sector Erase(Partial erase in units of 128 bytes)	0x#555	0xAA	0x#AAA	0x55	0x#555	0x80	0x#555	0xAA	0x#AAA	0x55	SA (注 2)	0x20	0xF566	0xFF
3 进入产品 ID 模式 Product ID Entry	0x#555	0xAA	0x#AAA	0x55	0x#555	0x90	-	-	-	-	-	-	-	-
4 跳出产品 ID 模式 Product ID Exit	0XX	0xF0	-	-	-	-	-	-	-	-	-	-	-	-

表 12.1 命令序列

注 1：請指定要写入的地址与数据，地址请参照产品芯片的 Flash 地址范围，不可为无效的地址。

注 2：欲擦除的区域由地址的高 5 位指定。

注 3：命令序列执行中或命令序列中的特定任务(写入、擦除或进入产品 ID 模式)执行中，不要启动停止模式、空闲 0/1/2 模式或睡眠 0/1 模式。

注 4：#表示 0x8 到 0xF 应被指定为地址的高 4 位。通常建议指定为 0xF。

12.3.1 字节编程 Byte Program

此命令以 1 个字节为单位进行 Flash 存储器写入(编程)。欲写入的地址与数据指定于第 4 个总线(bus)写入周期。例如，要将数据写入 0xF000 数据区域时，先设定 FLSCR2<CR1EN>为“0xD5”，再于第 4 个总线(bus)写入周期指定 0xF000 为写入地址。每个字节的最长写入时间为 40 μs。若进行中的写入动作尚未完成，则下一个命令序列无法被执行。写入(编程)期间，CPU 将进入空闲 1/2 模式、直至编程动作完成。

注 1：当数据(包括 0xFF)已被写入 Flash 存储器时，若要对该地址再次写入数据，需确认数据写入前已透过区块擦除(sector erase)或整颗擦除(chip erase)进行现有数据的擦除。

12.3.2 区块擦除 Sector Erase (128 字节部分擦除)

此命令以 128 字节为单位进行 Flash 存储器擦除。欲擦除的区域指定于第 6 个总线(bus)写入周期地址的高 5 位。例如，要擦除程序存储器 0xE000 到 0xE07F 的 128 字节，先设定 FLSCR1<FLSMD>

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

为“101”、设定 FLSCR2<CR1EN>为“0xD5”，再于第 6 个总线(bus)写入周期指定 0xE000 或 0xE07F。

擦除 128 字节所需的最长时间为 5 ms。若进行中的擦除动作尚未完成，则下一个命令序列无法被执行。擦除期间，CPU 将进入空闲 1/2 模式、直至编程动作完成。

被擦除区域的数据一律为 0xFF。

12.3.3 进入产品 ID 模式

此命令可启动产品 ID 模式。如于产品 ID 模式执行 Flash 存储器的读取指令，可读出 Flash 存储器中的供应商 ID、Flash ID 与安全状态等信息。

地址	意义	读取值
0xF000	供货商 ID (Vendor ID)	0x68
0xF001	Flash 存储器 ID (Flash ID)	0x12
0xFF7F	安全状态 (Security Status)	0xFF: Flash 数据安全保护功能未开启 0xFF 以外的值: Flash 数据安全保护功能已开启

表 12.2 产品 ID 模式可读出的数值定义

12.3.4 跳出产品 ID 模式

此命令用于跳出产品 ID 模式。

12.4 存取 Flash 存储器区域

当 Flash 存储器正在写入数据时、正在擦除数据时、或者 Flash 存储器有安全设定时，无法对全部的 Flash 存储器区域进行读出或程序读取。若对 Flash 存储器执行这些动作，则无法以 Flash 存储器内的程序进行存取。因此在进行 Flash 存储器的编程或擦除时，CPU 将自动进入空闲 1/2 模式。

数据可以 1 个字节为单位对 Flash 存储器写入、或由 Flash 存储器读出。Flash 存储器内的数据可以 128 字节(即 1 区块)为单位擦除。

注 1：为使程序可恢复对被再次写入的 Flash 存储器区域的控制，建议确认程序已被正确写入后、对程序进行跳转(回转)动作。

注 2：当 Flash 存储器正在写入数据时、正在擦除数据时、或者 Flash 存储器有安全设定时，不要让 MCU 发生复位(包括由内部因素引起的复位)。如果发生复位，Flash 存储器内的数据有可能被覆盖写入非预期的数值。

13 串行总线接口(SBI)/ I2C

MQ6823 有一组串行总线接口(SBI)。此串行总线接口支持串行通信,并符合 I2C 总线标准。具备时钟同步与仲裁功能,支持多主控设备模式-多主控设备连结到同一总线,也支持通用数据格式。

13.1 通信格式

13.1.1 I2C 总线

I2C 总线透过 SDA0 与 SCL0 连结到不同设备上,且能同时与多设备通讯。

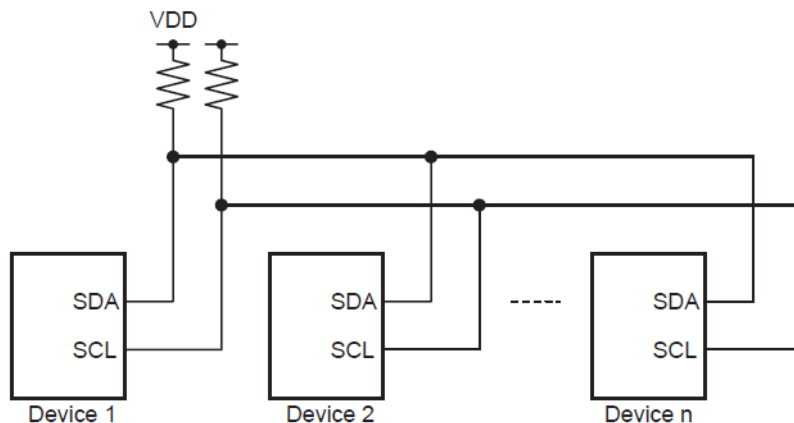


图 13.1 装置连接图

在 主控设备与从属设备间进行通信。

主控设备会发送起始条件,从属设备地址,传输方向位与停止条件到总在线的从属设备,进行数据传送与接收。

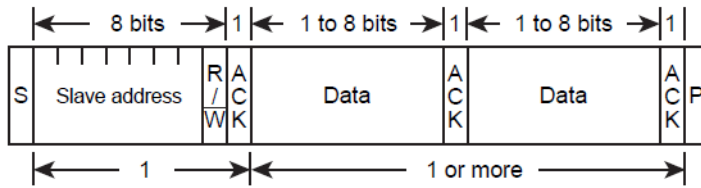
从属设备侦测到从主控设备传来的这些条件,并且传送与接收数据。

I2C 总线数据格式可透过串行总线接口连接,如图 13.2 所示。

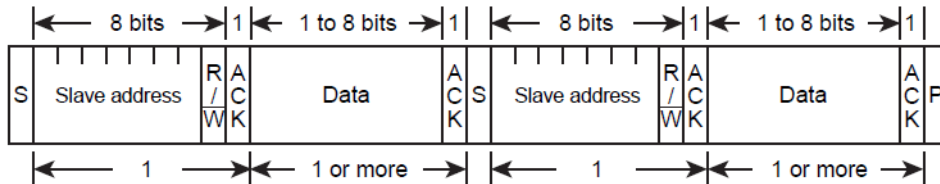
依据 I2C 串行总线标准,串行总线接口不支持以下功能：

1. 起始位
2. 10 位地址
3. SDA 与 SCL 下降前沿斜率控制

(a) Addressing format



(b) Addressing format (with restart)



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

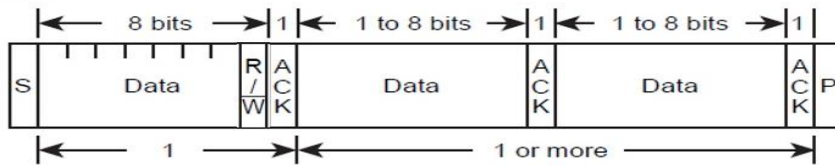
图 13.2 I2C 总线数据格式

13.1.2 通用数据格式

主控与从属设备间通讯使用通用数据格式。

在通用数据格式里,从属设备地址与位传输方向位将会视为数据处理。

(a) Free data format



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

图 13.3 通用数据模式

13.2 框图

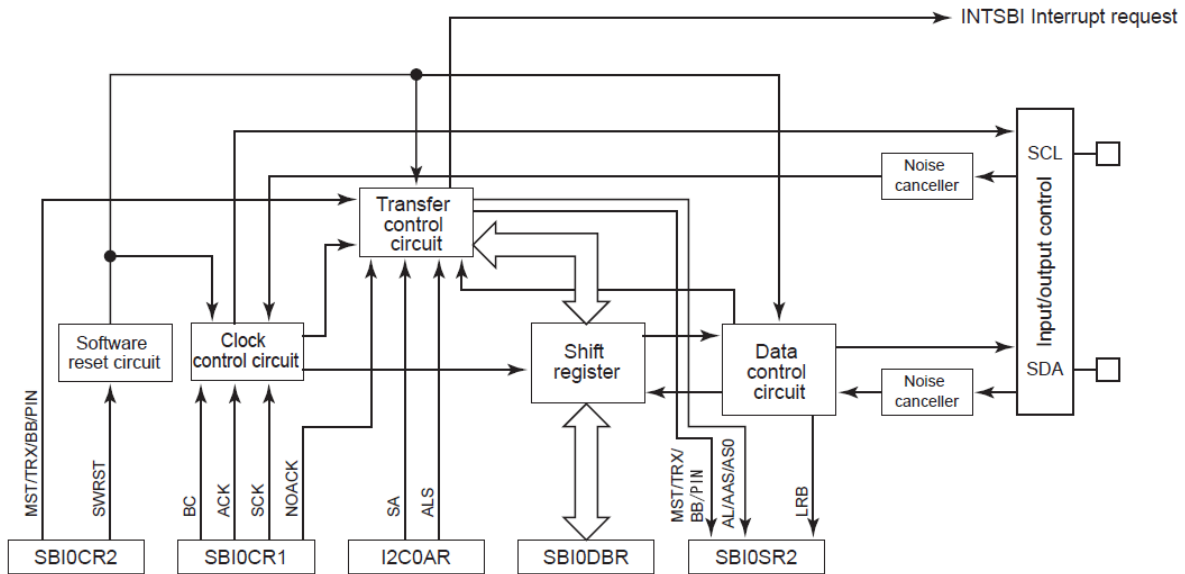


图 13.4 串行总线接口 0 (SBI0)方框图

13.3 控制

以下寄存器通常用于控制串行总线接口并监督运作状态

- 串行总线接口控制寄存器 1 (SBI0CR1)
- 串行总线接口控制寄存器 2 (SBI0CR2)
- 串行总线接口状态寄存器 2 (SBI0SR2)
- 串行总线接口数据寄存器 (SBI0BR)
- I2C 总线地址寄存器(I2C0AR)

其他相关寄存器：

- 低功耗寄存器 1 (POFFCR1)

使用及设定 I2C 必须先设定 POFFCR1<SBI0EN>为'1'，在此之前相关设定为无效，请重新设定

- P2 端口开漏输出寄存器 (P2OUTCR)

使用 I2C 时请设定 P2OUTCR3 及 P2OUTCR4 为'1'

- P2 端口输出锁存寄存器(P2DR)

使用 I2C 时请设定 IO 输出为'0'，否则无法正常工作

此外,串行总线接口有低功耗寄存器,当串行总线接口没有被使用时,可节省功耗。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

低功耗寄存器1

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
位符号	-	-	-	S BIOEN	-	-	UART0EN	UART0EN
读/写	R	R	R	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

S BIOEN	I ² C0 控制	0:禁止 1:使能
UART0EN	UART0 控制	0:禁止 1:使能
UART0EN	UART0 控制	0:禁止 1:使能

注1) 当 *S BIOEN* 清除为“0”,提供串行总线接口的时钟将停止.同时,写入串行总线接口控制寄存器的数据将无效.当串行总线接口被使用时,将 *S BIOEN* 设为“1”,然后将数据写入串行总线接口控制寄存器。

串行总线接口控制寄存器1

S BIOCR1 (0x0022)	7	6	5	4	3	2	1	0
位符号	BC			ACK	NOACK	SCK		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

<i>BC</i>	数据的位数量	<i>BC</i>	ACK=0		ACK=1		
			传送数据的时钟数	数据的位数量	传送数据的时钟数	数据的位数量	
			000	8	8	9	8
			001	1	1	2	1
			010	2	2	3	2
			011	3	3	4	3
			100	4	4	5	4
			101	5	5	6	5
			110	6	6	7	6
		111	7	7	8	7	
<i>ACK</i>	产生与计算应答信号的时钟数	<i>ACK</i>	主控模式		从属模式		
			0:	不产生应答信号的时钟数, 当数据传输完成时产生一个中断。 (无应答模式)	当数据传输完成时产生一个中断。 (无应答模式)		
			1:	产生一个应答信号使用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)	加计一个应答信号用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)		
<i>NOACK</i>	设定/中断从属地址比对与“广播呼叫”之侦测	<i>NOACK</i>	主控模式		从属模式		
			0:	无效	启动从属地址比对与“广播呼叫”之侦测		
			1:	无效	中断从属地址比对与“广播呼叫”之侦测		

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

SCK	主控模式的频率宽度 从属模式的频率脚 位(SCL pin)释解放 时间	SCK	$t_{HIGH}(m/fcgck)$	$t_{LOW}(n/fcgck)$	fscI@fcgck=8MHz	
			m	n		
		000	9	12		381KHz
		001	11	14		320KHz
		010	15	18		242KHz
		011	23	26		163KHz
		100	39	42		99KHz
		101	71	74		55KHz
		110	135	138		29KHz
		111	263	266	15KHz	

注 1): $fcgck = \text{Gear clock [Hz]}$, $fs = \text{Low-frequency clock [Hz]}$ 。

注 2): 当开始条件产生时,或停止条件产生,或数据传输进行时,不要变更寄存器的内容。在开始条件产生前,或者在为了停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3): 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, IZCOAR, SBIOSR2 寄存器将回到初始值。

注 4): 当运作切换为停止,空闲 0 或低速模式时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, IZCOAR, SBIODBR 寄存器将回到初始值。

注 5): 当 $fcgck$ 为 4MHz, SCK 不应被设为“000”,“001”或“010”,因为这都无法满足总线标准的快速模式。

串行总线接口控制寄存器2

SBIOCR2 (0x0023)	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	SBIM	-	SWRST	
读/写	W	W	W	W	W	R	W	W
复位后	0	0	0	1	0	0	0	0

MST	选择主控/从属	0:从属 1:主控
TRX	选择传输/接收	0:接收 1:传输
BB	产生开始/停止条件	0:产生停止条件(当 MST、TRX 与 PIN 为“1”) 1:产生开始条件(当 MST、TRX 与 PIN 为“1”)
PIN	取消中断服务需求	0:- (无法由软件清除此位) 1: 取消中断服务需求
SBIM	串行总线接口模式寄存器	0: 端口模式 1:串行总线接口模式
SWRST	软件复位起始位	先写入“10”,再写入“01”·以启动软件复位

注 1): 当 SBIOCR2<SBIM>为“0”时,除了 SBIOCR2<SBIM>以外,其它数据写入 SBIOCR2 是无效的。将数值写入 SBIOCR2 前,在 SBIOCR2<SBIM>写入“1”以启动串行总线模式。

注 2): 当开始条件产生,或停止条件产生,或数据传输进行时,不要变更 SBIOCR2<SWRST>之外的其它 bit 内容。在开始条件产生前或为了

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3): 在切换端口模式到串行总线接口之前,确定端口是在高电位状态.在切换串行总线接口模式到端口模式之前,确定总线是空闲的。

注 4): SBIOCR2 是只能写入的寄存器,且不能透通过“读-修改-写”指令,像是做位运算一样进行存取。

注 5): 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, IZCOAR, SBIOSR2 寄存器将回到初始值。

注 6): 当运作切换为停止,空闲 0 或低速模式时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, IZCOAR, SBIODBR 寄存器将回到初始值。

串行总线接口状态寄存器2

SBIOSR2 (0x0023)	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	1	0	0	0	*

MST	主控/从属状态检测	0:从属 1:主控
TRX	传输/接收状态检测	0:接收 1:传输
BB	总线状态检测	0:总线为自由状态 1: 总线为忙碌状态
PIN	中断服务需求检测	0:需求中断 1:释放中断需求
AL	仲裁失败检测	0: - 1:仲裁失败检测
AAS	从属地址配对检测	0: - 1:从属地址配对或“广播呼叫”检测
AD0	“广播呼叫”检测	0: - 1: “广播呼叫”检测
LRB	最后接收位检测/监控	0: 最后接收位为“0” 1: 最后接收位为“1”

注 1): *不确定。

注 2): 当 SBIOCR2<SBIM>为“0”时, SBIOSR 将被初始化。

注 3): 启动软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, IZCOAR, SBIOSR2 寄存器将被初始化。

当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>和 SBIOCR1 这 2 个 bit 以外的其它 bit, 以及 IZCOAR, SBIOSR2 寄存器将回到初始值。

注 4): 当工作模式切换为停止,空闲 0 或低速模式时, SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit,与 SBIOCR1, IZCOAR, SBIODBR 寄存器将被初始化。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

I²C 总线地址寄存器

I2COAR (0x0024)	7	6	5	4	3	2	1	0
Bit Symbol	SA							ALS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
After reset	0	0	0	0	0	0	0	0

SA	从属地址设定	从属模式下的从属地址
ALS	通信格式选择	0: I ² C 总线模式 1: 通用数据格式

注 1): I2COAR<SA>不要设为“0x00”。如果将 I2COAR<SA>设为“0x00”，当 I2C 总线标准起始位(“0x01”) 在从属模式被接收时，从属设备地址将被视为符合。

注 2): 当开始条件产生时或停止条件产生或数据传送进行中，请勿变更寄存器内容。在开始条件产生时或在停止数据传递的中断需求产生到生效的期间，将数据写入寄存器。

注 3): 软件复位后，SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit，与 SBIOCR1, I2COAR 和 SBIOSR2 将回到初始值。

注 4): 当工作模式转换为停止，空闲 0 或低速模式时，SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit，与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

串行总线数据寄存器

SBIODBR (0x0025)	7	6	5	4	3	2	1	0
Bit Symbol	SBIODBR							
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
After reset	0	0	0	0	0	0	0	0

注 1): 写入传输数据将以最高有效位(bit 7)开始。

注 2): SBIODBR 有独立写入与读写寄存器，且写入的数据不能被读出。因此 SBIODBR 不能透过“读-修改-写”指令，像是位运算，进行存取。

注 3): 当开始条件产生，或停止条件产生，或数据传输进行时，不要变更寄存器内容。在开始条件产生前或是停止数据传输的中断请求产生到生效的期间，将数据写入寄存器。

注 4): 将空数据“0x00”写入 SBIODBR，以设定 SBIOCR2<PIN>为“1”则写入 0x00 以外的数据，都将造成后续所接收的数据是不正确的。

注 5): 当工作模式切换为停止，空闲 0 或低速模式时，SBIOCR2 除了 SBIOCR2<SBIM>以外的寄存器内容，与 SBIOCR1, I2COAR, SBIODBR 寄存器将被初始化。

13.4 功能

13.4.1 低功耗功能

串行总线接口具低功耗寄存器(POFFCR1), 当串行总线接口未使用时,可节省功耗。

将 POFFCR1<SBI0EN>设为“0”, 提供串行总线接口的基本时钟会暂停以减少功耗,但这同时也会使得串行总线接口无法使用。将 POFFCR1<SBI0EN>设为“1”, 会启动串行总线接口的基本时钟,并可使用外部中断。

在复位之后, POFFCR1<SBI0EN>将被初始为“0”,且会导致串行总线接口无法使用.当第一次使用串行总线接口时,请务必在程序初始设定时(串行总线接口控制寄存器运作前)将 POFFCR1<SBI0EN>设为“1”。

当串行总线接口运作时,不要将 POFFCR1<SBI0EN>变更为“0”, 否则串行总线接口将会不可预测。

13.4.2 选取从属地址配对检测与广播呼叫检测

在从属模式,SBI0CR1<NOACK>可启动或不启动从属地址检测与广播呼叫配对检测。

将 SBI0CR1<NOACK>清除为“0”, 可启动从属地址配对检测与广播呼叫检测。

将 SBI0CR1<NOACK>设为“1”.将使后续从属地址配对检测与广播呼叫配对检测无效.由主控设备传送的从属地址与广播呼叫将被忽略.且没有应答回传,也不会产生中断需求。

在主动模式, SBI0CR1<NOACK>将被忽略且对工作没有影响。

注:在从属模式下进行数据传输时, 若将 SBI0CR1<NOACK>清除为“0”,则 SBI0CR1<NOACK>仍会维持为“1”并且回传一数据传输的应答信息。

13.4.3 选取数据传输的时钟数与选取应答或单一应答模式

1 字节数据传输包含数据与一应答信号.当数据传输完成后,将会产生一中断需求。

SBI0CR1<BC>用来选取数据的位数,以进行后续传送与接收。此应答模式是透过设定 SBI0CR1<ACK>为“1”开始进行。

主动装置将产生时钟给应答信号,并在接收模式下产出一应答信号.从属装置会计算时钟脉冲给应答信号,并在接收模式下产出应答信号。

SBI0CR1<ACK>设定为“0”,将启动无应答模式。

主控装置不会产生时钟脉冲给应答信号.从属装置也不会计算时钟脉冲给应答信号。

13.4.3.1 数据传输的时钟脉冲数

数据传输的时钟脉冲数由 SBIOCR1<BC>与 SBIOCR1<ACK>进行设定。

SBIOCR1<ACK>设为“1”,开始启动应答模式。

在应答模式里,主控装置对应答信号,将产生对应于数据位数的时钟脉冲,且产生一中断需求。

从属设备计算对应数据位数的时钟脉冲,并对应答信号计算时钟脉冲,并且产生一中断需求。

SBIOCR1<ACK>设为“0”,将启动无应答模式。

在无应答模式,主控装置对应数据位数所产生时钟脉冲,并产生一中断需求。

从属装置对应数据位计算时钟脉冲,且产生一中断需求。

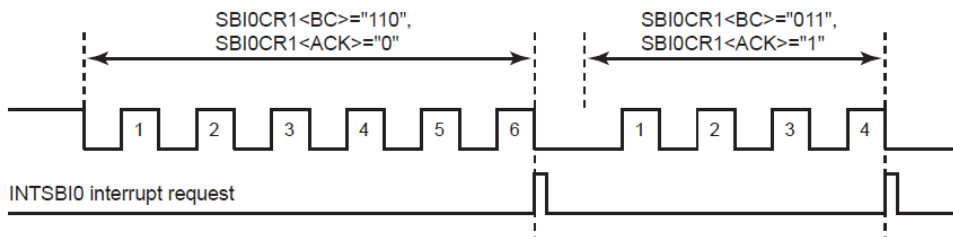


图 13.5 数据传输时的时钟脉冲与 SBIOCR1<BC>, SBIOCR1<ACK>

数据传输的时钟脉冲与 SBIOCR1<BC>与 SBIOCR1<ACK>的关系如下表所列

BC	ACK=0 (Non-acknowledgment mode)		ACK=1 (Acknowledgment mode)	
	Number of clocks for data transfer	Number of data bits	Number of clocks for data transfer	Number of data bits
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

表 13.1 数据传输的时钟脉冲与 SBIOCR1<BC>, SBIOCR1<ACK>间的关系

开始条件后,BC 被清除为“000”。

因此, 从属地址与位方向将以 8 位单位传送.在其他状况下,BC 将维持设定值。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注) SBIOCR1<ACK>设定,必须在传送数据或是接收到从属地址之前. 若 SBIOCR1<ACK>被清除,从属地址配对检测与传输方向位将不会正常运作。

13.4.3.2 产出应答信号

在应答模式,在应答信号的时钟脉冲期间, SDA0 脚位会进行以下变更。

(a) 主动模式

传输模式,在应答信号的时钟脉冲期间,将释放 SDA0 脚位以接收从接收器发出的应答信号。在接收模式下,SDA0 脚位将被拉低,且应答信号在应答信号时钟脉冲期间产生一应答信号。

(b) 从动模式

当所接收的从属地址与设定于 I2C0AR<SA>从属地址检测符合,或者接收到广播呼叫, SDA0 脚位被拉低,且在应答信号的时钟脉冲期间产生一应答信号。

在从属地址配对检测后,进行数据传输期间,或在传输模式下接收到广播呼叫,将释放 SDA0 脚位以在应答信号的时钟脉冲期间从接收器接收一应答信号。

接收模式下, SDA0 脚位将被拉低并产生一应答信号.表格 18-2 为应答模式下 SCL0 与 SDA0 的状态。

注) 在无应答模式下,并未产生或计算信号的时钟脉冲.因此没有应答信号产出。

Mode	Pin	Condition	Transmitter	Receiver
Master	SCL0	-	Add the clocks for an acknowledge signal.	Add the clocks for an acknowledge signal
	SDA0	-	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin
Slave	SCL0	-	Count the clocks for an acknowledge signal	Count the clocks for an acknowledge signal
	SDA0	When the slave address match is detected or a "GENERAL CALL" is received	-	Output the low level as an acknowledge signal to the pin
		During transfer after the slave address match is detected or a "GENERAL CALL" is received	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin

表 13.2 应答模式下 SCL0 与 SDA0 的状态

13.4.4 串行时钟

13.4.4.1 时钟源

SBIOCR1<SCK>用来设定高或低串行时钟周期,并在主动模式下输出。

SCK	$t_{HIGH}(m/fcgck)$	$t_{LOW}(n/fcgck)$
	m	n
000:	9	12
001:	11	14
010:	15	18
011:	23	26
100:	39	42
101:	71	74
110:	135	138
111:	263	266

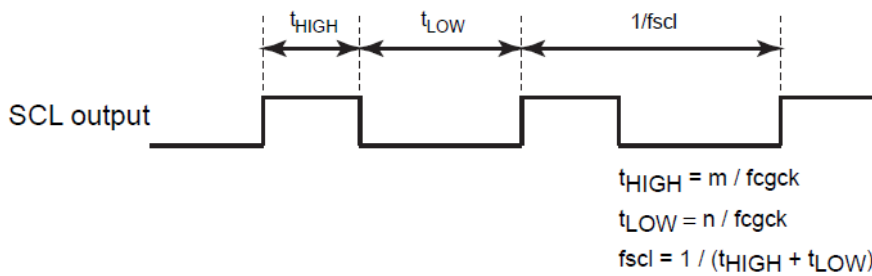


图 13.6 SCL 输出

注):有一些例子,当高周期与从 SBIOCR1<SCK>选取的 t_{HIGH} 不同时,当 SCL 上升前缘因总线的负载能力而趋缓时。

在主动模式下,开始条件产生时的持留时间为 t_{HIGH} [s],当停止条件产生时的设定时间为 t_{HIGH} [s]。

在从动模式中,SBIOCR2<PIN>设为“1”,当 SCL 脚位释放前,消失的时间为 t_{LOW} [s]。

在主动与从动模式下,不管 SBIOCR1<SCK>设定,最高周期必须为 $3/fcgck[s]$ 以上,且低周期必须为 $5/fcgck[s]$ 或比外部时钟长。

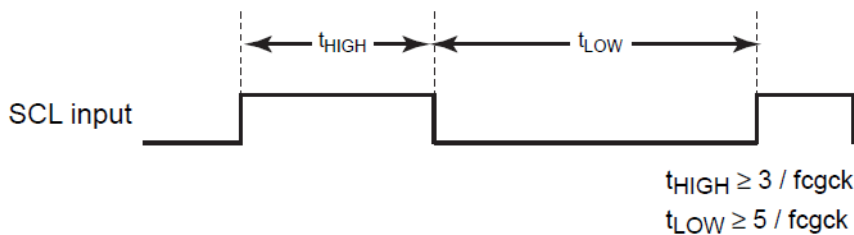


图 13.7 SCL 输入

13.4.4.2 时钟同步

具有 I2C 功能的脚位，由于 IO 口结构的关系，为了驱动总线，进行线与，一个将要把 clock 脉冲下拉到低电平的主机设备，将会使其余正在输出高电平的主机设备无效。所以，主机输出高电平时必须先进行检测以保持一致。

串行总线接口线路具时钟同步功能。此功能确保即使同时有 2 个以上的主控在同个总线，也能进行正常传输。

以下例子，解释当总线同时存在两个主控时的同步时钟程序。

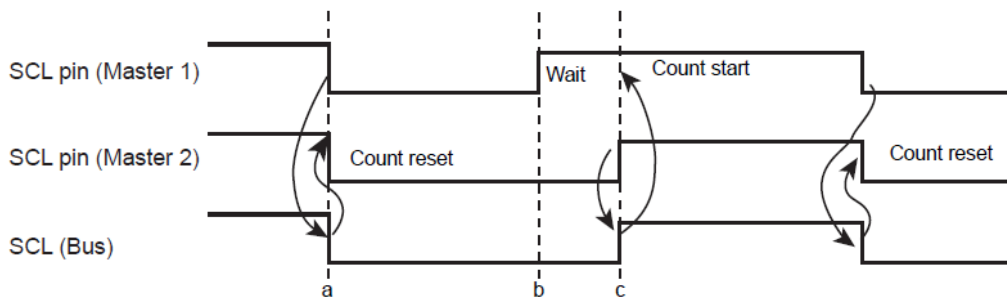


图 13.8 同步时钟范例

主控 1 在 a 点将 SCL 下拉到低电位，SCL 线将成为低电位。在检测到此状况后，主控 2 将重新计算高电位的时钟脉冲并设定 SCL 到低电位。

主控 1 在 b 点完成时钟脉冲计算，并设定 SCL 为高电位。因为主控 2 将保持 SCL 线在低电位，主控 1 将等到数完高电位时钟脉冲。当主控 2 在 c 点设定时钟脉冲为高电位，并侦测 SCL 线在高电位，主控 1 将开始计算高电位时钟脉冲。然后，处于完成计算高电位时钟脉冲的主控，将下拉 SCL 线到低电位。

总线的时钟脉冲决定于与总线链接的主控装置中，具最短高电位周期与最长低电位周期的主控装置。

13.4.5 选取主控/从属

要设定主控装置，SBIOCR2<MST>须设为“1”。

要设定从属装置，SBIOCR2<MST>须清除为“0”。当总线停止条件或者被检测到仲裁丢失，SBIOCR2<MST>将被硬件清除为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

13.4.6 选取传输/接收

要将装置设定为传送端, SBIOCR2<TRX>应被设为“1”。若要将其装置设为接收者,则将 SBIOCR2<TRX>清除为“0”。

I2C 总线在从属模式进行数据传输,如果主控装置的方向位(读/写)为“1”,则透过硬件将 SBIOCR2<TRX>设为“1”;若方向位为“0”时,则清除为“0”。

在主控模式,收到一从从属装置上回传的应答信号后,如果传输方向位为“1”,SBIOCR2<TRX>将透过硬件清除为“0”,若传输方向位为“0”的话,则透过硬件将,SBIOCR2<TRX>设定为“1”。当应答信号没有回传时,则维持现行的状态。

当总线为停止条件或检测到仲裁丢失时, SBIOCR2<TRX>透过硬件将清除为“0”。表格 13.3 表示 SBIOCR2<TRX>在不同模式下的变更条件,与变更后的 SBIOCR2<TRX>值。

注:1 当 SBIOCR1<NOACK>为 1,从属地址符合检测,且广播呼叫检测无效,则 SBIOCR2<TRX>将维持不变。

Mode	Direction bit	Changing condition	TRX after changing
Slave mode	"0"	A received slave address is the same as the value set to I2C0AR<SA>	"0"
	"1"		"1"
Master mode	"0"	ACK signal is returned	"1"
	"1"		"0"

表 13.3 不同模式下 SBIOCR1<TRX>的运用

当串行总线接口线路在自由数据格式运作,一从属地址与方向位将不被辨识.在产生开始条件后,将视为数据传送. SBIOCR2<TRX>不会被硬件改变。

13.4.7 生成开始/停止条件

当 SBIOSR2<BB>为“0”,一从属地址与 SBIODBR 所设的方向位将在开始条件产生后输出;当 SBIOCR2<MST>, SBIOCR2<TRX>, SBIOCR2<BB>与 SBIOCR2<PIN>写入“1”,将产生开始条件。”必须在开始条件产生前,将 SBIOCR1<ACK>设为“1”。

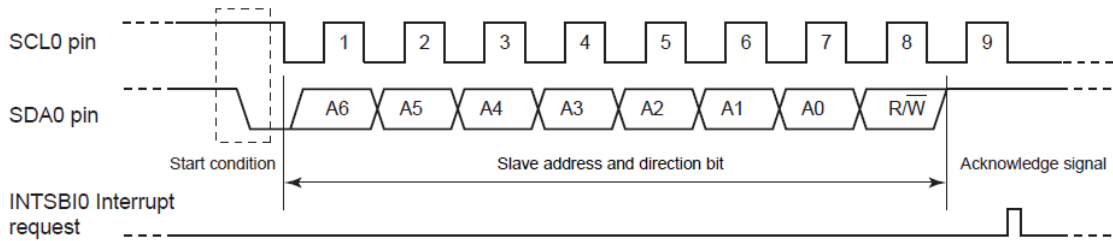


图 13.9 产生开始条件与从属地址

当 SBI0CR2<BB>为“1”，将 SBI0CR2<MST>, SBI0CR2<TRX>与 SBI0CR2<PIN>写入“1”，且 SBI0CR2<BB>写入“0”，后续将产生总线停止条件。

当停止条件生成时，SCL 线将被其他装置下拉到低电位，在 SCL 线释放后，生成停止条件。

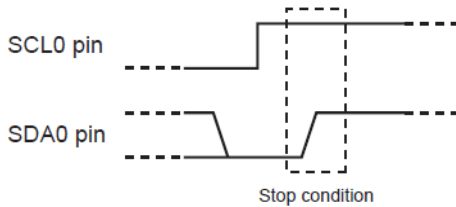


图 13.10 停止条件产生

总线状态可透过读取 SBI0SR2<BB>内容而显示。当总线开始条件被检测(总线为忙碌状态)，SBI0SR2<BB>为“1”；当停止条件被检测(总线为自由状态)，则将 SBI0SR2<BB>清除为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

13.4.8 中断服务需求发布与释放

当串行总线接口线路在主控模式,并传输 SBI0CR1<BC>与 SBI0CR1<ACK>完成的时钟组,将成生串行总线接口中断需求(INTSBIO)。

在从属模式, 当上述与下列条件被满足时,将成生串行总线接口中断需求(INTSBIO)。

- 在应答信号的结尾,当接收到的从属地址符合 I2C0AR<SA>设定值,且 SBI0CR1<NOACK>设为“0”。
- 在应答信号的结尾,当广播呼叫被接收且 SBI0CR1<NOACK>设为“0”。
- 在传送或接收结尾,在配对从属地址之后或接收到广播呼叫。

当串行总线接口中断需求发生时, SBI0CR2<PIN>清除为“0”。在 SBI0CR2<PIN>为“0”的期间, SCL0 将被下拉为低电位。

将数据写入到 SBI0DBR,以设定 SBI0CR2<PIN>为“1”。从 SBI0CR2<PIN>设为“1”,到 SBI0 被释放的时间为 t_{Low} 。

虽然 SBI0CR2<PIN>可透过软件设定为“1”,但 SBI0CR2<PIN>无法由软件清除为“0”。

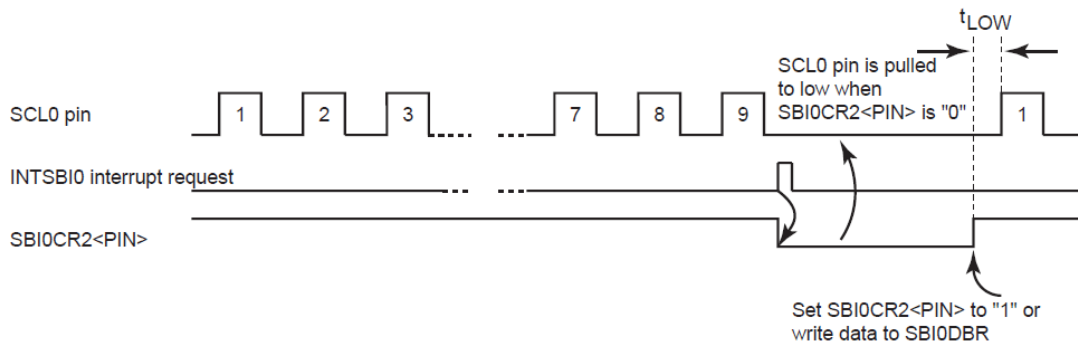


图 13.11 SBI0CR2<PIN>与 SCL0 脚位

13.4.9 设定串行总线接口模式

SBI0CR2<SBIM>一般为设定串行总线接口模式。

将 SBI0CR2<SBIM>设为“1”,以选择串行总线接口模式; 若设定为“0”则选择端口模式。

将 SBI0CR2<SBIM>设为“1”,以设定串行总线接口模式.在设定串行总线接口模式前,先确认串行总线接口脚位在高电位,且写入“1”到 SBI0CR2<SBIM>。

确认总线是自由状态后切换为端口模式,且设定 SBI0CR2<SBIM>为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注) 当 $SBIOCR2<SBIM>$ 为“0”, 除了 $BIOCR2<SBIM>$ 之外, 不能在 $SBIOCR2$ 写入数据. 在设定 $SBIOCR2$ 之前, 将“1”写入 $SBIOCR2<SBIM>$ 以启动串行总线接口模式。

13.4.10 软件复位

串行总线接口线路具有软件复位功能, 可初始化串行总线接口线路. 若串行总线接口线路被锁住, 举例而言, 若有噪声时, 则可透过此功能初始化。

在 $SBIOCR2<SWRST>$ 写入“10”然后写入“01”, 将进行软件复位。

在软件复位后, 串行总线接口线路被初始化, 且除了 $SBIOCR2<SBIM>$ 以外的 $SBIOCR2$ 寄存器内容, 与 $SBIOCR1, I2COAR<SA>$, 及 $SBIOSR2$ 都被初始化。

13.4.11 仲裁丢失检测功能

当总在线同时存在多主控装置时, 为了确保传输的数据内容, 会执行总线仲裁程序。

SDA 线的数据将用于 I2C 总线仲裁。

以下为一总线仲裁程序的范例.当两个主控装置同时存在时于总在线时,当主控 1 输出“1”且主控 2 输出“0”,SDA 线是线与,且 SDA 线被主控 2 下拉到低电位.当总线的 SCL 线在 b 点被上拉,从属装置将从 SDA 线读到数据,此为主控 2 的数据,主控 1 所传输的数据将为无效的.此时主控 1 的状态称为“仲裁丢失”.当一主控装置在仲裁丢失后将释放 SDA 脚位与 SCL 脚位,以不影响其他主控的数据传输.当有超过一个主控输出相同数据在第一个字时,仲裁将接续在第二个字进行。

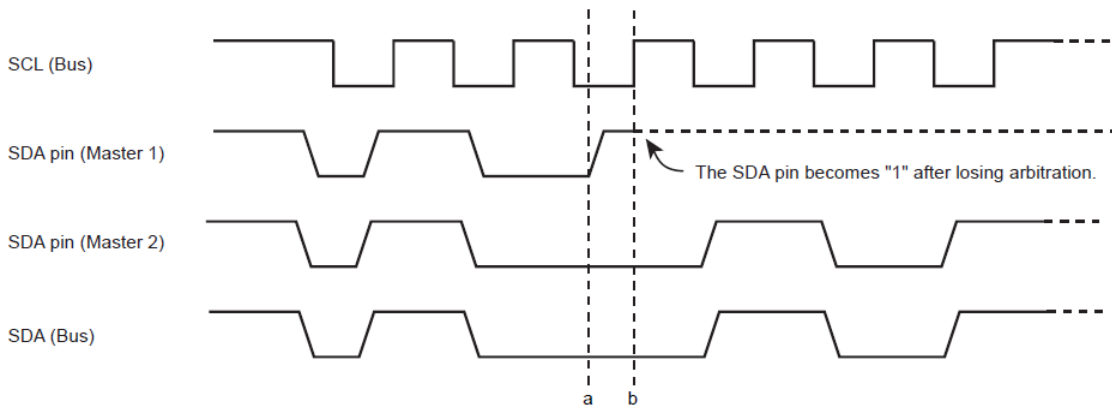


图 13.12 仲裁丢失

当 SDA 在 SCL 上升前沿时,对串行总线接口线路与 SDA 总线的程度比较.若电平是不匹配的则仲裁丢失且 SBIOSR2<AL>设为“1”。

当 SBIOSR2<AL>设为“1”, SBIOCR2<MST>与 SBIOCR2<TRX>清除为“0”且模式变更为从属接收模式.因此,在 SBIOSR2<AL>设定为“1”之后,串行总线接口线路在数据传输时将停止时钟脉冲输出,.在数据传输完成后, SBICR2<PIN>将清除为“0”,且 SCL 将下拉到低电平。

当数据写入 SBIODBR,或是从 SBIODBR 读取数据,或是写入数据到 SBIOCR2, 则 SBIOSR2<AL>会被清除为“0”。

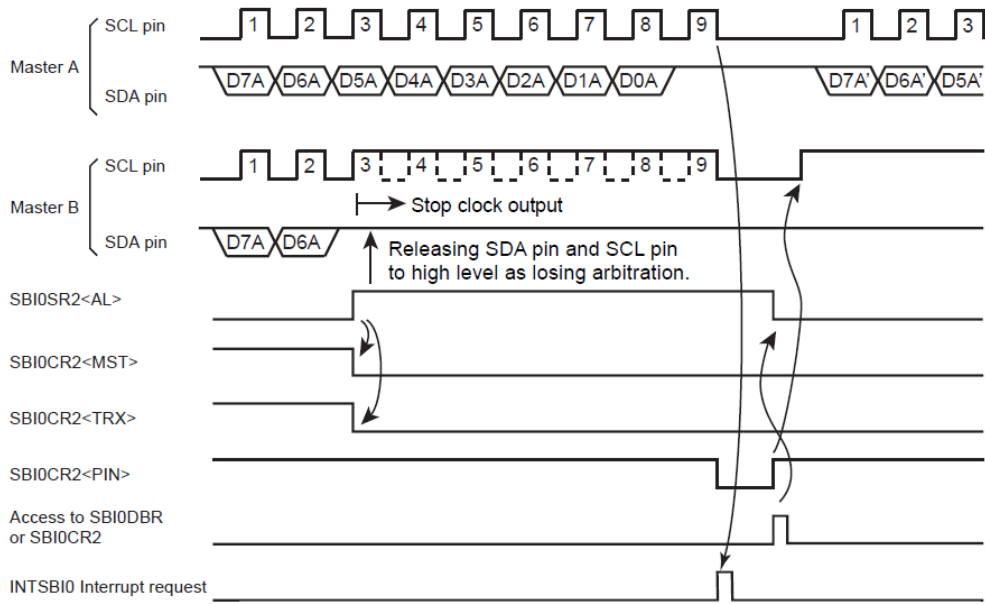


图 13.13 当主控 B 为串行总线接口线路的范例

13.4.12 从属地址配对检测

在从属模式里,当接收数据为广播呼叫,或者接收的数据符合 $I2C0AR<SA>$ 所设定的从属地址且 $SBI0CR1<NOACK>$ 设为“0”,同时 I2C 总线模式启动时($I2C0AR<ALS>=“0”$)时, $SBI0SR2<AAS>$ 为“1”。

设定 $SBI0CR1<NOACK>$ 为“1”,将使得后续从属地址配对与广播呼叫检测无效.即使收到广播呼叫或是接收到与 $I2C0AR<SA>$ 设定值相同的从属地址, $SBI0SR2<AAS>$ 都将维持为“0”。

当串行总线接口线路在通用数据格式($I2C0AR<ALS>=“1”$)运作, 在接收第一字数据后, $SBI0SR2<AAS>$ 设为“1”。若将数据写入 $SBI0DBR$ 或从 $SBI0DBR$ 读取数据,则 $SBI0SR2<AAS>$ 将清除为“0”。

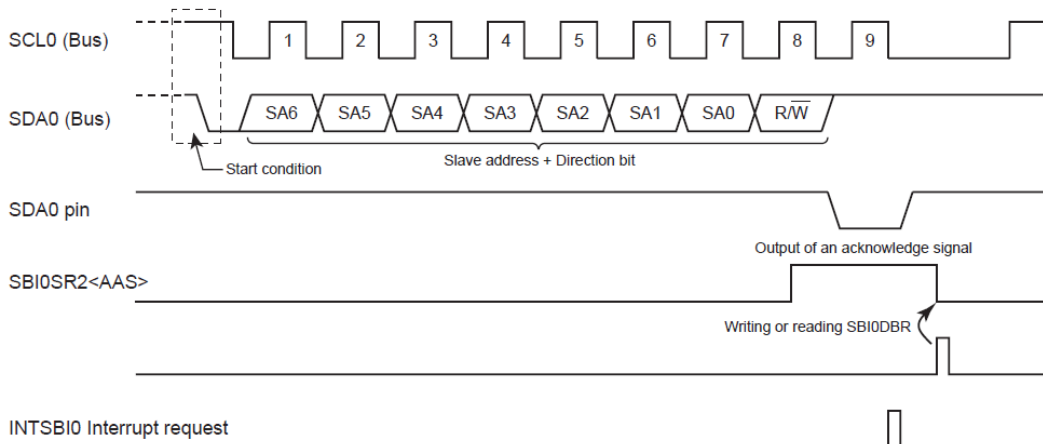


图 13.14 变更从属地址配对检测监控

13.4.13 广播呼叫检测

当 SBI0CR1<NOACK>为“0”且广播呼叫(在开始条件后,所有 8 位接收数据马上为“0”).在从属模式下, SBI0SR2<AD0>为“1”。

将 SBI0CR1<NOACK>设为“1”,使得后续从属地址配对与广播呼叫检测无效.当广播呼叫被接收时, SBI0SR2<AD0>维持为“0”。

当总线被检测到开始或停止条件时, SBI0SR2<AD0 清除为“0”。

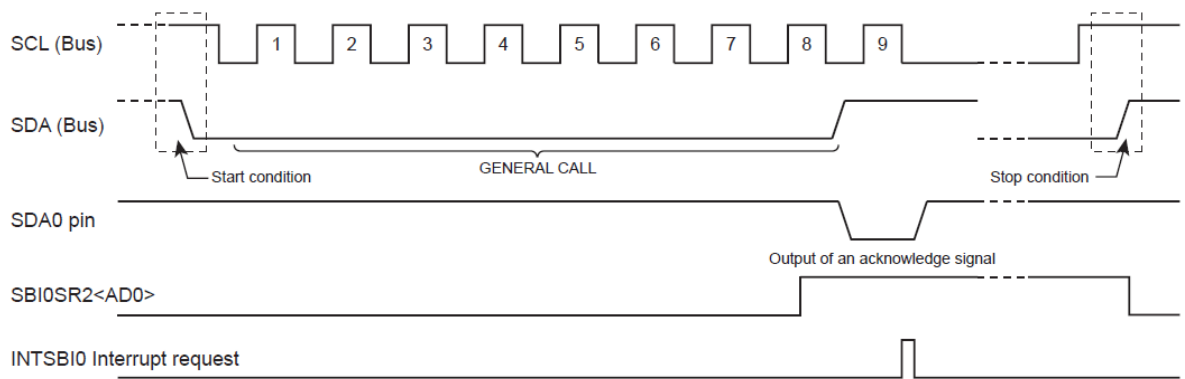


图 13.15 广播呼叫变更

13.4.14 最后接收位的监控

SDA 线数值设定为 SBI0SR2<LRB>,并储存在 SCL 上升前沿。

在应答模式里,当中断需求产生后,马上读取 SBI0SR2<LRB>,以读取应答信号。

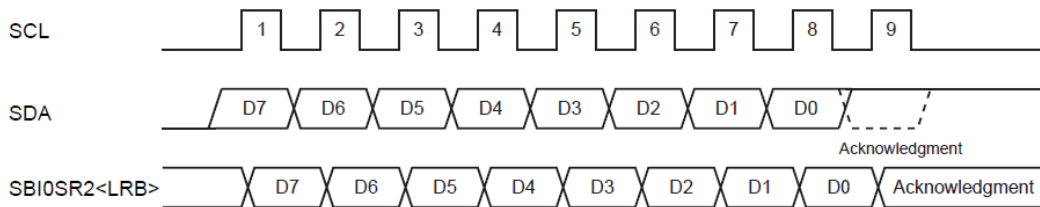


图 13.16 最后接收位变更监控

13.4.15 从属地址与地址辨识模式说明

当串行总线接口线路使用于 I2C 总线模式,清除 I2C0AR<ALS>为“0”,且设定 2C0AR<SA>为从属地址。

当串行总线接口线路用于通用数据模式且并未识别从属地址,设定 I2C0AR<ALS>为“1”。在通用数据模式下,从属地址与位方向将不被辨识,并且从开始条件后将马上进行数据运算。

13.5 I2C 总线的数据传输

13.5.1 设备初始化

将 POFFCR1<SBI0EN>设为“1”。

确认串行总线接口脚位在高电位之后,设定 SBI0CR2<SBIM>为“1”,以选择串行总线接口模式。

将 SBI0CR1<ACK>设为“1”, SBI0CR1<NOACK>设为“0”, SBI0CR1<BC>设为“000”,以计算时钟数给应答信号,用以启动从属地址配对检测与广播呼叫检测,且设定数据长度为 8 位。于 SBI0CR1<SCK>设定 THIGH 与 TLOW。

在 I2C0AR<SA>设定从属地址,且将 I2C0AR<ALS>设为“0”,以选择 I2C 总线模式。

最后,将 SBI0CR2<MST>, SBI0CR2<TRX> 与 SBI0CR2<BB> 设为“0”, SBI0CR2<PIN> 设为“1”,且 SBI0CR2<SWRST>设为“00”,以在从属接收模式中定义默认值。

注 1): 串行总线接口线路的初始化,必须在所有连接到总线的装置初始化,但装置尚未启动开始状态时完成。如果不行,数据不能被正确接收,因为其他装置将在串行总线接口线路初始前启动传输。

注 2): 使用 I2C 功能前,相关寄存器请如下设定:

-低功耗寄存器 1 (POFFCR1)

使用及设定 I2C 必须先设定 POFFCR1<SBI0EN>为‘1’,在此之前相关设定为无效,请重新设定

-P2 端口开漏输出寄存器 (P2OUTCR)

使用 I2C 时请设定 P2OUTCR3 及 P2OUTCR4 为‘1’

-P2 端口输出锁存寄存器 (P2DR)

使用 I2C 时请设定 IO 输出为‘0’,否则无法正常工作

13.5.2 开始条件与从属地址产生

确认总线自由状态(SBI0SR2<BB>=“0”)。

设定 SBI0CR1<ACK>为“1”,且指出从属地址与数据方向位传输到 SBI0DBR。

将“1”写入 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>,总线将产生一开始条件,且从属地址与数据方向将由 SBI0DBR 输出。从生成开始条件直到 SBI0 拉低所需时间为 t_{HIGH} 。

—中断需求发生在第九个 SCL 时钟循环的下降前沿,且 SBI0CR2<PIN>清除为“0”。当 SBI0CR2<PIN>为“0”,SCL0 脚位被拉低到较低水平。当一中断需求发生,只有当应答信号从从属设备回传时, SBI0CR2<TRX>会依据数据方向位透过硬件变更。

注 1): 当数据传输时,不要在 SBI0DBR 写入从属地址。如果数据被写入 SBI0DBR,则输出数据将会毁坏。

注 2): 此总线自由状态必须以软件确认在 98.0us 内确认。(依据 I2C 总线标准的一般模式的最短传输时间), 或 23.7 us (依据 I2C 总线标准快速模式,最短的传输时间) 在设定从属地址输出后。如果写入从属地址且未在 98.0us 或 23.7 us 内设定

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

SBI0CR2<MST>, *SBI0CR2<TRX>*, *SBI0CR2<BB>*与*SBI0CR2<PIN>*, 则其他主控可开始传输且写入 *SBI0DBR* 的从属地址可能会中断。

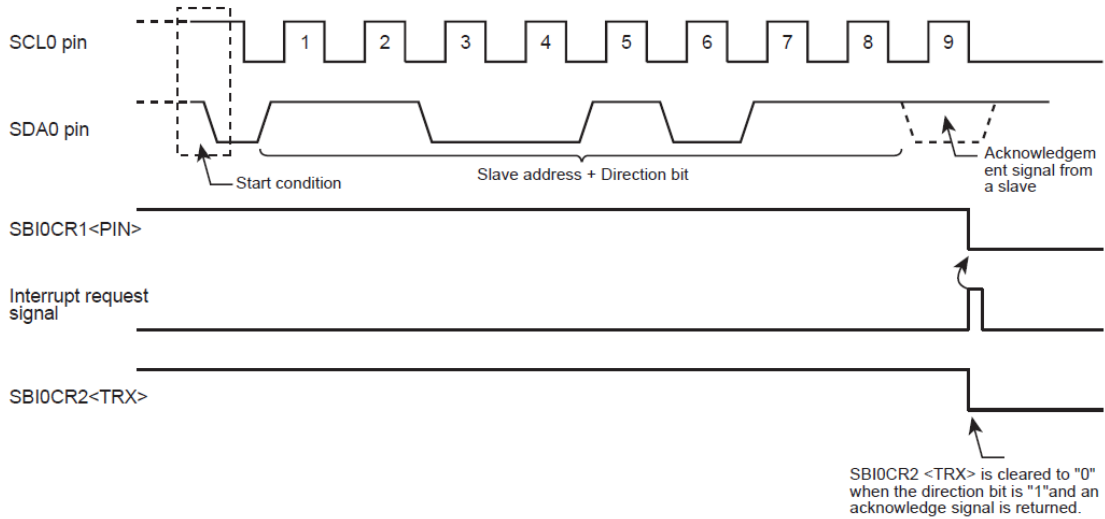


图 13.17 产生开始条件与从属地址

13.5.3 1 字数据传输

在 1 字数据完成传输后,透过中断程序确认 *SBI0SR2<MST>*,并决定该模式是主控或是从属模式。

13.5.3.1 当 *SBI0SR2<MST>*为“1” (主控模式)

确认 *SBI0SR2<TRX>*并决定是传输或接收模式。

(a) 当 *SBI0SR2<TRX>*为“1”(传输模式)

确认 *SBI0SR2<LRB>*.当 *SBI0SR2<LRB>*为“1”,接收端不会要求数据.过程执行将产生停止条件(会在稍后章节叙述),将停止数据传输。

当 *SBI0SR2<LRB>*为“0”,接收端将需求后续数据.当数据传输不是 8 位时,重新设定 *SBI0CR1<BC>*, 将 *SBI0CR1<ACK>*设为“1”,并在 *SBI0DBR* 写入传送数据。

写入数据后, *SBI0CR2<PIN>*将为“1”,为从 *SCL0* 脚位进行后续一字数据传输,将生成一串行时钟脉冲,然后经由 *SDA0* 脚位进行一字数据传输。

数据传输后,发生一中断需求. *SBI0CR2<PIN>*将为“0”且 *SCL0* 脚位设为低电平. 如果数据传输长度超过一字节,将重复以上 *SBI0SR2<LRB>*确认程序。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

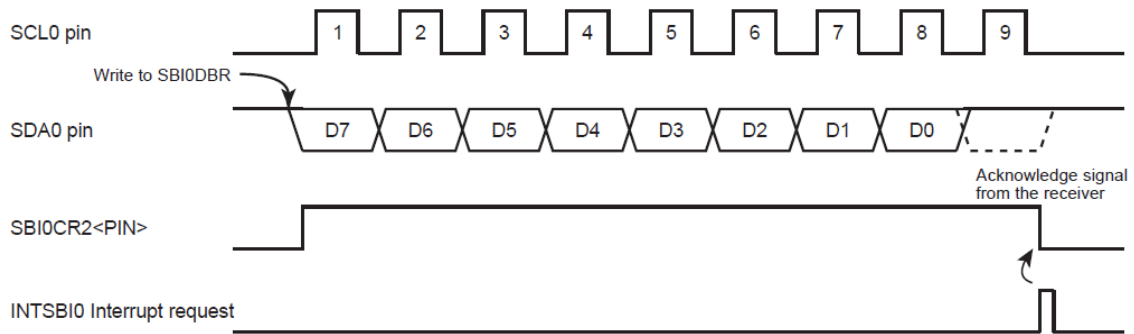


图 13.18 当 SBI0CR1<BC>="000"与 SBI0CR1<ACK>="1"的范例

(b) 当 SBI0SR2<TRX>为"0"(接收模式)

当后续数据传输非 8 位,将重新设定 SBI0CR1<BC>.将 SBI0CR1<ACK>设为"1" 且从 SBI0DBR 读取接收的数据(在从属地址传送出后,读取的数据并未被立即定义)。

当数据被读取后,将空的数据(0x00)写入 SBI0DBR,以设定, SBI0CR2<PIN>为"1". 串行总线接口线路输出一串行时钟脉冲到 SCL0 脚位,并传输后续 1 字数据,且在应答信号时间,将 SDA0 设为"0"。

当中断须求发生且 SBI0CR2<PIN>为"0".串行总线接口线路输出一时钟脉冲给 1 字数据传输与应答信号. 应答信号在读取接收的数据后,将数据写入 SBI0DBR 或是将 SBI0CR2<PIN>设为"1"产生。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

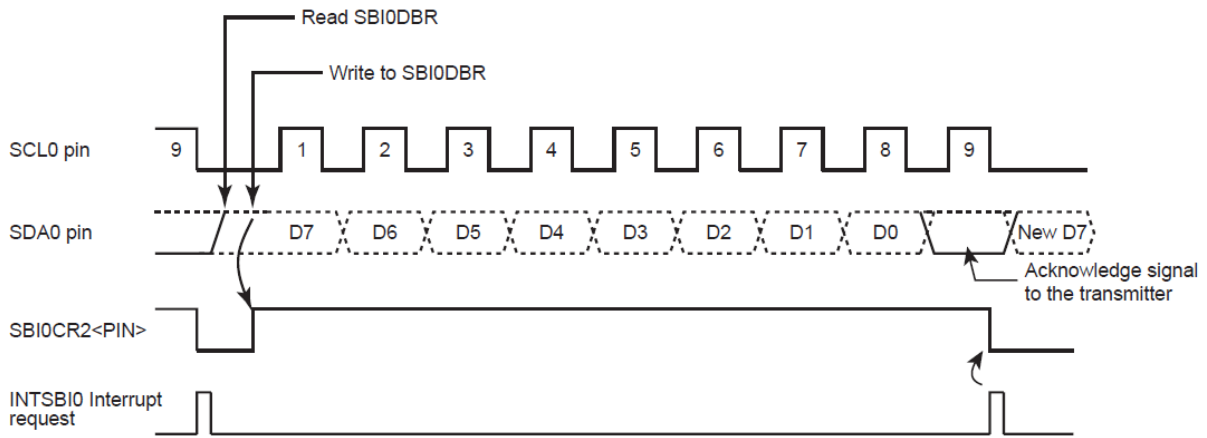


图 13.19 SBIOCR1<BC>="000" 与 SBIOCR1<ACK>="1"的范例

若要使传送端中止传输,请在接收最后一笔数据前执行以下程序:

- 1.读取所接收的数据
- 2.将 SBIOCR1<ACK>清除为"0" 且设定 SBIOCR1<BC>为"000"
- 3.将 SBIOCR2<PIN>设为"1",将空数据(0x00)写入 SBIODBR

在无时钟产生给应答信号时进行一字数据传输,设定 SBIOCR2<PIN>为"1",接着操作以下步骤:

- 1.读取接收的数据
- 2.将 SBIOCR1<ACK>清除为"0",且设定" SBIOCR1<BC>为"001"
- 3.设定 SBIOCR2<PIN>为"1", 在 SBIODBR 写入空数据(0x00)

设定 SBIOCR1<PIN>为"1",传输 1 位数据。

在此状况下,因为主控装置为接收端,总线的 SDA 线将维持高电位.传送端接收到一高电位的信号将被视为否定的应答信号.接收端将告知传送端此数据传输已完成。

在收到一位数据且产生中断需求,将产出停止条件并停止数据传输。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

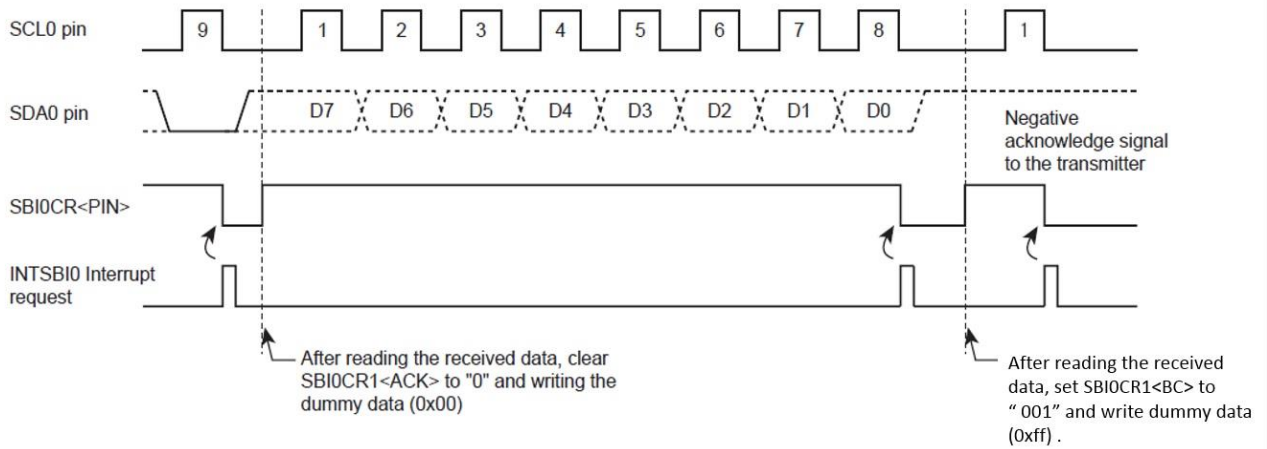


图 13.20 在主机接收模式下的数据传输中止

13.5.3.2 当 SBIOSR2<MST>为“0”(从属模式下)

在从属模式下,串行总线接口线路将在一般从属模式或者是丢失仲裁后的从属模式下运作。

在从属模式下,产生串行总线接口中断需求(INTSBI0)的条件如下列:

- 在应答信号结尾,当所接收的从属地址与 I2C0AR<SA>的设定值相符且 BI0CR1<NOACK>为“0”
- 在应答信号结尾,收到广播呼叫,且 SBI0CR1<NOACK>设为“0”
- 当传输结束时,或是接收从属地址配对后,或接收广播呼叫后

如果在主机模式下丢失仲裁,串行总线接口线路会变成从属模式.在丢失了仲裁后,如果有一个字的数据传送,将会产生一个中断信号,且丢失仲裁后的 SBI0CR2<PIN>行为将如表 13.4 所列

	When the Arbitration Lost Occurs during Transmission of Slave Address as a Master	When the Arbitration Lost Occurs during Transmission of Data as Master Transmitter
interrupt request	An interrupt request is generated at the termination of word-data transfer.	
SBI0CR2<PIN>	SBI0CR2<PIN> is cleared to "0".	

表 13.4 中断需求与仲裁丢失后 SBI0CR2<PIN>的行为

当中断请求发生时, SBI0CR2<PIN>将设为“0”, 且 SCL0 线将设为低电位.不论是写入数据到 SBI0DBR 或是将 SBI0CR2<PIN>设为“1”,皆会在 t_{LOW} 之后释放 SCL0 脚位。

检查 SBIOSR2<AL>, SBIOSR2<TRX>, SBIOSR2<AAS>与 SBOSR2<ADO>, 并依据表 13.5 的条件,完成程序设定。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

SBI0SR2<TRX>	SBI0SR2<AL>	SBI0SR2<AAS>	SBI0SR2<AD0>	Conditions	Process
1	1	1	0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "1".	Set the number of bits in 1 word to SBI0CR1<BC> and write the transmitted data to the SBI0DBR.
	0	1	0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "1".	
		0	0	0	In the slave transmitter mode, the serial bus interface circuit finishes the transmission of 1-word data
0	1	1	1/0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "0" or receives a "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	0	The serial bus interface circuit loses arbitration when transmitting a slave address or data, and terminates transferring the word data.	The serial bus interface circuit is changed to the slave mode. Write the dummy data (0x00) to the SBI0DBR to clear SBI0SR2<AL> to "0" and set SBI0CR2<PIN> to "1".
	0	1	1/0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "0" or receives "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	1/0	In the slave receiver mode, the serial bus interface circuit terminates the receipt of 1-word data.	Set the number of bits in 1-word to SBI0CR1<BC>, read the received data from the SBI0DBR and write the dummy data (0x00).

表 13.5 从属模式下的运作

注):在从属模式下,如果从属地址设定 I2COAR<SA>为"0x00", 一个 I2C 标准的起始位"0x01"将被接收,此设备检测从属地址符合,且 SBI0CR2<TRX>设为"1". 不要将 I2COAR<SA>设为"0x00".

13.5.4 停止条件产生

当 SBI0CR2<BB>为"1",将 SBI0CR2<MST>, SBI0CR2<TRX>与 SBI0CR2<PIN>设为"1",且将 SBI0CR2<BB>清除为"0"将会产生一个停止序列。在总线产生停止条件前,不要修改 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>的内容。

当 SCL 线被其他装置下拉, 一串行总线接口线路在 SCL 线被释放后,产生停止条件.从 SCL 被释放到停止条件产生所需的时间为 t_{HIGH}。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

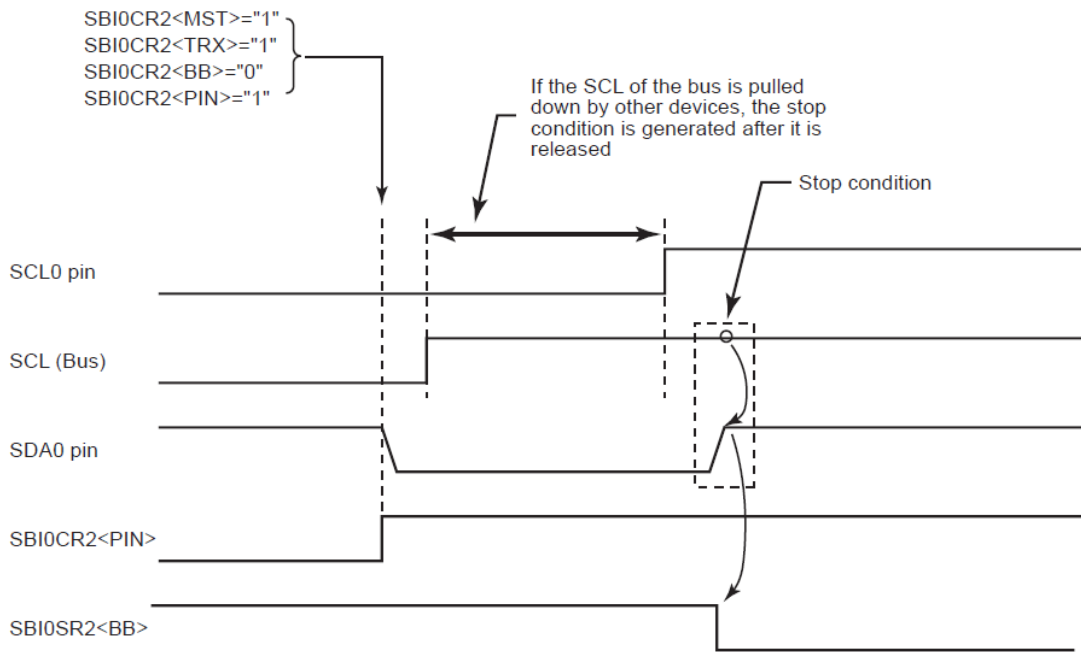


图 13.21 停止条件产生

13.5.5 重新启动

重新启动一般用于变更主控装置与从属装置间的数据传输方向.以下详述如何重新启动串行总线接口线路。

将 SBI0CR2<MST>, SBI0CR2<TRX>,与 SBI0CR2<BB>清除为“0”,并且设定 SBI0CR2 <PIN>为“1”。 SDA0 脚位维持高电位且 SCL0 脚位将被释放。

因为这不是停止条件,总线将被其他装置认为处于忙碌的状态。

检查 SBI0SR2<BB>直到值为“0”,以检查串行总线接口线路的 SCL0 脚位是否被释放。

检查 SBI0SR2<LRB>直到值为“1”,以检查总线 SCL 线没有被其他装置拉低。

确认总线是否为自由状态后,产生开始条件,与“18.5.2 开始条件与从属地址产生”的相关程序。

为满足重新启动的设定时间,从重新确认总线自由直到开始条件产生,依 I2C 总线标准的标准模式软件至少需要 4.7us 的等待时间,依 I2C 总线标准的快速模式,至少须 0.6us 等待时间。

注:当主控在接收模式,在停止模式产生之前,必须停止从从属装置传送数据.要停止传输,主控装置让从属装置接收负极性应答.因此在重新启动前,SBI0SR2<LRB>为“1”,且无法确认 SCL 线是否被其他装置下拉.若要确认 SCL 线状态需直接读取端口。

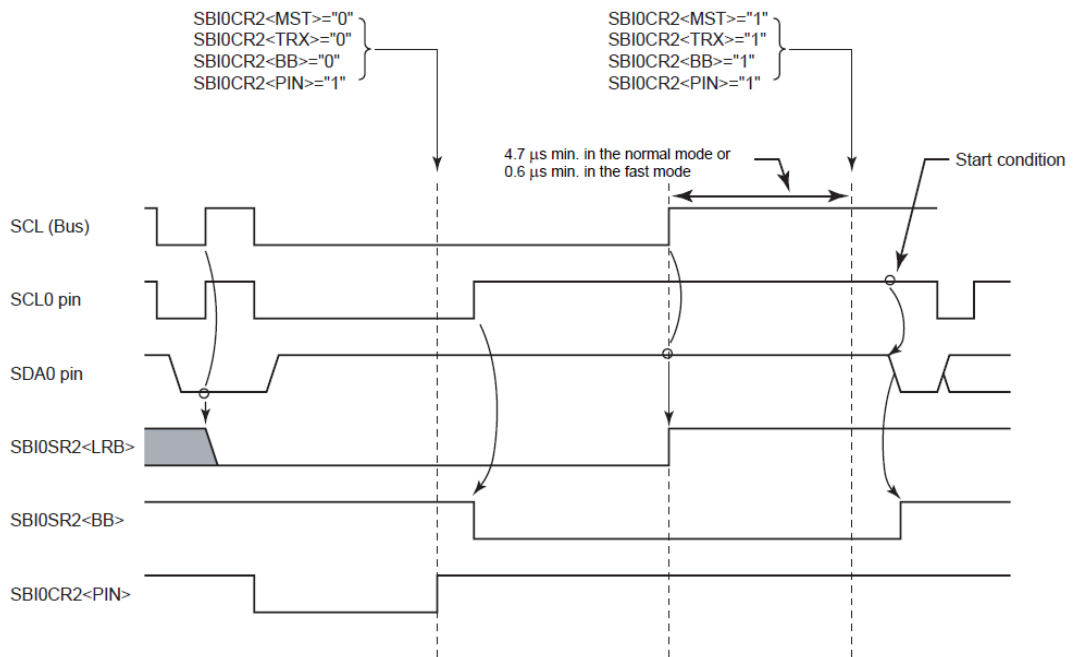


图 13.22 重新启动时的时序图

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

13.6 AC 规格

AC 规格如下所列。工作模式(快速或标准模式)应该选择适当的fcgck 频率.这些操作模式,请参考下列表格。

Parameter	Symbol	Standard mode		Fast mode		Unit
		MIN.	MAX.	MIN.	MAX.	
SCL clock frequency	f _{SCL}	0	fcgck / (m+n)	0	fcgck / (m+n)	kHz
Hold time (re)start condition. This period is followed by generation of the first clock pulse.	t _{HD,STA}	m / fcgck	-	m / fcgck	-	μs
Low-level period of SCL clock (output)	t _{LOW}	n / fcgck	-	n / fcgck	-	μs
High-level period of SCL clock (output)	t _{HIGH}	m / fcgck	-	m / fcgck	-	μs
Low-level period of SCL clock (input)	t _{LOW}	5 / fcgck	-	5 / fcgck	-	μs
High-level period of SCL clock (input)	t _{HIGH}	3 / fcgck	-	3 / fcgck	-	μs
Restart condition setup time	t _{SU,STA}	Depends on the software	-	Depends on the software	-	μs
Data hold time	t _{HD,DAT}	0	5 / fcgck	0	5 / fcgck	μs
Data setup time	t _{SU,DAT}	250	-	100	-	ns
Rising time of SDA and SCL signals	t _r	-	1000	-	300	ns
Falling time of SDA and SCL signals	t _f	-	300	-	300	ns
Stop condition setup time	t _{SU,STO}	m / fcgck	-	m / fcgck	-	μs
Bus free time between the stop condition and the start condition	t _{BUF}	Depends on the software	-	Depends on the software	-	μs
Time before rising of SCL after SBICR2<PIN> is changed from "0" to "1"	t _{SU,SCL}	n / fcgck	-	n / fcgck	-	μs

表 13.6 AC 规格(线路输出时序)

注):从 m 到 n,请参照“13.4.4.1 时钟源”

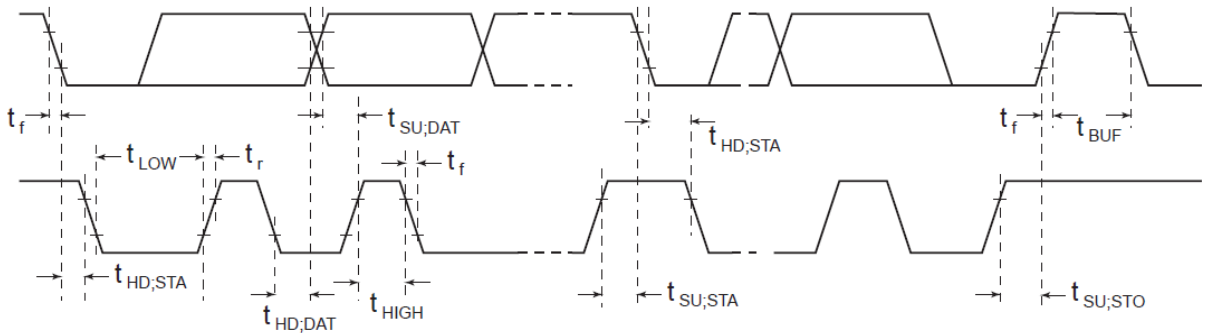


图 13.23 时序定义(No.1)

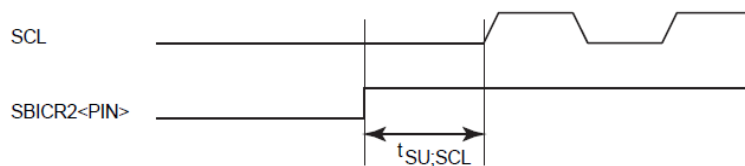


图 13.23 时序定义(No.2)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14 同步串行外围接口(SIO)

MQ6823 具有 1 路同步时钟形态的高速 8 位串行接口。

	SIOxCR	SIOxSR	SIOxBUF
串行接口 0	SIO0CR (0x001F)	SIO0SR (0x0020)	SIO0BUF (0x0021)

表 14.1 SFR 地址

	串行时钟 输入/输出引脚	串行数值输入引脚	串行数值输出引脚
串行接口 0	SCLK0	SIO	SO0

表 14.2 引脚名称

14.1 框图

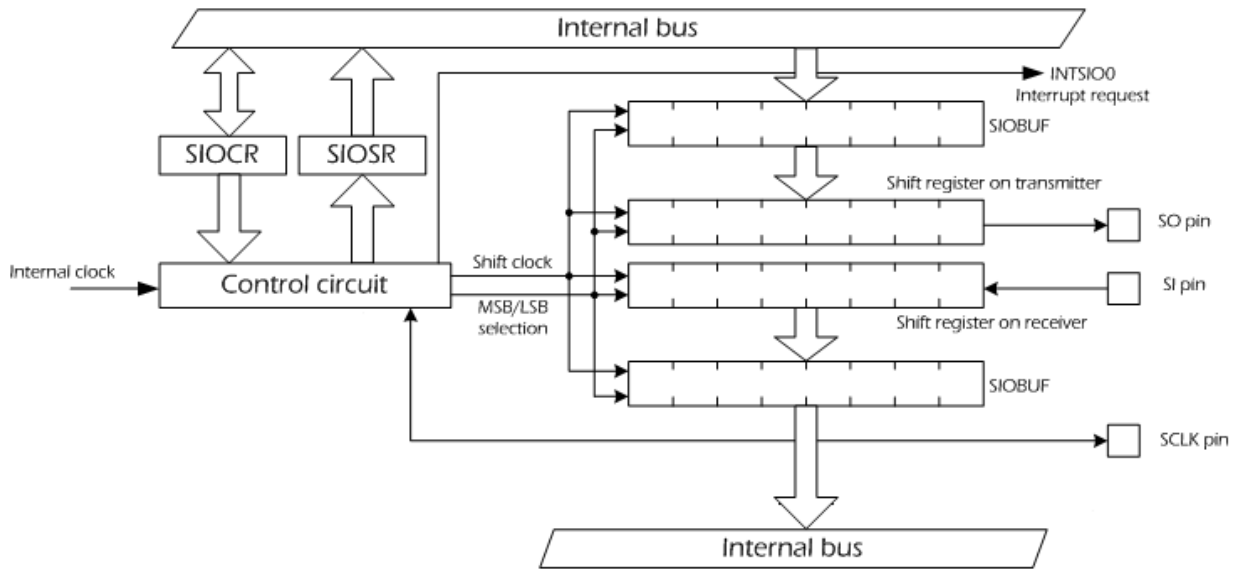


图 14.1. 串行接口示意图

註: 此串行接口引脚也可作为普通 I/O 端口使用。当用做串行接口时，I/O 端口寄存器需要做相应的设定。

14.2 控制

同步串行接口 SIO0 由低耗电寄存器 2(POFFCR2)、串行接口数据寄存器 (SIO0BUF)、串行接口数据控制器(SIO0CR)与串行接口模式寄存器(SIO0SR)所控制。

低耗电寄存器 2

POFFCR2 (0x0F76)	7	6	5	4	3	2	1	0
位符号	-	-	RTCEN	-	-	-	-	SIO0EN
读/写	R/W	R	R/W	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

RTCEN	RTC 控制寄存器	0:禁止 1:允许
SIO0EN	SIO0 控制寄存器	0:禁止 1:允许

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

串行接口数据寄存器 0

SIO0BUF (0x0021)	7	6	5	4	3	2	1	0
位符号	SIO0BUF							
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

串行接口数据寄存器 0

SIO0BUF (0x0021)	7	6	5	4	3	2	1	0
位符号	SIO0BUF							
读/写	W	W	W	W	W	W	W	W
复位后	1	1	1	1	1	1	1	1

註): SIO0BUF是数据寄存器，用于暂存串行发送/接收数据。每次从SIO0BUF读取到的数据即为串行接口接收到的最新数据。如果SIO0BUF没有收到任何数据，从SIO0BUF读到值会是0。当向SIO0BUF写入数据时，写入的数据即为串行接口要发送的数据。

串行接口 0 控制寄存器

SIOOCR (0x001F)	7	6	5	4	3	2	1	0
位符号	SIOEDG	SIOCKS			SIODIR	SIOS	SIOM	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIOEDG	选择触发边沿	0: 上升沿接收数据且下降沿传送数据 1: 上升沿传送数据且下降沿接收数据
SIOCKS	选择串连时钟[Hz]	普通 1/2 或空闲 1/2 模式
		低速 1/2 或睡眠 1 模式
		000 fcgck/2 ⁹
		001 fcgck/2 ⁶
		010 fcgck/2 ⁵
		011 fcgck/2 ⁴
		100 fcgck/2 ³
		101 fcgck/2 ²
110 fcgck/2	fs/2 ³	
111	外部时钟输入	
SIODIR	选择传送模式(MSB/LSB)	0: LSB 优先(从 0 bit 开始传送) 1: MSB 优先(从 7 bit 开始传送)
SIOS	传送工作启动/停止指令	0: 工作停止(预设为停止) 1: 工作开始
SIOM	传送模式选择与运作	00: 运作停止(强制停止) 01: 8 位传送模式 10: 8 位接收模式 11: 8 位传输与接收模式

註 1): fcgck 是齿轮时钟(Hz) · fs 是低速时钟(Hz)。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

註 2): 当 SIOS 寫入“1”,運作開始,寫入 SIOEDG, SIOCKS 與 SIODIR 將會是無效的,直到 SIO0SR<SIOF>為“0”。(当 SIOS 從“0”變更為“1”時, SIOEDG,SIOCKS 與 SIODIR 也可被變更)

註 3): 当 SIOS 写入“1”,运作开始,除了“00”之外,无法在 SIOM 写入其他数值直到 SIOF 为“0”(如果在 SIOM 寫入“01”到“11”的数值,会被忽略).在运作期间,传输模式将无法被改变.

註 4): 当 SIOM 为“00”(运作停止)且 SIOS 写入“1”时, SIO 将维持为“0”。

註 5): 当 SIO 在低速 1/2 或睡眠 1 模式下,须确定 SIOCKS 设定为“110”。如果 SIOCKS 设定为其他值, SIO 将不会运作。当 SIO 在低速 1/2 或睡眠 1 模式下,执行傳輸时须预先设定 SIOCKS=“110”,或者在 SIO 停止后再变更 SIOCKS。

註 6): 当停止 空闲 0 或睡眠 0 模式运作时 SIOM 将自动被清除为“00”且 SIO 停止運作。同一時間 SIOS 被清除为“0”,但 SIOEDG,SIOCKS 与 SIODIR 的设定值维持不变。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

串行接口 0 状态寄存器

SIO0SR (0x0020)	7	6	5	4	3	2	1	0
位符号	SIOF	SEF	OERR	RENDB	UERR	TBFL	-	-
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	1	0	0	0	0

SIOF	串行传输工作状态监控	0: 传送没有进行 1: 传送进行中
SEF	移位运作状态监控	0: 移位运作没有进行 1: 移位运作进行中
OERR	OERR 收到溢出错误标志	0: 无溢出错误发生 1: 至少发生一次溢出错误
RENDB	REND 收到完成标志	0: 最少接收到一笔数据 1: 无收到任何数据, 因最后一笔收到数据已经被读出
UERR	UERR 传送运作欠载错误标志	0: 无传送欠载错误发生 1: 至少一次传送欠载错误发生
TBFL	TBFL 传送缓存完全标志	0: 传送寄存器 是空的 1: 传送寄存器 已有数据但尚未被传输

註 1): 當 SIO0SR 被读取時, OERR 与 UERR 标志將被清除

註 2): 當 SIO0BUF 被读取, RENDB 标志將被設为“0”

註 3): 无论串行传输进行与否, 在 SIO0CR<SIOM>写入“00”將 SIO0SR 所有位元清除为“0”。當停止, 空闲 1, 或睡眠模式運作時, SIOM 將自動清除为“00”且 SIO0SR 所有位元將被清除为“0”。

註 4): SIO0SR 的 1-0 位都被读取为“0”。

註 5): 当工作模式转换为停止, 空闲 0, 或低速模式, SBI0CR2 除了 SBI0CR2<SBIM>之外的位元, SBI0CR1, I2COAR 和 SBI0DBR 寄存器会回到初始状态。

14.3 低功耗功能

串行接口 0 有低功耗存储器(POFFCR2), 当没有使用串行接口时, 可以节省功耗。

將 POFFCR2(SIO0EN)设定为 0, 可停止基础时钟对串行接口 0 的供应以节省能耗。須注意在此状况下串行接口将无法使用。將 POFFCR2(SIO0EN)设定为 1, 可启动基础时钟对串行接口 0 的供应, 并且允许串行接口进行运作。

重新设定复位后, POFFCR2(SIO0EN)被初始为“0”, 且串行接口不可用。当第一次使用串行接口, 請确保在初始化串行接口前將 POFFCR2(SIO0EN)设定为 1 (在串行接口控制寄存器運作之前)。

当串行接口运作时, 請勿將 POFFCR2<SIO0EN>变更为“0”, 否則串行接口 0 将会不正常运作。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14.4 功能

14.4.1 传送模式

传送模式可由 SIO0CR<SIODIR> 设定为 MSB 优先或 LSB 优先。当 SIO0CR<SIODIR> 设定为“0”时，将会以 LSB 优先为传送模式。此模式下，串行数据将由最低有效位开始传送。

当 SIO0CR<SIODIR> 设定为“1”时，将以 MSB 优先为传送模式。此模式下，串行数据将由最高有效位开始传送。

14.4.2 串行时钟

串行时钟可由 SIO0CR<SIOCK> 选择。

将 SIO0CR<SIOCK> 设定为“000”到“110”，选择内部时钟做为串行时钟。此时，串行时钟从 SCLK 引脚输出。串行数据传送与 SCLK 引脚边沿输出同步。

将 SIO0CR<SIOCK> 设定为“111”，选择外部时钟做为串行时钟。此时，外部串行时钟将从 SCLK 引脚输入。串行数据传送与外部时钟边沿输出同步。

串行数据触发边沿可由外部时钟或者内部时钟选择。详细可参考 14.4.3 节触发边沿选择。

SIO0CR <SIOCKS>	Serial clock [Hz]		fcgck=4MHz		fcgck=8MHz		fcgck=10MHz		fs=32.768kHz	
	NORMAL1/2 or IDLE1/2 mode	SLOW1/2 or SLEEP1 mode	1-bit time (μ s)	Baud rate (bps)	1-bit time (μ s)	Baud rate (bps)	1-bit time (μ s)	Baud rate (bps)	1-bit time (μ s)	Baud rate (bps)
000	fcgck/2 ⁹	-	128	7.813k	64	15.625k	51.2	19.531k	-	-
001	fcgck/2 ⁸	-	16	62.5k	8	125k	6.4	156.25k	-	-
010	fcgck/2 ⁵	-	8	125k	4	250k	3.2	312.5k	-	-
011	fcgck/2 ⁴	-	4	250k	2	500k	1.6	625k	-	-
100	fcgck/2 ³	-	2	500k	1	1M	0.8	1.25M	-	-
101	fcgck/2 ²	-	1	1M	0.5	2M	0.4	2.5M	-	-
110	fcgck/2	fs/2 ³	0.5	2M	0.25	4M	0.2	5M	244	4k

表 14.3 传输波特率(Baud Rate)

14.4.3 触发边沿选择

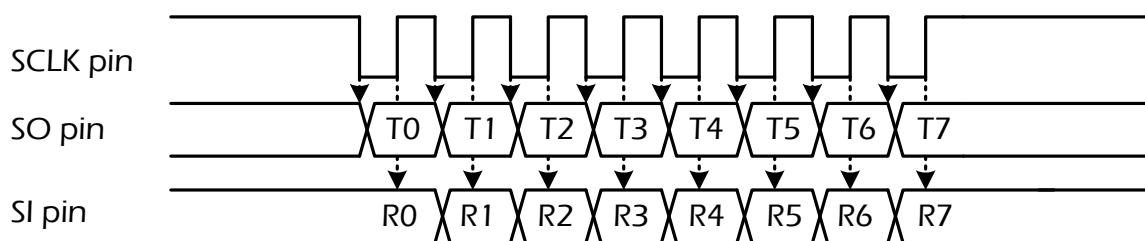
由 SIOCR<SIOEDG>选择串行数据触发边沿。

SIOCR<SIOEDG>	Data transmission	Data reception
0	Falling edge	Rising edge
1	Rising edge	Falling edge

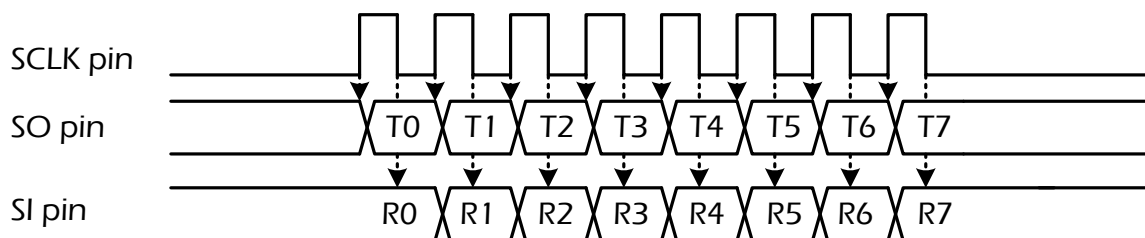
表 14.4 传输边沿选择

当 SIOCR<SIOEDG>为 0，数据传送与时钟下降沿同步，且数据接收与时钟上升沿同步。

当 SIOCR<SIOEDG>为 1，数据传送与时钟上升沿同步，且数据接收与时钟下降沿同步。



當 SIOCR<SIOEDG> = "0"的情况



當 SIOCR<SIOEDG> = "1"的情况

图 14.2 触发边沿

註J: 当使用外部时钟输入，在接收第 8 个位与下一笔传送的第 1 个位的触发边沿的间隔须为 4/fcgck 或更久。

14.5 传送模式

14.5.1 8 位传送模式

将 SIO0CR<SIOM>设定为“01”，选择 8 位传送模式。

14.5.1.1 设定

开始传送工作前，由 SIO0CR<SIOEDG> 选择触发边沿，SIO0CR<SIODIR> 选择传送模式，SIO0CR<SIOCKS>选择串行时钟。若以内部时钟做为串行时钟，由 SIO0CR<SIOCKS>选取适合的串行时钟。要使用外部时钟做为串行时钟，则设定 SIO0CR<SIOCKS>为“111”。

将 SIO0CR<SIOM>设定为 01，可选择 8 位传送模式。

当传输数据第一个位字节写入 SIO0BUF,且将 SIO0CR<SIOS>设定为“1”，将启动传送工作。

当串行传输进行时或 SIO0SR<SIOF>为 1 时，写入 SIO0CR<SIOEDG, SIOCKS 與 SIODIR>的数据将会是无效的。请在串行传输停止后再进行设定。

当串行传输进行时(SIO0SR<SIOF>="1")，只有 SIO0CR<SIOM>写入“00”或 SIO0CR<SIOS>写入“0”是有效的。

14.5.1.2 启动传送工作

传送工作在 SIO0BUF 写入数据且 SIO0CR<SIOS>设定为“1”后启动。传送数据从 SIO0BUF 转送移位存储器，且依 SIO0CR<SIOEDG, SIOCKS 和 SIODIR>设定，串行数据由 SO 引脚传送。若 SIO0BUF 未写入任何数据就启动传送操作，则传送出的串行数据将不确定。

内部时钟工作，特定波特率的串行时钟将从 SCLK 引脚输出。外部时钟工作时，外部时钟必须供给 SCLK 引脚。

设定 SIO0CR<SIOS>为 1，SIO0SR<SIOF and SEF>将自动设为“1”且将产生一个 INTSIO0 中断请求。

当串行数据的第 8 位输出时，SIO0SR<SEF>将被清除为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14.5.1.3 传送缓存与移位运算

当串行传输进行中且移位寄存器为空时，往 SIO0BUF 写入的数据将马上被传送到移位寄存器。此时 SIO0SR<TBFL>维持为 0。

如果数据写入 SIO0BUF，且移位寄存器中仍有数据时，SIO0SR<TBFL>将设定为“1”。此状态下有新数据写入 SIO0BUF，则原数据会被新数据取代。在数据写入 SIO0BUF 之前，请确认 SIO0SR<TBFL>为“0”。

14.5.1.4 传送完成后的操作

传送完成后的操作，跟工作时钟与 SIO0SR<TBFL>状态相关。

(a) 当使用内部时钟且 SIO0SR<TBFL>为“0”的情况

当数据传输完成时，SCLK 引脚将回到初始状态且 SO 引脚为高电平。SIO0SR<SEF>维持“0”。当使用内部时钟，串行时钟与数据输出将停止直到下一个传输数据写入 SIO0BUF(自动等待)。

接下来的数据被写入 SIO0BUF，SIO0SR<SEF>将为“1”，SCLK 引脚输出串行时钟且重新启动传送操作。在重新启动传送时，INTSIO0 将会产生一个中断要求。在重新启动传送操作时，将会产生一个 INTSIO0 中断请求。

(b) 当使用外部时钟且 SIO0SR<TBFL>为“0”的情况

当数据传输完成，SO 引脚会维持为最后一个位输出数据的状态。当数据传输完成后，一个外部串行时钟输入 SCLK 引脚，则会传送一未定义的数值。此时运作欠载错误标志 SIO0SR<UERR>为 1。

如果传输欠载运行错误发生，此未被定义的数据将不会被写入 SIO0BUF。(建议用户将 SIO0CR<SIOS>设定为“0”，以结束传输工作；或者将 SIO0CR<SIOM>设定为“00”，强制停止传送。)

执行读取 SIO0SR 操作后，传送欠载运行的错误标志 SIO0SR<UERR>会自动清除。

(c) 当使用内部时钟或外部时钟且 SIO0SR<TBFL>为“1”的情况

数据传输完成后，SIO0SR<TBFL>被清除为“0”。SIO0BUF 的数据被传送到移位寄存器且开始

进行后续数据传送。此时 SIO0SR<SEF>变为“1”且将产生一个 INTSIO0 中断请求。

14.5.1.5 停止传送工作

将 SIO0CR<SIOS>设为“0”可停止数据传送。当 SIO0SR<SEF>为“0”或移位操作没有进行时，发送将立即停止并产生一个 INTSIO0 中断请求。当 SIO0SR<SEF>为“1”，所有移位寄存器数据被传送后，数据传送将停止。

当发送工作完成后，SIO0SR<SIOF, SEF and TBFL>被清除为“0”，其他 SIO0SR 寄存器仍维持原本数值。

传输工作进行时，将 SIO0CR<SIOM>设定为“00”，可强制停止传送。将 SIO0CR<SIOM>设为“00”，SIO0CR<SIOS>与 SIO0SR 会清除为“0”，且 SIO 停止工作，SIO0SR<SEF>的数值将不被考虑。SO 引脚将为高电平。若选择内部时钟，SCLK 引脚将重回初始电平。

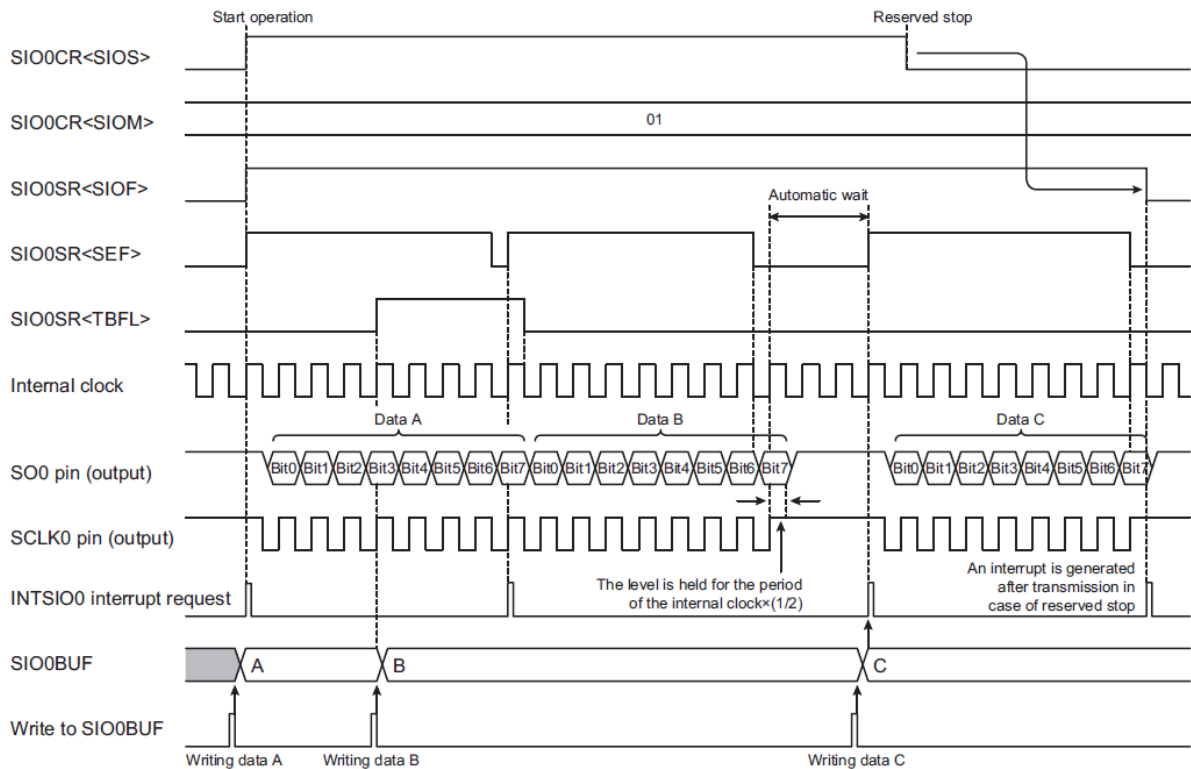


图 14.3 8 位元传输模式(内部时钟且预定停止)

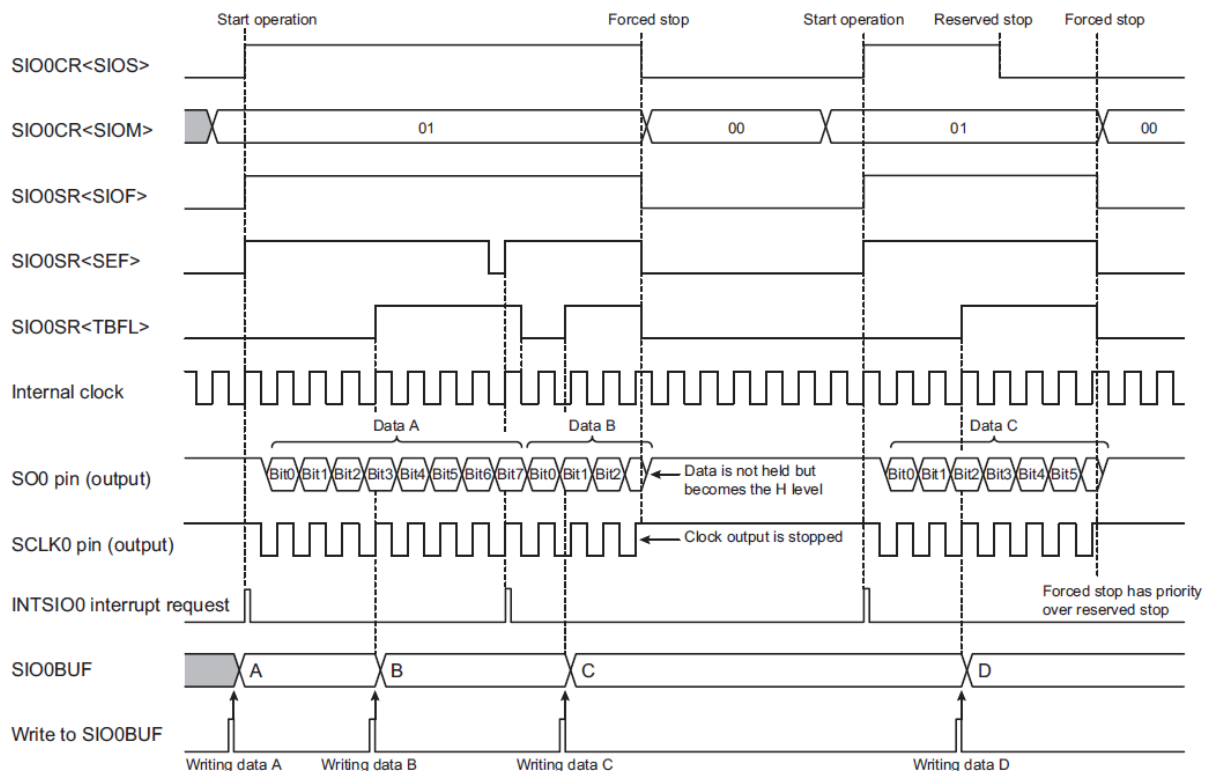


图 14.4 8 位传送模式(内部时钟且强制停止)

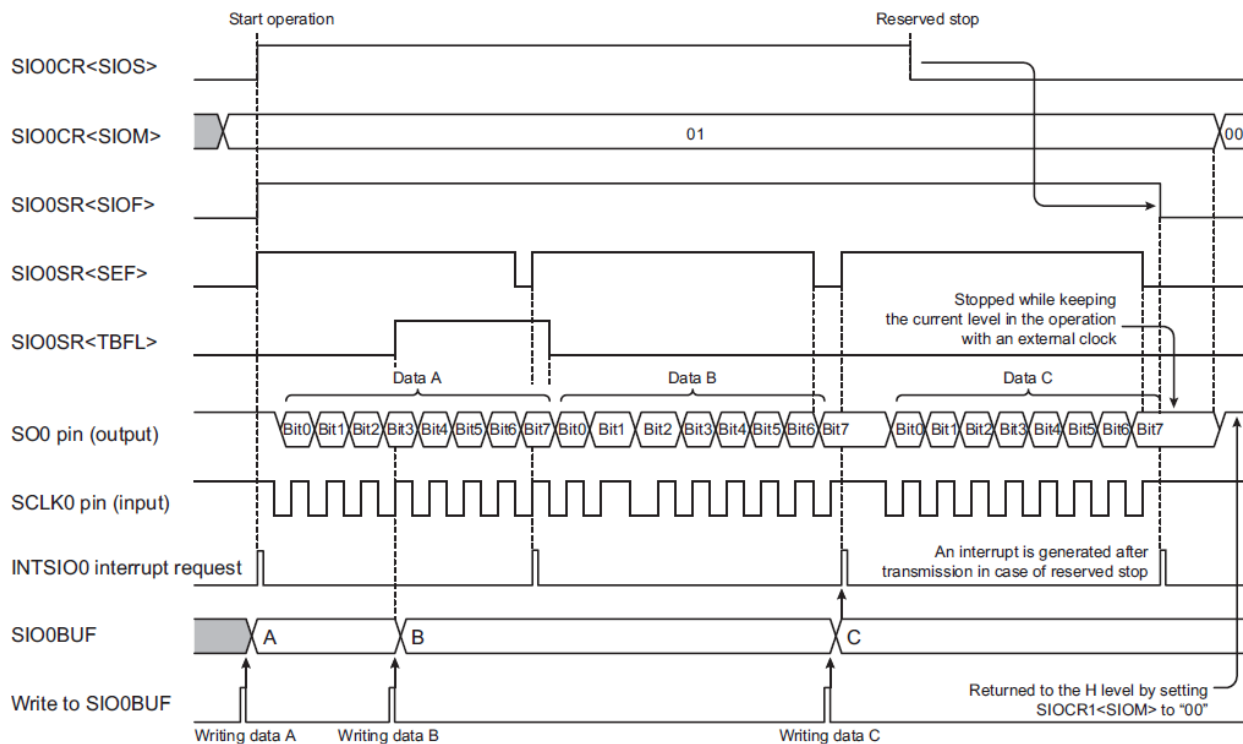


图 14.5 8 位传送模式(外部时钟且预约停止)

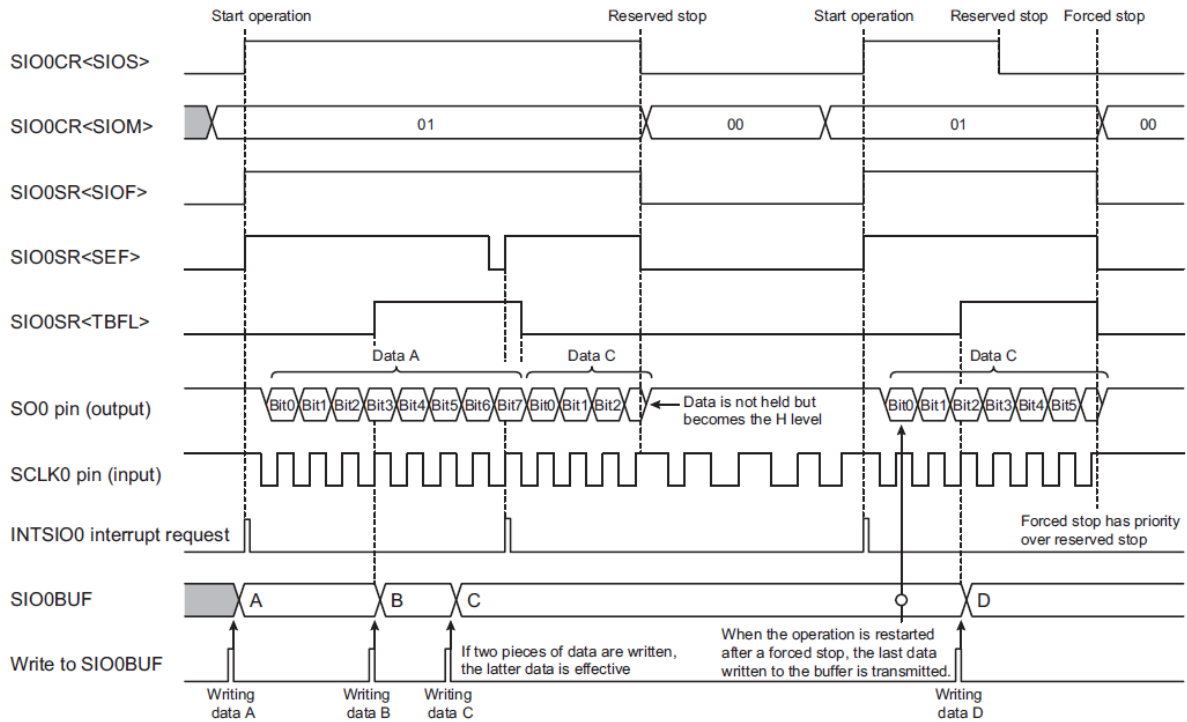


图 14.6 8 位传送模式(外部时钟且强制停止)

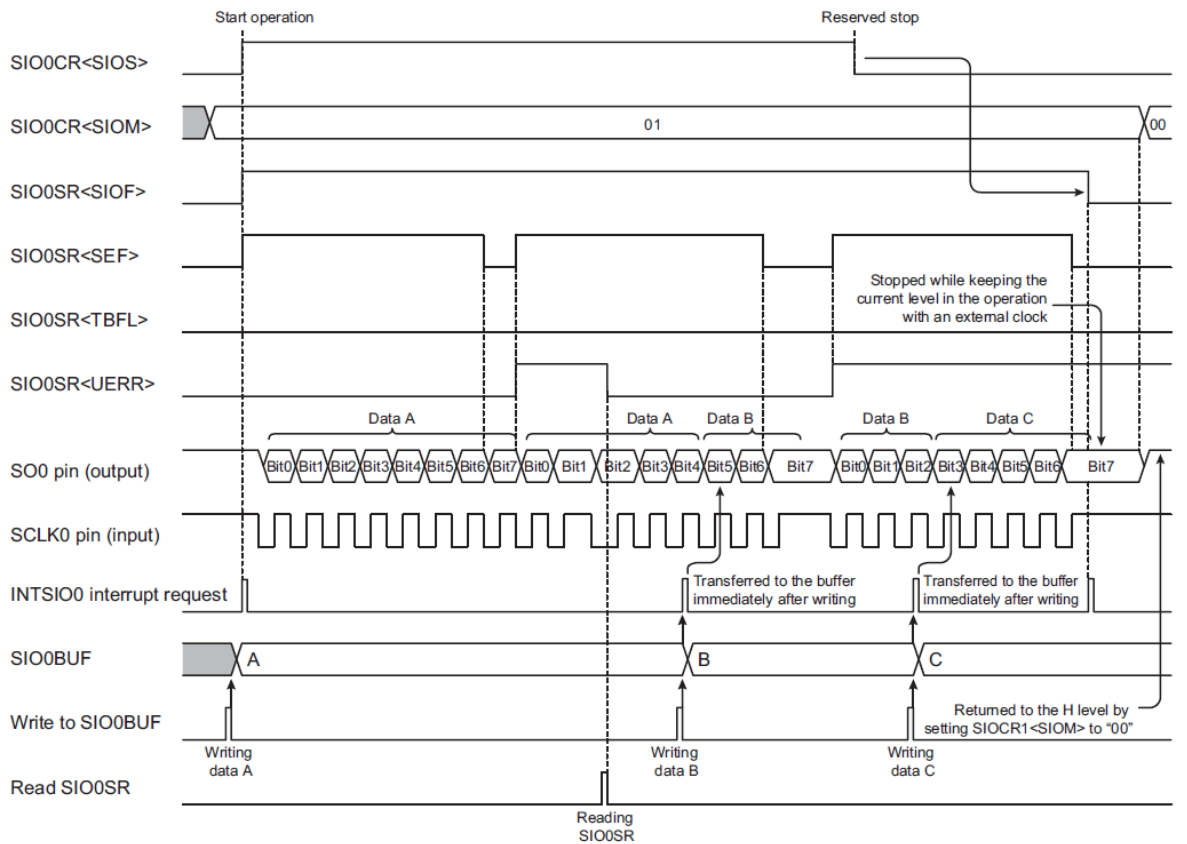


图 14.7 8 位传输模式(外部时钟与发生传送运作欠载错误)

14.5.2 8 位接收模式

将 SIO0CR<SIOM>设为“10”可选择 8 位接收模式。

14.5.2.1 设定

此传送模式，在开始接收数据前，在 SIO0CR<SIOEDG>选择触发边沿，SIO0CR<SIODIR>选择传送模式且 SIO0CR<SIOCKS>选择串行时钟。若要使用内部时钟做为串行时钟，在 SIO0CR<SIOCKS>选择适合的串行时钟。若要使用外部时钟做为串行时钟，将 SIO0CR<SIOCKS>设定为“111”。

将 SIO0CR<SIOM>设为“10”，以选择 8 位接收模式。

当 SIO0CR<SIOS>为 1 时，开始接收工作。

当串行传输进行或是 SIO0SR<SIOF>为“1”时，写入 SIO0CR<SIOEDG, SIOCKS and SIODIR>的数据将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIO0SR<SIOF>="1")，只有在 SIO0CR<SIOM>写入“00”或是 SIO0CR<SIOS>写入“0”会是有效的。

14.5.2.2 启动接收工作

当 SIO0CR<SIOS>设为“1”时，开始接收工作。根据 SIO0CR<SIOEDG, SIOCKS and SIODIR>设定，外部串行数据将从 SI 引脚被写入移位寄存器。

内部时钟运作，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟运作，外部时钟必须由 SCLK 引脚输入。

当 SIO0CR<SIOS>设为“1”，SIO0SR<SIOF and SEF>将自动设为“1”。

14.5.2.3 完成接收时的工作

当数据接收完成后，数据将从移位寄存器传送到 SIO0BUF，且会产生一个 INTSIO0 中断请求。接收完成标志 SIO0SR<RENDB>会变为“0”

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

内部时钟工作时，串行时钟输出将停止，直到接收数据从 SIO0BUF 被读取。同时 SIO0SR<SEF>会变为“0”。从 SIO0BUF 读取所接收数据后，SIO0SR<SEF>会变为“1”，串行时钟输出会重新启动且会持续接收工作。

使用外部时钟工作时，即使不读取 SIO0BUF,数据也会持续接收。这种情况下，在后续的数据接收完成前必须读取 SIO0BUF。如果后续数据完全被接收，才读取 SIO0BUF，此数据溢出错误标志 SIO0SR<OERR>将为“1”。当数据溢出错误发生，将 SIO0CR<SIOM>设为“00”以中止接收工作。在数据溢出错误发生时,接收到的数据将被丢弃，SIO0BUF 将保留数据溢出发生前所接收的数据。

读取 SIO0BUF 数据，SIO0SR<RENDB>将被清除为“0”。读取 SIO0SR 数据，SIO0SR<OERR>将被清除。

14.5.2.4 停止接收工作

设定 SIO0CR<SIOS>为“0”以停止接收运作。当 SIO0SR<SEF>为“0”或当移位操作没有进行时，接收会立即停止。与传送模式不同，此情况下,不会产生 INTSIO0 中断要求。

强制停止接收模式，可在工作时将 SIO0CR<SIOM>设为“00”。设定 SIO0CR<SIOM>为“00”，SIO0CR<SIOS>与 SIO0SR 会被清除为“0”且 SIO 停止作业时，而与 SIO0SR<SEF>的值无关。若选择内部时钟，SCLK 引脚将回到初始电平。

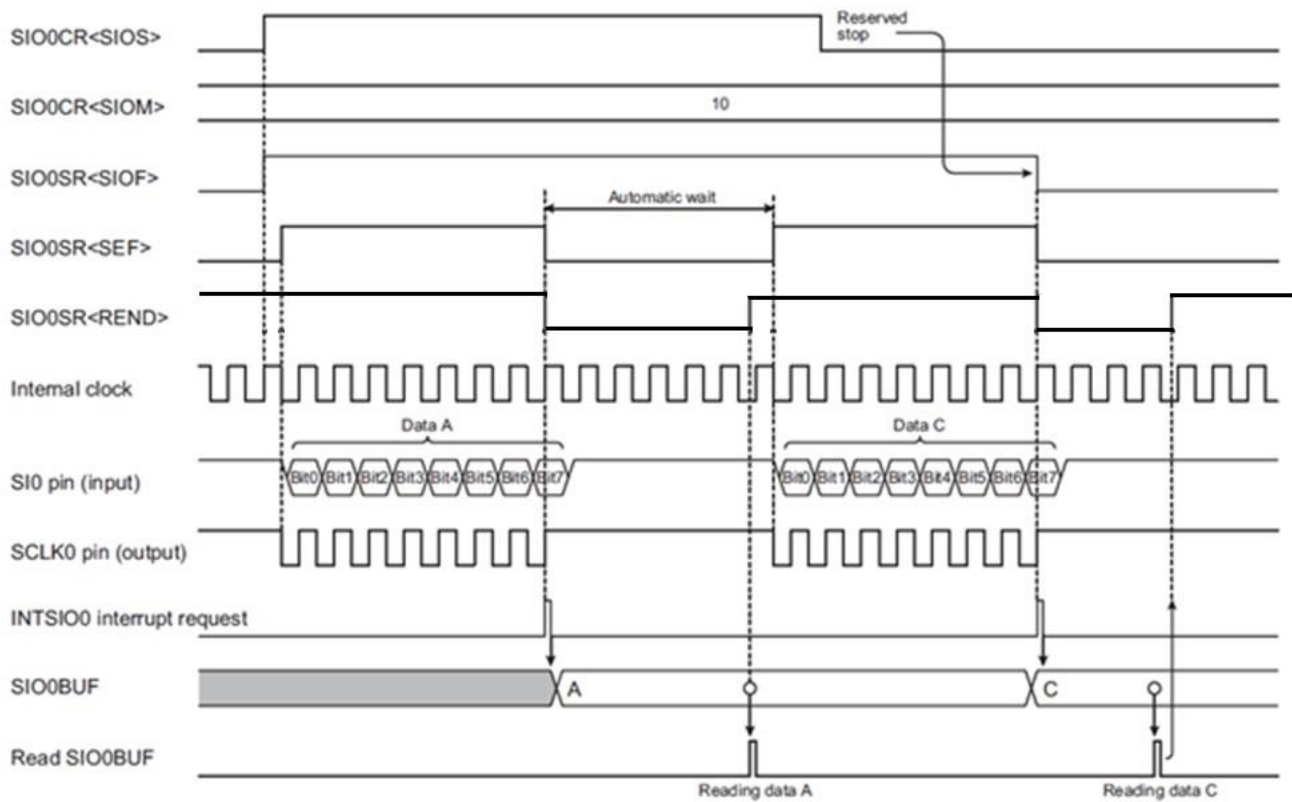


图 14.8 8 位接收模式(内部时钟且预定停止)

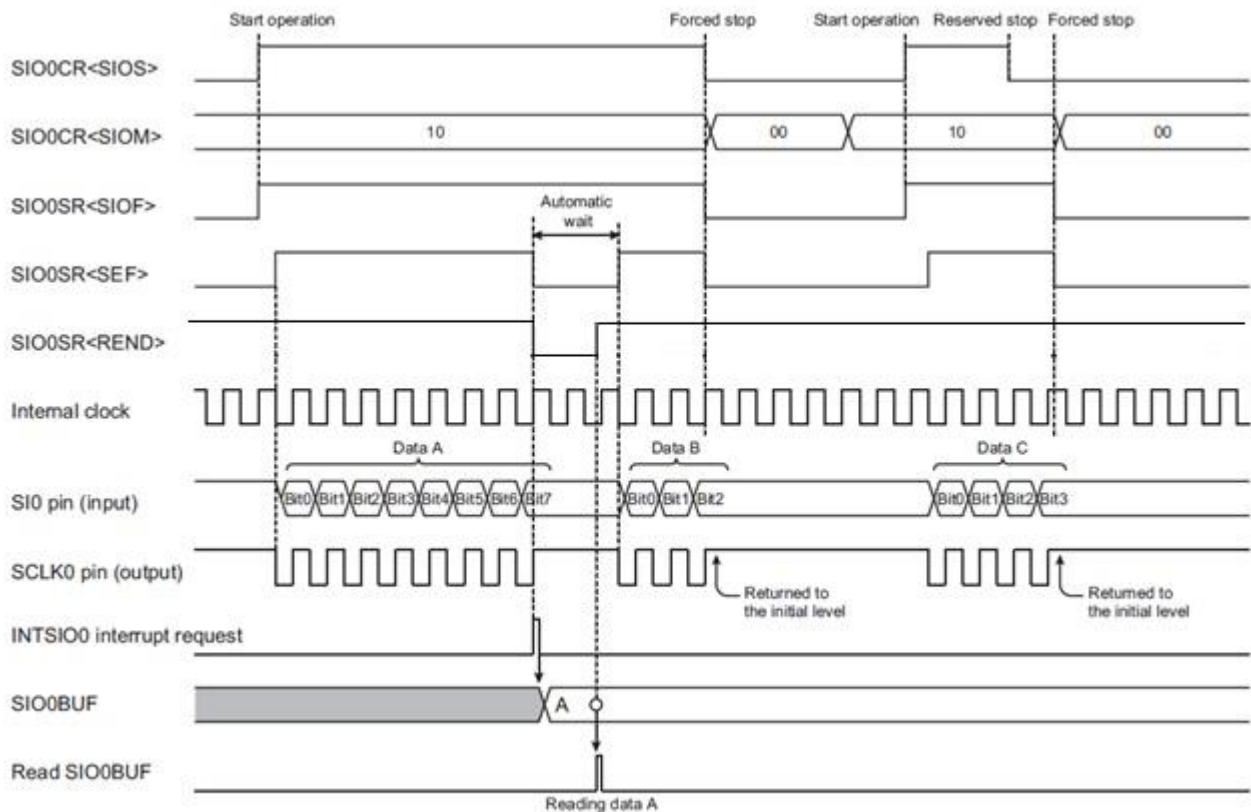


图 14.9 8 位接收模式(内部时钟且强制停止)

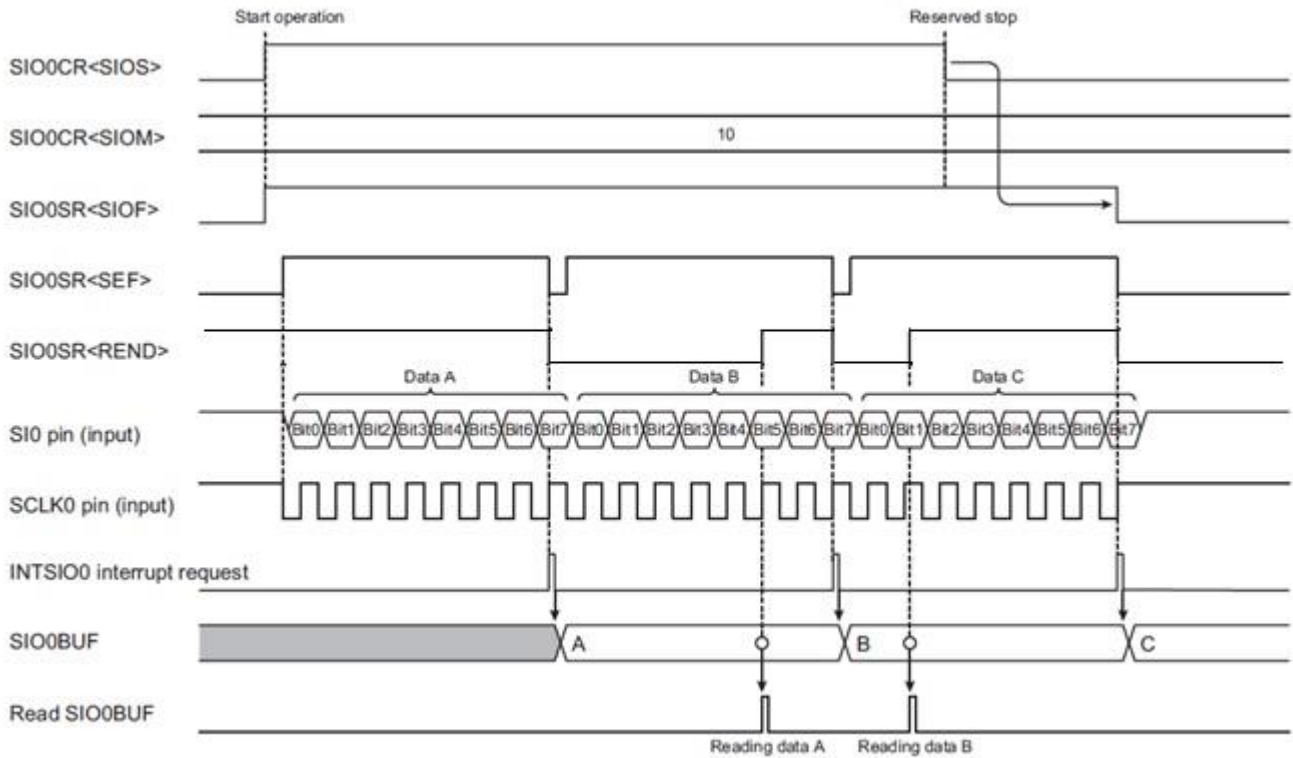


图 14.10 8 位接收模式(外部时钟且预约停止)

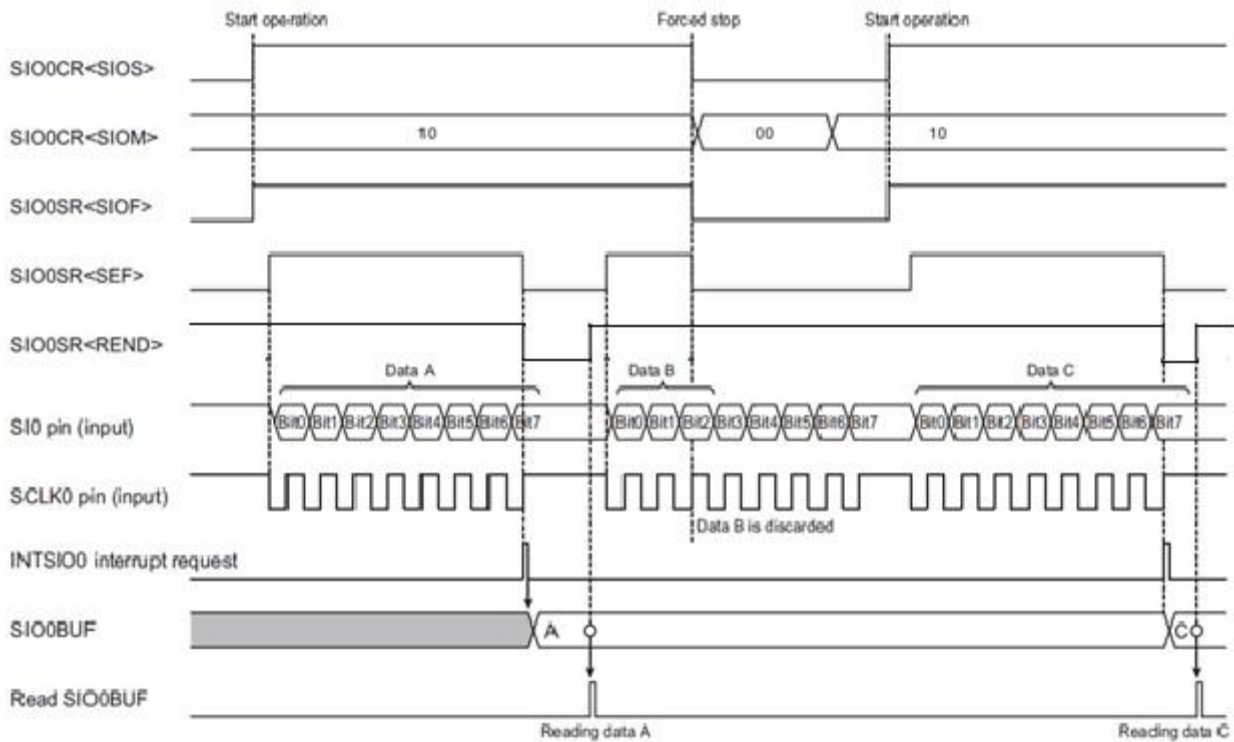


图 14.11 8 位接收模式(外部时钟且强制停止)

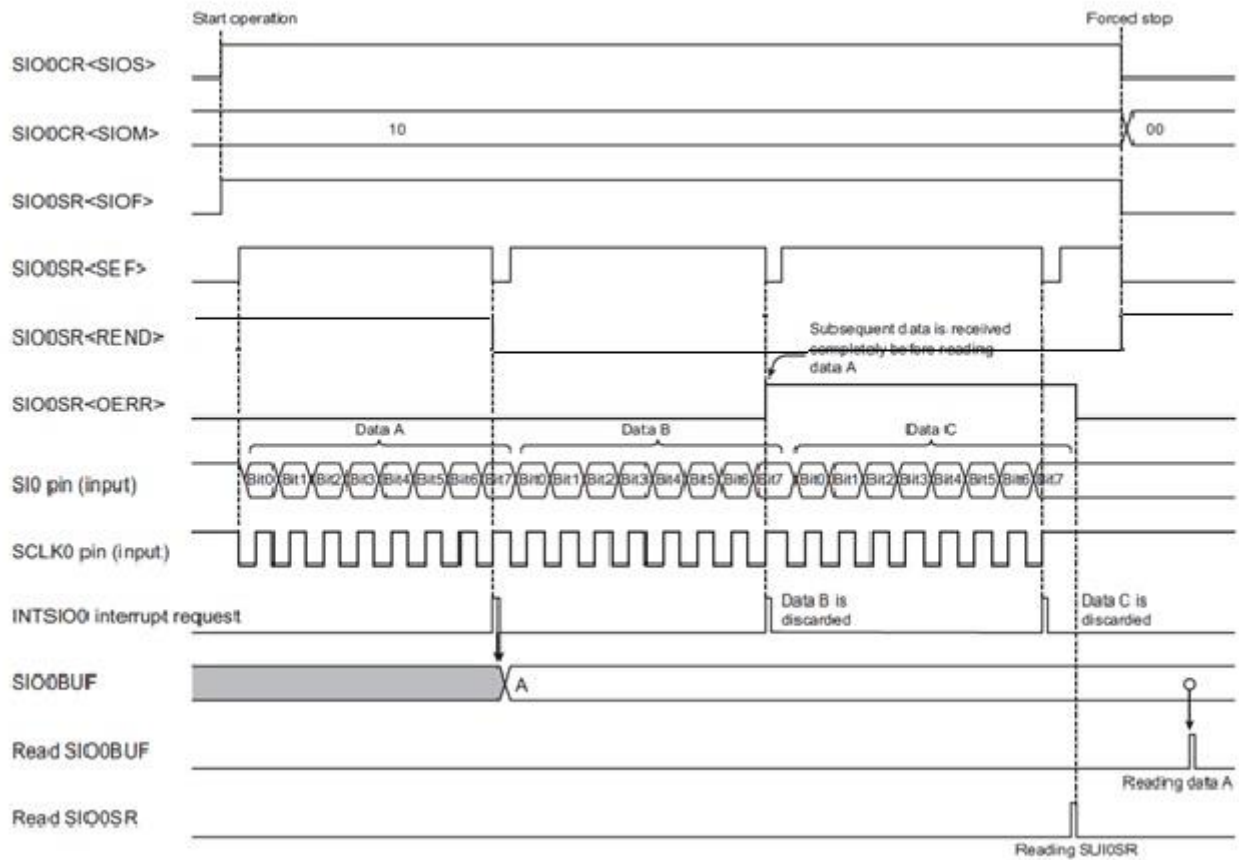


图 14.12 8 位接收模式(外部时钟与溢出错误发生)

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14.5.3 8 位传送/接收模式

将 SIO0CR<SIOM> 设定为“11”，选择 8 位传送/接收模式。

14.5.3.1 设定

启动发送/接收作业前，由 SIO0CR<SIOEDG> 选择触发边沿，SIO0CR<SIODIR> 的传送模和 SIO0CR<SIOCKS> 串行时钟。使用内部时钟做为串行时钟，由 SIO0CR<SIOCKS> 选择一个适合的时钟。使用外部时钟做为串行时钟，将 SIO0CR<SIOCKS> 设为“111”。

透过设定 SIO0CR<SIOM> 为“11”，选择 8 位发送/接收模式。

向 SIO0BUF 写入一个字节数据且设定 SIO0CR<SIOS> 为“1”后，将会启动发送/接收操作。

当串行传输进行 SIO0SR<SIOF> 为“1”时，数据写入 SIO0CR<SIOEDG, SIOCKS and SIODIR> 将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIO0SR<SIOF>="1")，只有写入“00”到 SIO0CR<SIOM> 或写入“0”到 SIOCR<SIOS> 会是有效的。

14.5.3.2 启动传送/接收工作

当 SIO0BUF 写入数据且 SIO0CR<SIOS> 设为“1”时，发送/接收工作将启动。发送数据由 SIO0BUF 到移位存储器，且依据 SIO0CR<SIOEDG, SIOCKS and SIODIR> 设定，串行数据从 SO0 引脚开始发送。同时，根据 SIO0CR<SIOEDG, SIOCKS and SIODIR> 设定，从 SIO 引脚开始接收串行数据。

内部时钟工作时，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟运作，外部时钟必须由 SCLK 引脚输入

若发送/接收工作开始时，且没有任何发送数据写入 SIO0BUF，则发送的数据将无法被辨识。

设定 SIO0CR<SIOS> 为“1”，SIO0SR<SIOF and SEF> 将自动设为“1”且将产生一个 INTSIO0 中断请求。

SIO0SR<SEF> is cleared to "0" when the 8th bit of data is received.

当接收到数据的第 8 个 bit 时，SIO0SR<SEF> 将清除为“0”。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14.5.3.3 发送缓存与移位工作

当串行传输进行中且移位寄存器是空的时，任何数据写入 SIO0BUF 都将会立即传送到移位寄存器。同时 SIO0SR<TBFL>维持为“0”。

当移位存储器仍留有一些数据，SIO0SR<TBFL>被硬件设为“1”，此状态下，有新数据写入 SIO0BUF，SIO0BUF 将会写入新的数据。请确保新数据写入 SIO0BUF 之前，SIO0SR<TBFL>须为“0”。

14.5.3.4 完成发送/接收工作

数据发送/接收完成时，SIO0SR<RENDB>为“0”且产生一个 INTSIO0 中断请求。此工作变化是依据工作时钟。

(a) 使用内部时钟

如果 SIO0SR<TBFL>为“1”，将 SIO0SR<RENDB>清除为“0”，且发送/接收工作持续进行。如果 SIO0SR<RENDB>已为“0”，则 SIO0SR<OERR>为“1”。

SIO0SR<TBFL>设为“0”，传送/接收作业将停止。SCLK 引脚将回到初始状态且 SO 引脚变为高电平。SIO0SR<SEF>维持为“0”。当后续数据写入 SIO0BUF，SIO0SR<SEF>被硬件设定为“1”，SCLK 输出时钟且传送/接收作业将重新启动。要重新确认接收的数据，在 SIO0BUF 写入数据前，读取 SIO0BUF。

(b) 使用外部时钟

发送/接收工作进行时。如果外部串行时钟输入，且没有任何数据写入 SIO0BUF，则会反复传送最后写入 SIO0BUF 的数据。同时，传送欠载运作错误标志 SIO0SR<UERR>将为“1”。

在下一个 8 位数据完全接收前未完成 SIO0BUF 的读取，或者 SIO0SR<RENDB>为“0”时，SIO0SR<OERR>将为“1”。

14.5.3.5 停止发送/接收工作

将 SIO0CR<SIOS>设为“0”，可停止传送/接收作业。当 SIO0SR<SEF>为“0”或者当移位操作未进行时，工作将立刻被停止。

当 SIO0SR<SEF>为“1”，在 8 位数据完全被接收后，此工作将停止。

当工作完全停止后，SIO0SR<SIOF, SEF 与 TBFL>将清除为“0”。其他 SIO0SR 存储器将维持原本的数据。

在发送/接收工作进行时将 SIO0CR<SIOM>设为“00”，可强制停止发送/接收工作。当 SIO0CR<SIOM>设定为“00”，且 SIO0CR<SIOS>与 SIO0SR 清除为“0”，SIO 作业停止，不管 SIO0SR<SEF>数值。SO 引脚将为高电平。选择内部时钟时，SCLK 引脚将回到初始电平。

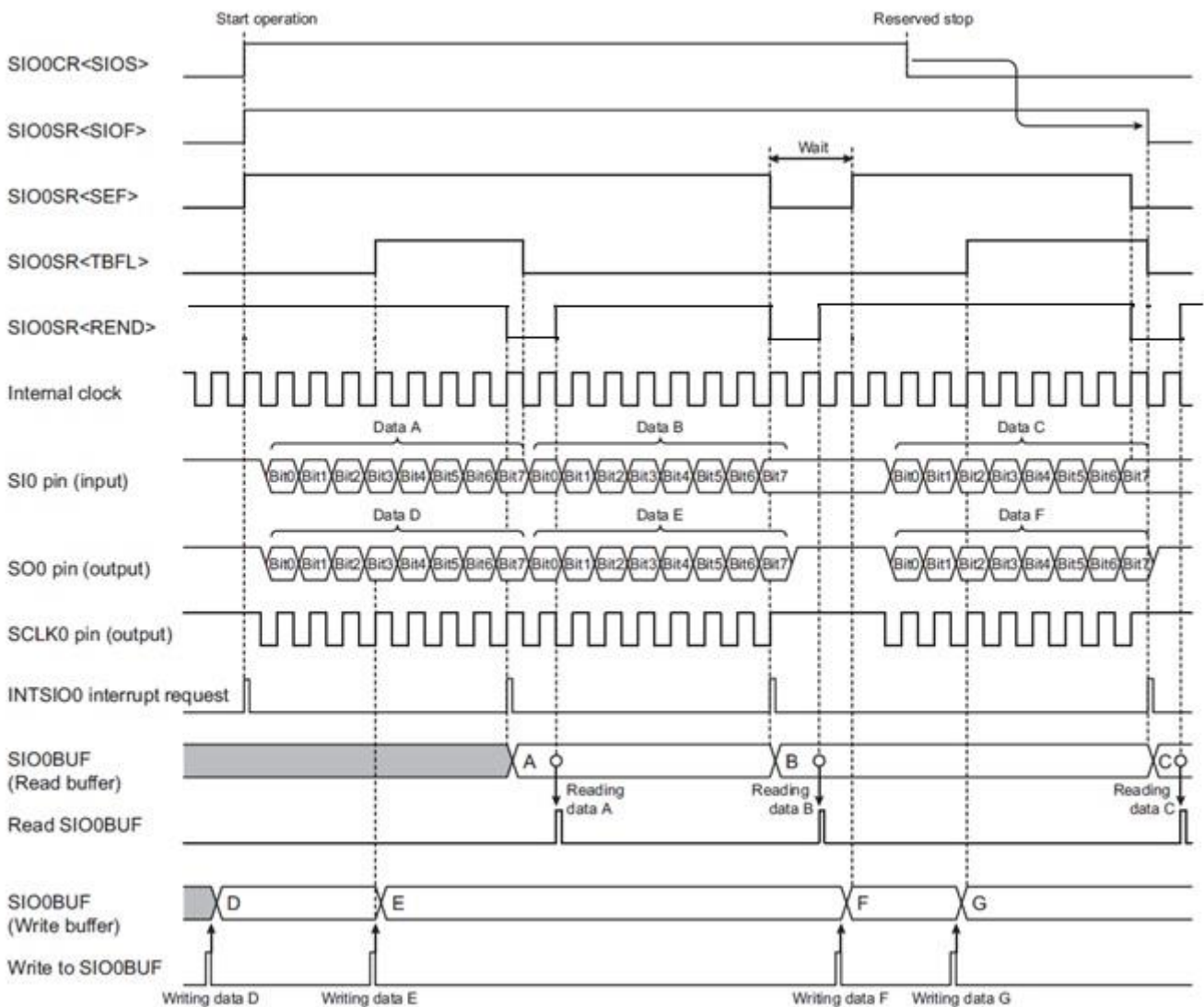


图 14.13 8 位发送/接收模式(内部时钟且预约停止)

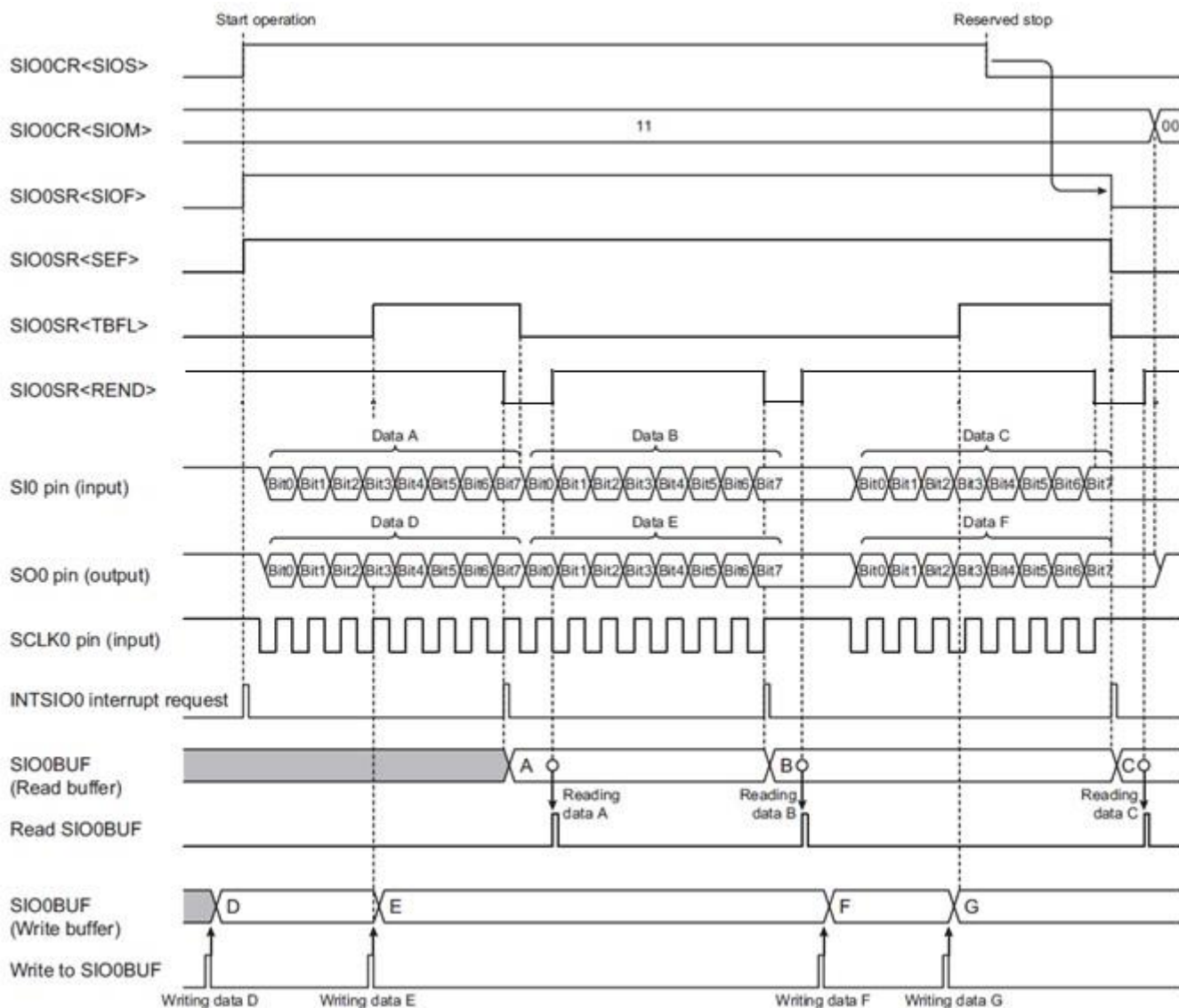


图 14.14 8 位发送/接收模式(外部时钟且预约停止)

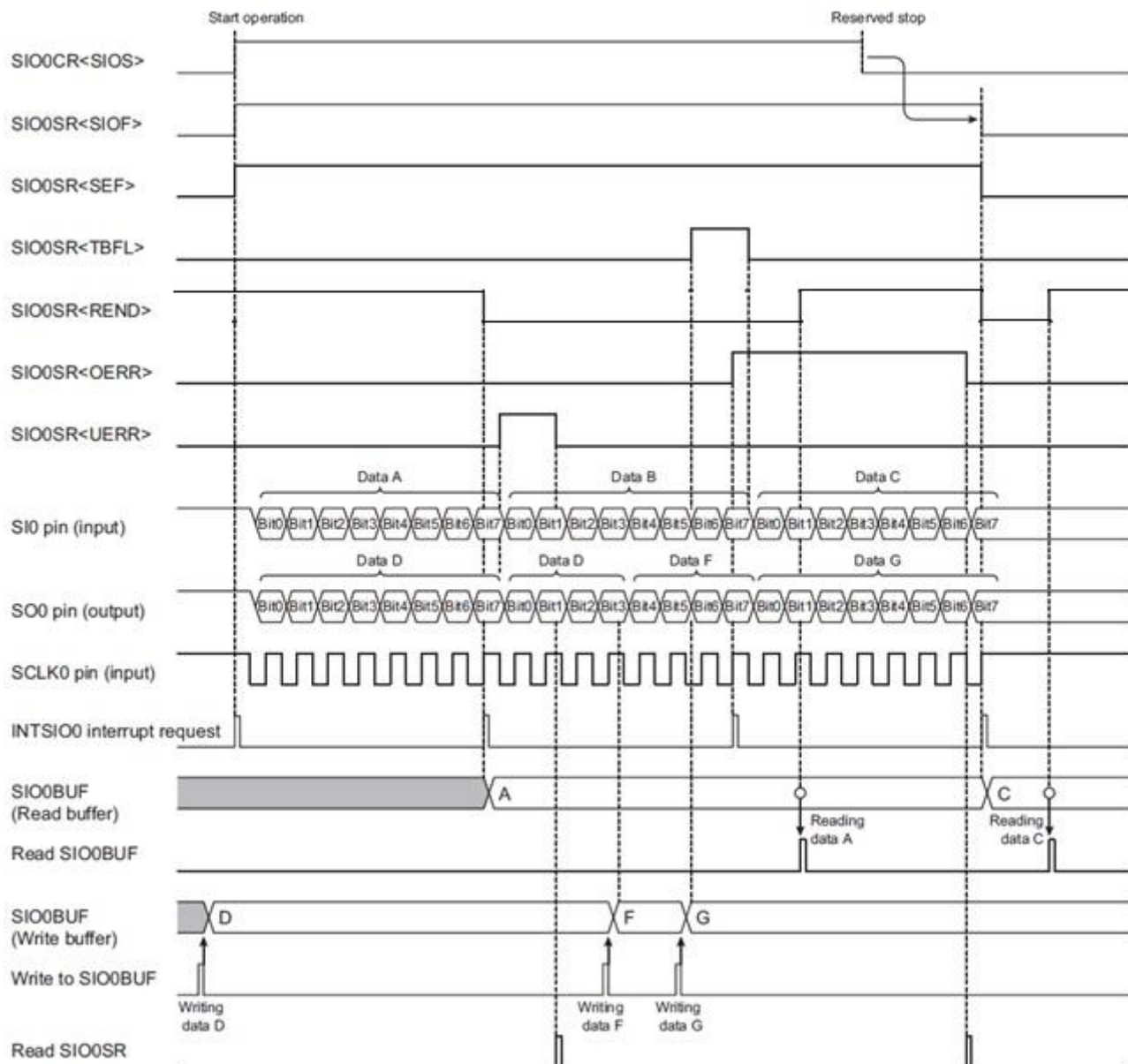


图 14.15 8 位发送/接收模式(外部时钟·数据欠载错误与数据溢写错误发生)

14.6 AC 特性

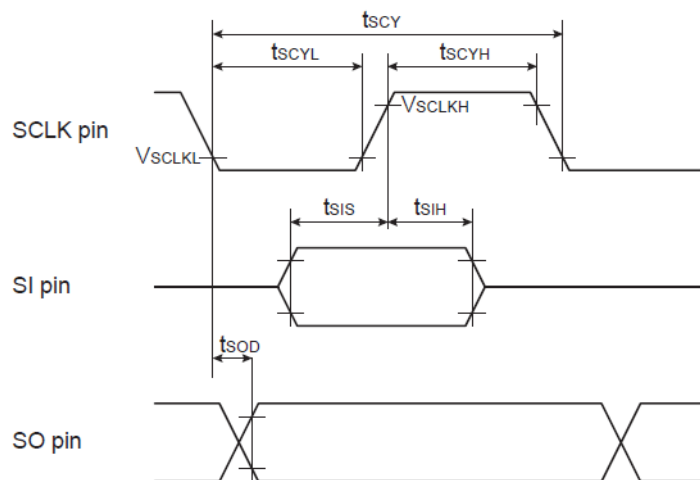


圖 14.6 AC 特性

($V_{SS} = 0V, V_{DD} = 4.5V - 5.5V, T_{opr} = -40$ to $85^{\circ}C$)

Parameter	Symbol	Condition	Min	Typ.	Max	Unit
SCLK cycle time	t_{scy}	Internal clock operation SO pin and SCLK pin load capacity=100 pF	$2 / fcgck$	-	-	ns
SCLK "L" pulse width	t_{scyL}		$1 / fcgck$ - 25	-	-	
SCLK "H" pulse width	t_{scyH}		$1 / fcgck$ - 15	-	-	
SI input setup time	t_{sis}		60	-	-	
SI input hold time	t_{sih}		35	-	-	
SO output delay time	t_{sod}		-50	-	50	
SCLK cycle time	t_{scy}	External clock operation SO pin and SCLK pin load capacity=100 pF	$2 / fcgck$	-	-	ns
SCLK "L" pulse width	t_{scyL}		$1 / fcgck$	-	-	
SCLK "H" pulse width	t_{scyH}		$1 / fcgck$	-	-	
SI input setup time	t_{sis}		50	-	-	
SI input hold time	t_{sih}		50	-	-	
SO output delay time	t_{sod}		0	-	60	
SCLK low-level input voltage	t_{sckL}		0	-	$V_{DD} \times 0.30$	V
SCLK high-level input voltage	t_{sckH}		$V_{DD} \times 0.70$	-	V_{DD}	

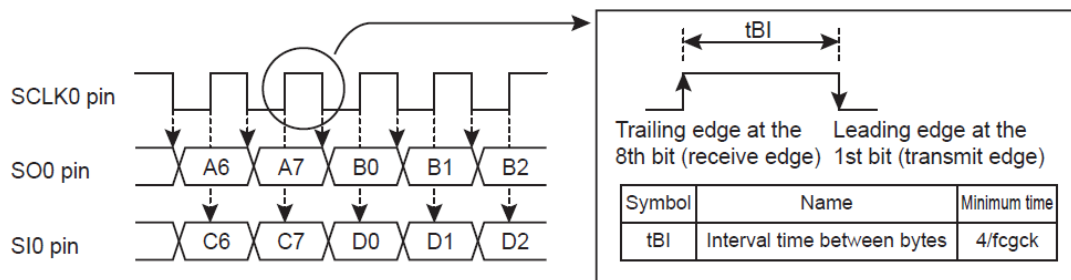


圖 14.17 位元間的時間間隔

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

附录 A. 片上仿真功能(OCDE)

MQ6823 具有片上仿真(OCDE)功能。用户可以此功能结合 iMQ 的调试仿真器 MQ-Link 进行系统电路板上之软件调试(debugging)。此仿真器可由 PC 上安装之调试软件进行操控，不论应用软件修改或系统设计调整均可藉此实现。

本章节说明片上仿真(OCDE)功能所需之控制引脚、及如何连接目标系统(target system)。

仿真器/开发板与范例程序相关资讯，请参考汉芝电子网站说明

仿真器/开发板网址：http://www.imqtech.com/zh-hant/tech/tool/mqlink_tsb

控制引脚

片上仿真(OCDE)功能共使用 2 个通讯引脚及 3 个电源与复位相关引脚。脚位资讯如表 A.1 所示。其中，P40 与 P41 端口用于片上仿真(OCDE)功能之通讯引脚。

引脚名称 (执行OCDE功能期间)	输入/输出	功能描述	引脚名称 (MCU模式下)
OCDCCK	输入	通讯引脚 (时钟控制)	P40/AIN0/KWIO
OCADIO	输入/输出	通讯引脚 (数据控制)	P41/AIN1/KWII
RESETB	输入	Reset control pin	RESETB
VDD	电源	5.0V	2.0V to 5.5V
VSS	电源	0V	

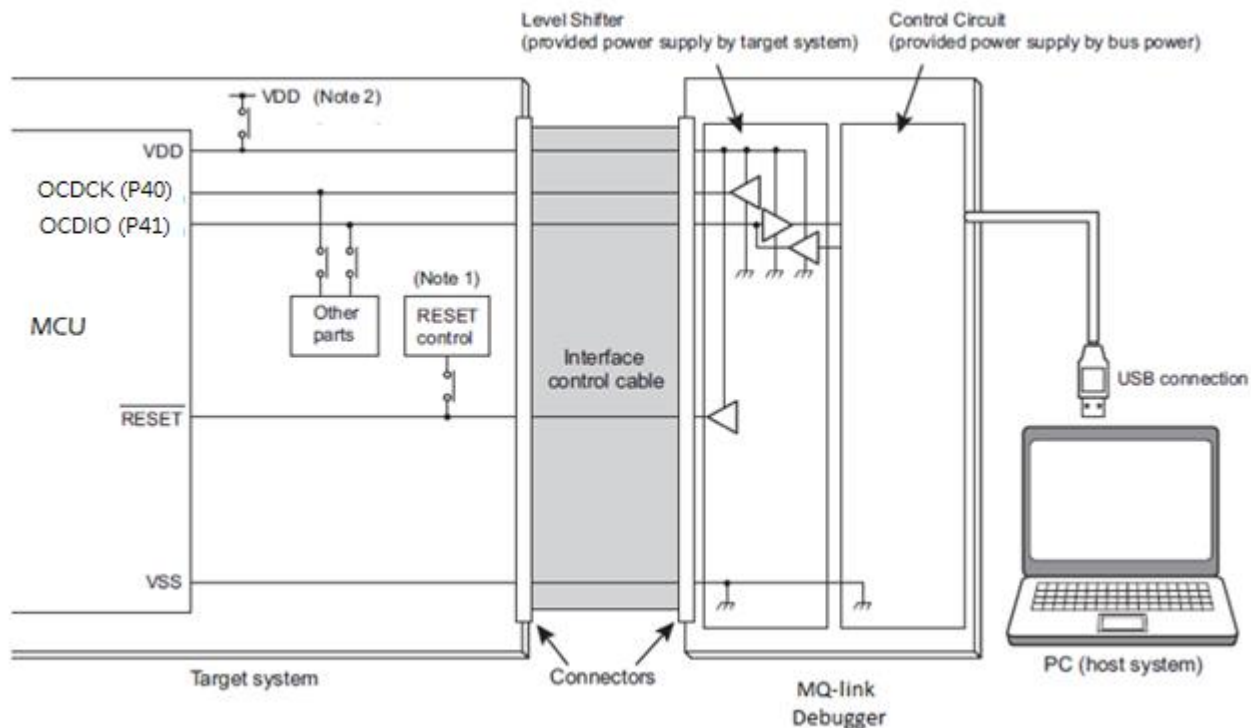
表 A.1 片上仿真(OCDE)功能所使用之引脚

如何将 MQ-Link 调试器连接至目标系统

欲使用片上仿真(OCDE)功能，必须将目标系统上之特定引脚连接至 MQ-Link 调试器。iMQ 将提供连接目标系统与 MQ-Link 调试器之控制缆线。在目标系统安装此缆线可使片上仿真(OCDE)功能更佳简易。相关连接如图 A.1 所示。

图 A.1 如何将 MQ-Link 调试器连接至目标系统

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------



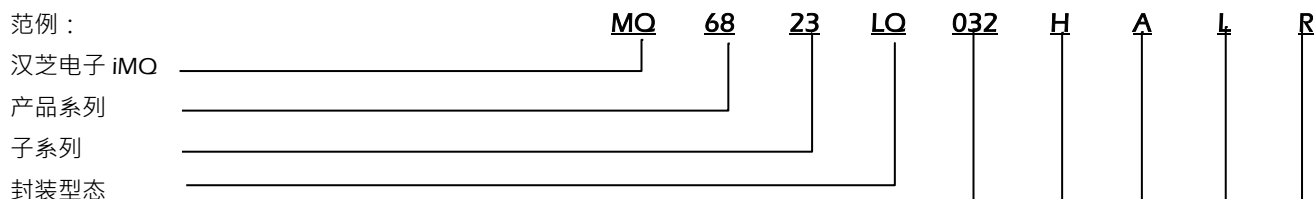
注 1：如果系统应用板上之复位控制电路会影响片上仿真(OCDE)功能的控制，请务必以跨接器或开关等断开。

注 2：执行片上仿真(OCDE)功能时，目标系统之 MCU 电源 VDD 由 MQ-Link 调试器直接提供。片上仿真(OCDE)完成后，MCU 即可使用目标系统之电源。

注 3：有关 MQ-Link 的使用细节，参阅“iMQ i87 IDE 使用手册”。

附录 B. 产品型号信息

范例：



代码	封装	代码	封装
ST	SOT23	SD	SDIP
SP	SOP	LQ	LQFP 7x7
MS	MSOP	LA	LQFP 10x10
SS	SSOP	LE	LQFP 14x14
DP	PDIP	N4	QFN 4x4
TS	TSOP	N5	QFN 5x5
DS	TSSOP		

脚位数

代码	封装	代码	封装
005	5	032	32
006	6	036	36
008	8	040	40
010	10	044	44
014	14	048	48
016	16	064	64
020	20	080	80
024	24	096	96
028	28	100	100

程序内存容量

数据内存容量

数据存储容量

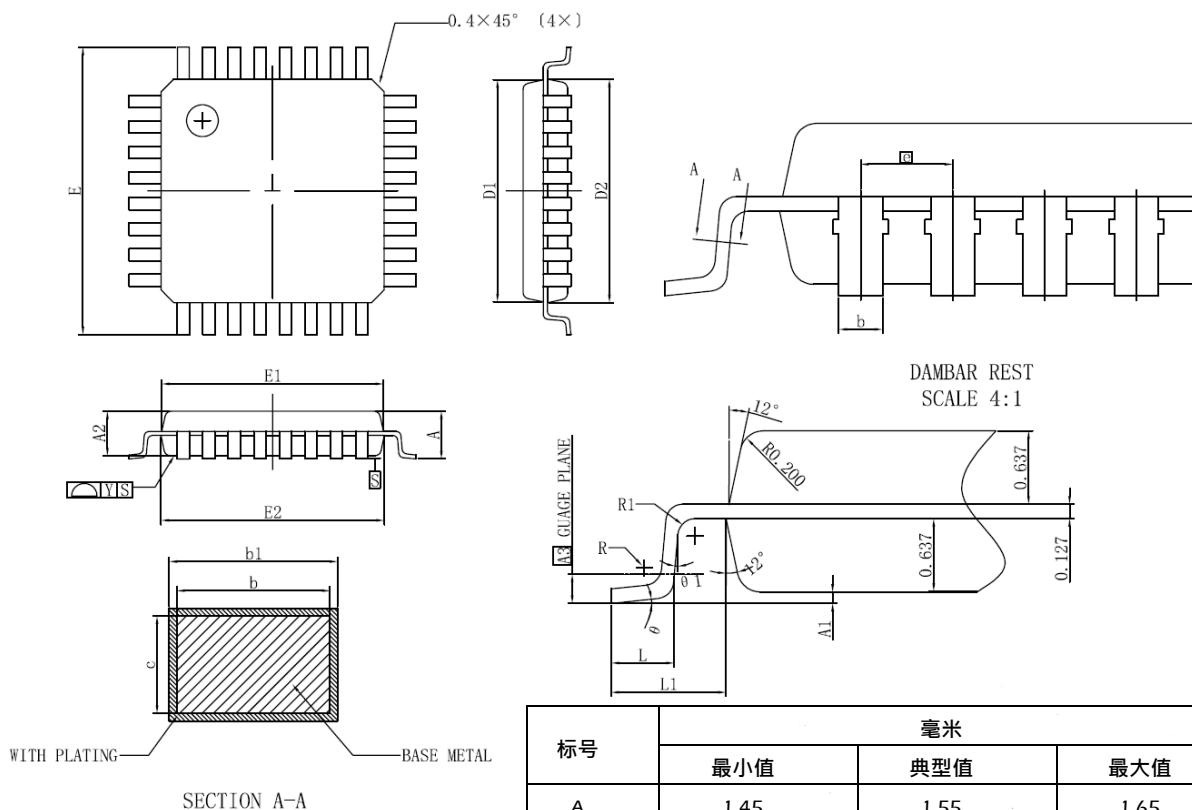
代码	程序/数据内存容量 数据存储容量	代码	程序/数据内存容量 数据存储容量
A	128 Bytes	K	24K Bytes
B	256 Bytes	M	32K Bytes
E	512 Bytes	N	40K Bytes
J	1K Bytes	P	48K Bytes
L	2K Bytes	S	64K Bytes
T	4K Bytes	U	96K Bytes
G	8K Bytes	W	128K Bytes
C	12K Bytes	V	無
H	16K Bytes		

工作温度

代码	工作温度
R	-40~85°C
X	-40~105°C
T	-40~125°C

附录 C. 封装信息

LQFP 32 (产品型号: MQ6823LQ032HALR)



标号	毫米		
	最小值	典型值	最大值
A	1.45	1.55	1.65
A1	0.01	-	0.21
A2	1.3	1.4	1.5
A3	-	0.254	
b	0.30	0.425	0.45
b1	0.31	0.37	0.43
c	-	0.127	-
D1	6.85	6.95	7.05
D2	6.9	7.00	7.10
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
e	-	0.8	-
L	0.45	-	0.75
L1	0.90	1.0	1.10
R	0.1	-	0.25
R1	0.1	-	-
θ	0	-	10°
θ1	0	-	-
y	-	-	0.1
Z	-	0.70	-

附录 D. 使用注意事项

仿真器與開發板相關資訊，请参考汉芝电子网站说明

网址：http://www.imqtech.com/zh-hant/tech/tool/mqlink_tsb

(A) 脚位相关

1. 因 P80 与 P81 无上拉与下拉电阻，若未使用 P80 与 P81 时，请将此两管脚设定成输出(output)，以避免在停止模式(STOP mode)下有额外的电流造成功耗增加。
2. 在使用 P2 端口开漏输出寄存器 P2OUTCR 时，请注意若设定 P2OUTCR4 或 P2OUTCR3 的值为 1 时 (也就是将 P23 或 P24 这两根脚设定成开漏)，芯片的工作电流因为有包含来自 P23 或 P24 的 I/O 漏电，造成 STOP 模式下的功耗会增加数十微安(uA)。
3. P10 引脚稳定地位于高电平时，才可进行由外部复位输入引脚切换到 IO 引脚，或是由 IO 引脚切换到外部复位输入引脚的功能切换操作。在 P10 引脚处于低电平时，进行引脚功能的切换可能会导致复位。
4. 晶振在板子上的位置必须尽可能靠近 MCU。
5. 在唤醒操作开始后，就算外部唤醒引脚的输入电平和释放所需电平相反，系统不会再重启停止模式。
6. P2,P7 内置上拉与下拉电阻只有在唤醒输入 KWLi(i=8,12~15)被允许或端口处于输入模式下(P2FC4="0"与 P2CR4="0", i=4)或(P7FCi="0"与 P7CRi="0", i=3~6)会连接内置上拉电阻。其他条件下，将 P2PU4 或 P7PUI (i=3~6)设定为"1"仍不会连接内置上拉电阻。如果 P2PU4 与 P2PD4 (或 P7PUx 与 P7PUI, x=3~6)同时被设定为"1"时，端口将只连接至上拉电阻。
7. P4 内置上拉电阻只有在唤醒输入 KWLi(i=0~4)被允许或端口处于输入模式下(P4FCi="0"与 P4CRi="0")会连接内置上拉电阻。其他条件下，将 P4PUI (i=0~4)设定为"1"仍不会连接内置上拉电阻。P4 内置下拉电阻，只在输入模式下连接。在其他条件下 P4PDI(i=0~4)设定为"1"都不会连接此下拉电阻。当唤醒输入 KWLi(i=0~4)被允许时，下拉电阻会被关闭。如果 P4PUx 与 P4PDI 同时被设定为"1"时，端口将只连接至上拉电阻。(x = 0 到 4)。

(B) 模式及时钟切换相关

1. 在停止时间内(从停止模式启动到系统唤醒完成)，中断锁存器可能因外部中断引脚信号的改变而被设定在"1"，进而造成系统在脱离停止模式后马上中断。为避免此问题，启动停止模式前建议停用所有中断。如果脱离停止模式后要允许任何中断，先清空不需使用的中断锁存器。
2. P0FC0 为"0"时，设定 SYSCR2<XEN>为"1"会导致系统时钟重置。
3. 切换速度时，先设好要设定的速度(时钟)，再关闭原本的速度(时钟)。
4. 在低速模式下，不要改变 CGCR<FCGCKSEL>。
5. SYSCR2<XEN>设定为"1"时，将 P0FC0 设定为"0"会引发系统时钟复位。若 P00 或 P01 不作端口使用，P0FC0 必须设定为"1"。

(C) ADC 相关

1. 在单次模式中，不要在 AD 转换进行中读取 ADCDRL 或 ADCDRH。若单次 AD 转换在读取 ADCDRL 和读取 ADCDRH 的操作间完成，INTADC 中断要求会被取消，造成转换结果遗失。
2. 在读取 ADC 暂存器 ADCDRL 与 ADCDRH 时，必须先读 ADCDRL、再读 ADCDRH，并且不要只读取 ADCDRL 而不读取 ADCDRH。这是因为如果先读 ADCDRH 再读 ADCDRL 时，并不会清除 ADCCR2<EOCF>，所以就不会产生 ADC 中断。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(D) Timer 相关

1. 对 TA0DRAL (TA0DRBL)进行写入指令时，设定值会先存储于暂时寄存器 中，而不会立即生效。而后，写入高位寄存器 TA0DRAH(TA0DRBL)时，16 位设定值将共同存储于双缓冲寄存器 或 TA0DRAL/H。在设定定时器计数器 A0 寄存器时，要确认先写入低位寄存器、再写入高位寄存器。

(E) LVD 相关

1. 由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压(VDxLVL)时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。

(F) 中断相关

1. 在中断服务程序中，IMF 会自动变为“0”。若在中断服务程序中使用多个中断，在设定 IMF 为“1”前须先控制 IL。
2. 如果在中断服务程序中使用多个中断，在设定每个 EF 后，记得要设定 IMF 为“1”。

(G) I2C 相关

1. 使用 I2C 功能前，相关寄存器请如下设定：
 - 低功耗寄存器 1 (POFFCR1)：使用及设定 I2C 必须先设定 POFFCR1<SBI0EN>为‘1’，在此之前相关设定为无效，请重新设定。
 - P2 端口开漏输出寄存器 (P2OUTCR)：使用 I2C 时请设定 P2OUTCR3 及 P2OUTCR4 为‘1’。
 - P2 端口输出锁存寄存器 (P2DR)：使用 I2C 时请设定 IO 输出为‘0’，否则无法正常工作。

(H) 外部晶振相关

- 1.晶振在板子上的位置必须尽可能靠近 MCU。
2. XIN/XOUT 引脚已有内置电容(容值各约 6pF)。请依所选用之谐振器/振荡器特性、所需之时钟精准度、与系统电路板设计，设计负载电容的容值。
- 3.在使用外部晶振且振荡频率为 16MHz 时，若对 MCU 的 EFT 有较高需求时，建议采用以下方式有较佳的 EFT 能力 (系统板上的 VDD 与 VSS 之间已经至少有 10uF 并联 0.1uF 的电容):
 - (a)改采用内部晶振 16MHz，最建议采用此方法，因为 EFT 特性较优异。
 - (b)若仍必须要采用外部晶振，建议将系统时钟除频设为 2，也就是在 8MHz 下运行。但此方法的 EFT 可能没有以上方法(a)来得优异。
 - (c)若仍必须要采用外部晶振，而且必须要在 16MHz 下运行而不能除频，建议在 MCU 的 VDD 与 VSS 之间加上 30uF 并联 0.1uF 的电容，不过此方法的 EFT 没有以上方法(a)与(b)来得优异。

(I) 低速 1 (Slow 1) 使用 RTC 相关

1. 当使用 MQ6823 于便携设备，使用外部低速晶振，在低速 1 模式运行，并搭配 RTC 作 24 小时时间运算。通常每经过 24 小时都有 RTC 误差，需要透过软件，RTC 补偿校正，维持更准确的时间。
2. 若客户有这样的应用，建议客户使用本公司 MQ6832、MQ6835 会有更精确准确度，更小 RTC 误差，减少 RTC 校正频率。

No. : TDDS01-M6823-CN	Name : MQ6823 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(K) 工作电流特性相关

1. 不同频率下的工作电流参考值如下列：

($V_{SS} = 0V, T_{OPR} = 25^{\circ}C$)

参数	符号	测试条件	标准	单位
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = <u>4.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 4)	2.8	mA
		V _{DD} = 5.5V f _{cgck} = <u>2.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 8)	2.5	
V _{DD} = 5.5V f _{cgck} = <u>4.0 MHz</u> f _s = 24 KHz (f _{cgck} <u>16.0 MHz</u> 除 4)		2.0		
V _{DD} = 5.5V f _{cgck} = <u>2.0 MHz</u> f _s = 24 KHz (f _{cgck} 除 8)		2.0		
工作电流 - 空闲 0, 1, 2 模式				